

DLP670RE 0.67 WUXGA DMD

1 特性

- 0.67 英寸微镜阵列对角线
 - WUXGA (1920 × 1200)
 - 7.56 微米微镜间距
 - ±12° 微镜倾斜角 (相对于平面状态)
 - 角落照明
- 2xLVDS 输入数据总线
- DLP670RE 芯片组包括：
 - DLP670RE DMD
 - DLPC4430 控制器
 - DLPA100 控制器电源管理和电机驱动器 IC

2 应用

- WUXGA 显示屏
- 智能显示屏
- 数字标牌

- 企业投影仪
- 教育投影仪

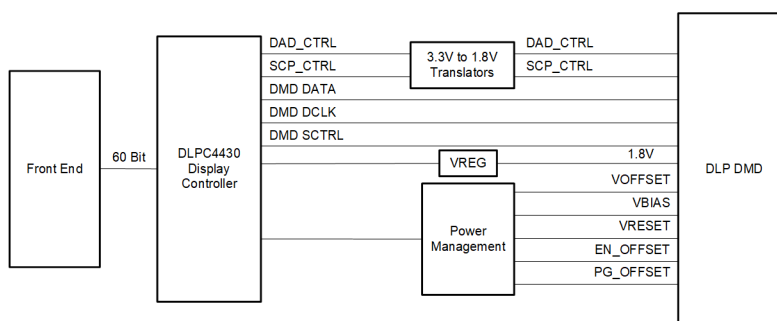
3 说明

TI DLP670RE 数字微镜器件 (DMD) 是一款数控微机电系统 (MEMS) 空间光调制器 (SLM)，能够实现明亮、经济实惠的 DLP® 0.67 WUXGA 显示解决方案。DLP670RE DMD 通过与 DLPC4430 显示控制器、DLPA100 控制器电源和电机驱动器配合使用，可提供实现高性能系统的能力，是需要较高分辨率及 16:10 宽高比、高亮度和系统简单性的显示应用的理想之选。

器件信息

器件型号	封装 ⁽¹⁾	封装尺寸 (标称值)
DLP670RE	FYE (350)	35.0 mm × 32.2 mm × 5.1 mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



DLP670RE 简化应用

内容

1 特性	1	7.4 器件功能模式.....	25
2 应用	1	7.5 光学接口和系统图像质量注意事项.....	25
3 说明	1	7.6 微镜阵列温度计算.....	26
4 修订历史记录	2	7.7 微镜着陆开或着陆关占空比.....	27
5 引脚配置和功能	3	8 应用和实施	30
6 规格	10	8.1 应用信息.....	30
6.1 绝对最大额定值.....	10	8.2 典型应用.....	30
6.2 存储条件.....	10	9 电源要求	32
6.3 ESD 等级.....	11	9.1 DMD 电源要求.....	32
6.4 建议的工作条件.....	11	9.2 DMD 电源上电程序.....	32
6.5 热性能信息.....	13	9.3 DMD 电源断电过程.....	32
6.6 电气特性.....	14	10 器件文档支持	35
6.7 时序要求.....	15	10.1 第三方产品免责声明.....	35
6.8 系统安装接口负载.....	19	10.2 器件支持.....	35
6.9 微镜阵列物理特性.....	20	10.3 文档支持.....	36
6.10 微镜阵列光学特性.....	20	10.4 接收文档更新通知.....	36
6.11 窗口特性.....	22	10.5 支持资源.....	36
6.12 芯片组元件使用规格.....	22	10.6 商标.....	36
7 详细说明	23	10.7 静电放电警告.....	36
7.1 概述.....	23	10.8 术语表.....	36
7.2 功能方框图.....	24	11 机械、封装和可订购信息	36
7.3 特性说明.....	24		

4 修订历史记录

日期	修订版本	注释
2023 年 4 月	*	初始发行版

5 引脚配置和功能

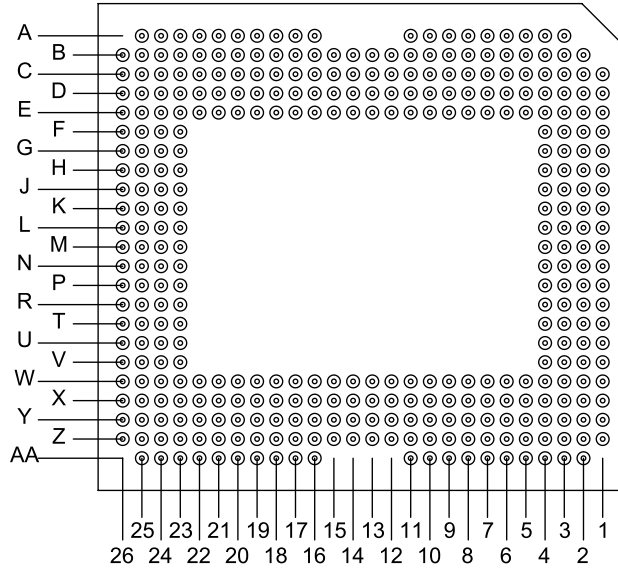


图 5-1. 350 引脚 FYE 封装 底视图

表 5-1. 引脚功能

引脚 ⁽¹⁾		类型 ⁽⁵⁾	信号	数据速率 ⁽²⁾	内部端接 ⁽³⁾	说明	布线 (mil) ⁽⁴⁾
名称	编号						
数据总线 A							
D_AN(0)	B14	I	LVDS	DDR	差分	数据, 负	494.88
D_AN(1)	B15	I		DDR	差分	数据, 负	486.18
D_AN(2)	C16	I		DDR	差分	数据, 负	495.16
D_AN(3)	K24	I		DDR	差分	数据, 负	485.67
D_AN(4)	B18	I		DDR	差分	数据, 负	494.76
D_AN(5)	L24	I		DDR	差分	数据, 负	490.63
D_AN(6)	C19	I		DDR	差分	数据, 负	495.16
D_AN(7)	H24	I		DDR	差分	数据, 负	485.55
D_AN(8)	H23	I		DDR	差分	数据, 负	495.16
D_AN(9)	B25	I		DDR	差分	数据, 负	485.59
D_AN(10)	D24	I		DDR	差分	数据, 负	495.16
D_AN(11)	E25	I		DDR	差分	数据, 负	495.16
D_AN(12)	F25	I		DDR	差分	数据, 负	490.04
D_AN(13)	H25	I		DDR	差分	数据, 负	485.91
D_AN(14)	L25	I		DDR	差分	数据, 负	495.16
D_AN(15)	G24	I		DDR	差分	数据, 负	495.16

表 5-1. 引脚功能 (continued)

引脚 ⁽¹⁾		类型 ⁽⁵⁾	信号	数据速率 ⁽²⁾	内部端接 ⁽³⁾	说明	布线 (mil) ⁽⁴⁾
名称	编号						
D_AP(0)	C14	I	LVDS	DDR	差分	数据, 正	494.84
D_AP(1)	B16	I		DDR	差分	数据, 正	486.22
D_AP(2)	C17	I		DDR	差分	数据, 正	494.65
D_AP(3)	K23	I		DDR	差分	数据, 正	488.42
D_AP(4)	B19	I		DDR	差分	数据, 正	495.16
D_AP(5)	L23	I		DDR	差分	数据, 正	490.67
D_AP(6)	C20	I		DDR	差分	数据, 正	498.11
D_AP(7)	J24	I		DDR	差分	数据, 正	486.22
D_AP(8)	J23	I		DDR	差分	数据, 正	495.47
D_AP(9)	C25	I		DDR	差分	数据, 正	485.94
D_AP(10)	E24	I		DDR	差分	数据, 正	495.16
D_AP(11)	D25	I		DDR	差分	数据, 正	494.13
D_AP(12)	G25	I		DDR	差分	数据, 正	488.98
D_AP(13)	J25	I		DDR	差分	数据, 正	492.56
D_AP(14)	K25	I		DDR	差分	数据, 正	495.16
D_AP(15)	F24	I		DDR	差分	数据, 正	495.16
数据总线 B							
D_BN(0)	Z14	I	LVDS	DDR	差分	数据, 负	494.92
D_BN(1)	Z15	I		DDR	差分	数据, 负	486.18
D_BN(2)	Y16	I		DDR	差分	数据, 负	496.46
D_BN(3)	P24	I		DDR	差分	数据, 负	493.74
D_BN(4)	Z18	I		DDR	差分	数据, 负	494.76
D_BN(5)	N24	I		DDR	差分	数据, 负	495.16
D_BN(6)	Y19	I		DDR	差分	数据, 负	492.16
D_BN(7)	T24	I		DDR	差分	数据, 负	492.68
D_BN(8)	T23	I		DDR	差分	数据, 负	484.45
D_BN(9)	Z25	I		DDR	差分	数据, 负	492.09
D_BN(10)	X24	I		DDR	差分	数据, 负	497.72
D_BN(11)	W25	I		DDR	差分	数据, 负	495.16
D_BN(12)	V25	I		DDR	差分	数据, 负	484.17
D_BN(13)	T25	I		DDR	差分	数据, 负	481.42
D_BN(14)	N25	I		DDR	差分	数据, 负	495.16
D_BN(15)	U24	I		DDR	差分	数据, 负	489.8

表 5-1. 引脚功能 (continued)

引脚 ⁽¹⁾		类型 ⁽⁵⁾	信号	数据速率 ⁽²⁾	内部端接 ⁽³⁾	说明	布线 (mil) ⁽⁴⁾
名称	编号						
D_BP(0)	Y14	I	LVDS	DDR	差分	数据, 正	494.88
D_BP(1)	Z16	I		DDR	差分	数据, 正	486.26
D_BP(2)	Y17	I		DDR	差分	数据, 正	495.16
D_BP(3)	P23	I		DDR	差分	数据, 正	492.48
D_BP(4)	Z19	I		DDR	差分	数据, 正	495.16
D_BP(5)	N23	I		DDR	差分	数据, 正	497.99
D_BP(6)	Y20	I		DDR	差分	数据, 正	495.16
D_BP(7)	R24	I		DDR	差分	数据, 正	492.05
D_BP(8)	R23	I		DDR	差分	数据, 正	484.45
D_BP(9)	Y25	I		DDR	差分	数据, 正	492.24
D_BP(10)	W24	I		DDR	差分	数据, 正	495.16
D_BP(11)	X25	I		DDR	差分	数据, 正	494.72
D_BP(12)	U25	I		DDR	差分	数据, 正	483.78
D_BP(13)	R25	I		DDR	差分	数据, 正	489.13
D_BP(14)	P25	I		DDR	差分	数据, 正	499.53
D_BP(15)	V24	I		DDR	差分	数据, 正	488.66
串行控制							
SCTRL_AN	C23	I	LVDS	DDR	差分	串行控制, 负	492.95
SCTRL_BN	Y23	I		DDR	差分	串行控制, 负	493.78
SCTRL_AP	C24	I		DDR	差分	串行控制, 负	493.78
SCTRL_BP	Y24	I		DDR	差分	串行控制, 负	493.11
时钟							
DCLK_AN	B23	I	LVDS		差分	时钟, 负	480.35
DCLK_BN	Z23	I			差分	时钟, 负	486.22
DCLK_AP	B22	I			差分	时钟, 负	485.83
DCLK_BP	Z22	I			差分	时钟, 负	491.93
串行通信端口 (SCP)							
SCP_DO	B8	O	LVCMOS	SDR		串行通信端口输出	
SCP_DI	B7	I		SDR		串行通信端口数据 I	
SCP_CLK	B6	I			下拉	串行通信端口时钟	
SCP_ENZ	C8	I				低电平有效串行通信端口使能	
微镜复位控制							
RESET_ADDR(0)	X9	I	LVCMOS			复位驱动器地址选择	
RESET_ADDR(1)	X8	I				复位驱动器地址选择	
RESET_ADDR(2)	Z8	I				复位驱动器地址选择	
RESET_ADDR(3)	Z7	I				复位驱动器地址选择	
RESET_MODE(0)	W11	I			下拉	复位驱动器模式选择	
RESET_MODE(1)	Z10	I				复位驱动器模式选择	
RESET_SEL(0)	Y10	I				复位驱动器电平选择	
RESET_SEL(1)	Y9	I				复位驱动器电平选择	
RESET_STROBE	Y7	I				在上升沿锁存的复位地址、模式和电平	

表 5-1. 引脚功能 (continued)

引脚 ⁽¹⁾		类型 ⁽⁵⁾	信号	数据速率 ⁽²⁾	内部端接 ⁽³⁾	说明	布线 (mil) ⁽⁴⁾
名称	编号						
使能和中断							
PWRDNZ	D2	I	LVCMOS		下拉	低电平有效，器件复位	
RESET_OEZ	W7	I			下拉	低电平有效，DMD 复位驱动器电路的输出使能	
RESETZ	Z6	I			下拉	低电平有效，将复位电路设置为已知的 VOFFSET 状态	
RESET_IRQZ	Z5	O				低电平有效，向 ASIC 输出中断	
稳压器监控							
PG_BIAS	E11	I	LVCMOS		上拉	低电平有效，外部 VBIAS 稳压器故障	
PG_OFFSET	B10	I				低电平有效，外部 VOFFSET 稳压器故障	
PG_RESET	D11	I				低电平有效，外部 VRESET 稳压器故障	
EN_BIAS	D9	O				高电平有效，外部 VBIAS 稳压器使能	
EN_OFFSET	C9	O				高电平有效，外部 VOFFSET 稳压器使能	
EN_RESET	E9	O				高电平有效，外部 VRESET 稳压器使能	

表 5-1. 引脚功能 (continued)

引脚 ⁽¹⁾		类型 ⁽⁵⁾	信号	数据速率 ⁽²⁾	内部端接 ⁽³⁾	说明	布线 (mil) ⁽⁴⁾
名称	编号						
使引脚保持未连接状态							
MBRST(0)	C2	O	模拟		下拉	为确保 DMD 正常运行，请勿连接。	
MBRST(1)	C3	O					
MBRST(2)	C5	O					
MBRST(3)	C4	O					
MBRST(4)	E5	O					
MBRST(5)	E4	O					
MBRST(6)	E3	O					
MBRST(7)	G4	O					
MBRST(8)	G3	O					
MBRST(9)	G2	O					
MBRST(10)	J4	O					
MBRST(11)	J3	O					
MBRST(12)	J2	O					
MBRST(13)	L4	O					
MBRST(14)	L3	O					
MBRST(15)	L2	O					
使引脚保持未连接状态							
RESERVED_PFE	E7	I	LVCMOS		下拉	为确保 DMD 正常运行，请勿连接。	
RESERVED_TM	D13	I					
RESERVED_XI1	E13	I					
RESERVED_TP0	W12	I	模拟				
RESERVED_TP1	Y11	I					
RESERVED_TP2	X11	I					
使引脚保持未连接状态							
RESERVED_BA	Y12	O	LVCMOS			为确保 DMD 正常运行，请勿连接。	
RESERVED_BB	C12	O					
RESERVED_TS	D5	O					
使引脚保持未连接状态							
无连接	B11					为确保 DMD 正常运行，请勿连接。	
无连接	C11						
无连接	C13						
无连接	E12						
无连接	E14						
无连接	E23					为确保 DMD 正常运行，请勿连接。	
无连接	H4						
无连接	N2						
无连接	N3						
无连接	N4						
无连接	R2						
无连接	R3						
无连接	R4						
无连接	T4						

表 5-1. 引脚功能 (continued)

引脚 ⁽¹⁾		类型 ⁽⁵⁾	信号	数据速率 ⁽²⁾	内部端接 ⁽³⁾	说明	布线 (mil) ⁽⁴⁾
名称	编号						
无连接	U2					为确保 DMD 正常运行，请勿连接。	
无连接	U3						
无连接	U4						
无连接	W3						
无连接	W4						
无连接	W5						
无连接	W13						
无连接	W14						
无连接	W23						
无连接	X4						
无连接	X5						
无连接	X13						
无连接	Y2						
无连接	Y3						
无连接	Y4						
无连接	Y5						
无连接	Z11						

(1) 运行 DMD 需要以下电源：VCC、VCCI、VOFFSET、VBIAS 和 VRESET。还必须连接 VSS。

(2) DDR = 双倍数据速率。SDR = 单倍数据速率。有关规格和关系，请参阅节 6.7。

(3) 内部端子 - CMOS 电平内部端接。有关差分端接规格，请参阅节 6.4。

(4) DMD FYE 封装的介电常数约为 9.6。对于所示的封装布线长度：传播速度 = $11.8/\sqrt{9.6} = 3.808\text{in/ns}$ 。传播延迟 = $0.262\text{ns/in} = 262\text{ps/in} = 10.315\text{ps/mm}$ 。

(5) I = 输入，O = 输出，G = 地

表 5-2. 电源引脚功能

引脚		类型 (I/O/P) ⁽²⁾	信号	说明
名称 ⁽¹⁾	编号			
VBIAS	A6、A7、A8、AA6、AA7、AA8	P	模拟	微镜复位信号正偏置电平的电源电压
VOFFSET	A3、A4、A25		模拟	HVCMOS 逻辑的电源电压
	B26、L26、M26		模拟	微镜地址电极阶跃高电压的电源电压
	N26、Z26、AA3、AA4		模拟	微镜复位信号正偏移电平的电源电压
VRESET	G1、H1、J1、R1、T1、U1		模拟	微镜复位信号负复位电平的电源电压
VCC	A9、B3、B5、B12、C1、C6、C10、D4、D6、D8、E1、E2、E10、E15、E16、E17、F3、H2、K1、K3、M4、P1、P3、T2、V3、W1、W2、W6、W9、W10、W15、W16、W17、X3、X6、Y1、Y8、Y13、Z1、Z3、Z12、AA2、AA9、AA10		模拟	LVC MOS 内核逻辑的电源电压。微镜地址电极正常高电平的电源电压。断电序列期间微镜复位信号正偏移电平的电源电压
VCCI	A16、A17、A18、A20、A21、A23、AA16、AA17、AA18、AA20、AA21、AA23		模拟	LVDS 接收器的电源电压
VSS	A5、A10、A11、A19、A22、A24、B2、B4、B9、B13、B17、B20、B21、B24、C7、C15、C18、C21、C22、C26、D1、D3、D7、D10、D12、D14、D15、D16、D17、D18、D19、D20、D21、D22、D23、D26、E6、E8、E18、E19、E20、E21、E22、E26、F1、F2、F4、F23、F26、G23、G26、H3、H26、J26、K2、K4、K26、L1、M1、M2、M3、M23、M24、M25、N1、P2、P4、P26、R26、T3、T26、U23、U26、V1、V2、V4、V23、V26、W8、W18、W19、W20、W21、W22、W26、X1、X2、X7、X10、X12、X14、X15、X16、X17、X18、X19、X20、X21、X22、X23、X26、Y6、Y15、Y18、Y21、Y22、Y26、Z2、Z4、Z9、Z13、Z17、Z20、Z21、Z24、AA5、AA11、AA19、AA22、AA24	模拟	器件接地。所有电源的公共回路	

(1) 运行 DMD 需要以下电源：VCC、VCCI、VOFFSET、VBIAS 和 VRESET。还必须连接 VSS。

(2) P = 电源

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内（除非另有说明）。超出绝对最大额定值运行可能会对器件造成损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议工作条件但在绝对最大额定值范围内，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。

		最小值	最大值	单位
电源电压				
VCC	LVC MOS 内核逻辑的电源电压 ⁽¹⁾	-0.5	4	V
VCCI	LVDS 接收器的电源电压 ⁽¹⁾	-0.5	4	V
VOFFSET	HVCMOS 和微镜电极的电源电压 ^{(1) (2)}	-0.5	9	V
VBIAS	微镜电极的电源电压 ⁽¹⁾	-0.5	17	V
VRESET	微镜电极的电源电压 ⁽¹⁾	-11	0.5	V
VCC - VCCI	电源电压变化（绝对值） ⁽³⁾		0.3	V
VBIAS - VOFFSET	电源电压变化（绝对值） ⁽⁴⁾		8.75	V
输入电压				
	所有其他 LVC MOS 输入引脚的输入电压 ⁽¹⁾	-0.5	VCC + 0.15	V
	所有其他 LVDS 输入引脚的输入电压 ^{(1) (5)}	-0.5	VCCI + 0.15	V
V _{ID}	输入差分电压（绝对值） ⁽⁶⁾		700	mV
I _{ID}	输入差分电流 ⁽⁶⁾		7	mA
时钟				
f _{clock}	LVDS 接口的时钟频率，DCLK（所有通道）		460	MHz
环境				
T _{ARRAY} 和 T _{WINDOW}	工作时的温度 ⁽⁷⁾	0	90	°C
	未工作时的温度 ⁽⁷⁾	-40	90	°C
T _{DELTA}	窗口边沿上的任意点与陶瓷测试点 TP1 之间的绝对温度差值 ⁽⁸⁾		30	°C
T _{DP}	工作和未工作时的露点温度（非冷凝）		81	°C

- 所有电压均以公共接地 VSS 为基准。DMD 正常运行需要电源电压 VCC、VCCI、VOFFSET、VBIAS 和 VRESET。还必须连接 VSS。
- VOFFSET 电源电压瞬态必须处于指定的电压范围内。
- 为防止电流过大，电源电压变化 |VCCI - VCC| 必须小于指定的限值。
- 为防止电流过大，电源电压变化 |VBIAS - VOFFSET| 必须小于指定的限值。有关其他信息，请参阅节 9。
- 当差分对的每个输入处于相同的电压电势时，该最大 LVDS 输入电压额定值适用。
- LVDS 差分输入不得超过指定的限值，否则可能会损坏内部端接电阻器。
- 有源阵列的最高温度（可以按照节 7.6 的说明进行计算）或图 7-1 中定义的窗口边沿上任意点的最高温度。图 7-1 中热测试点 TP2、TP3、TP4 和 TP5 的位置旨在测量最高窗口边沿温度。如果特定应用导致窗口边沿上的另一个点处于较高的温度，请在该位置添加一个测试点。
- 温度差值是陶瓷测试点 1 (TP1) 和窗口边沿上任意位置（如图 7-1 所示）之间的最大差值。图 7-1 中的窗口测试点 TP2、TP3、TP4, 和 TP5 旨在产生最坏情况下的差值。如果特定应用导致窗口边沿上的另一个点产生更大的温度差值，则应使用该点。

6.2 存储条件

适用于作为元件或在系统中不运行的 DMD。

		最小值	最大值	单位
T _{DMD}	DMD 贮存温度	-40	80	°C
T _{DP-AVG}	平均露点温度（非冷凝） ⁽¹⁾		28	°C
T _{DP-ELR}	高露点温度范围（非冷凝） ⁽²⁾	28	36	°C
CT _{ELR}	高露点温度范围内的累积时间		24	月

- 器件不在“高露点温度范围”内的随时间变化的平均值（包括存储和运行）。
- 在存储和运行期间，暴露于高范围内的露点温度限制在 CT_{ELR} 的总累积时间以内。

6.3 ESD 等级

		值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	± 2000 V

(1) JEDEC 文档 JEP155 指出: 500V HBM 可实现在标准 ESD 控制流程下安全生产。

6.4 建议的工作条件

在自然通风条件下的工作温度范围内 (除非另有说明) 在该表定义的限值内运行器件时, 可实现本数据表中指定的器件的功能性能。在高于或低于这些限值的条件下运行器件时, 不暗示任何性能水平。

		最小值	标称值	最大值	单位
电源电压^{(1) (2)}					
VCC	LVC MOS 内核逻辑的电源电压	3.15	3.3	3.45	V
VCCI	LVDS 接收器的电源电压	3.15	3.3	3.45	V
VOFFSET	HVCMOS 和微镜电极的电源电压 ⁽²⁾	8.25	8.5	8.75	V
VBIAS	微镜电极的电源电压	15.5	16	16.5	V
VRESET	微镜电极的电源电压	-9.5	-10	-10.5	V
VCCI - VCC	电源电压变化 (绝对值) ⁽³⁾		0	0.3	V
VBIAS - VOFFSET	电源电压变化 (绝对值) ⁽⁴⁾			8.75	V
LVC MOS 引脚					
V_{IH}	高电平输入电压 ⁽⁵⁾	1.7	2.5	$V_{CC} + 0.15$	V
V_{IL}	低电平输入电压 ⁽⁵⁾	-0.3		0.7	V
I_{OH}	$V_{OH} = 2.4V$ 时的高电平输出电流			-20	mA
I_{OL}	$V_{OL} = 0.4V$ 时的低电平输出电流			15	mA
t_{PWDRNZ}	PWRDNZ 脉冲宽度 ⁽⁶⁾	10			ns
SCP 接口					
f_{SCPCLK}	SCP 时钟频率 ⁽⁷⁾			500	kHz
t_{SCP_DS}	SCPDI 时钟建立时间 (SCPCLK 下降沿之前) ⁽⁸⁾	800			ns
t_{SCP_DH}	SCPDI 保持时间 (SCPCLK 下降沿之后) ⁽⁸⁾	700			ns
$t_{SCP_BYTE_INTERVAL}$	连续字节之间的时间	1			μs
$t_{SCP_NEG_ENZ}$	SCPENZ 的下降沿和 SCPCLK 的第一个上升沿之间的时间。	30			ns
$t_{SCP_PW_ENZ}$	SCPENZ 无效脉冲宽度 (高电平)	1			μs
$t_{SCP_OUT_EN}$	SCPENZ 之后 SCP 输出缓冲器恢复 (从三态) 所需的时间			1.5	ns
f_{clock}	SCP 电路时钟振荡器频率 ⁽⁹⁾	9.6		11.1	MHz

6.4 建议的工作条件 (continued)

在自然通风条件下的工作温度范围内（除非另有说明）在该表定义的限值内运行器件时，可实现本数据表中指定的器件的功能性能。在高于或低于这些限值的条件下运行器件时，不暗示任何性能水平。

		最小值	标称值	最大值	单位
LVDS 接口					
f_{clock}	LVDS 接口的时钟频率，DCLK (所有通道)		400	430	MHz
$ V_{\text{ID}} $	输入差分电压 (绝对值) ⁽¹⁰⁾	200	400	600	mV
V_{CM}	共模 ⁽¹⁰⁾		1200		mV
V_{LVDS}	LVDS 电压 ⁽¹⁰⁾	0		2000	mV
$t_{\text{LVDS_RSTZ}}$	LVDS 接收器从 PWRDNZ 恢复所需的时间			10	ns
Z_{IN}	内部差分端接电阻	95		105	Ω
Z_{LINE}	线路差分阻抗 (PWB/引线)	90	100	110	Ω
环境					
T_{ARRAY}	长期工作时的阵列温度 ^{(11) (12) (13) (14)}	10		40 至 70 ⁽¹⁴⁾	$^{\circ}\text{C}$
	短期工作 (最长 500 个小时) 时的阵列温度 ^{(12) (15)}	0		10	
T_{WINDOW}	工作时的窗口温度 ⁽¹⁶⁾			85	$^{\circ}\text{C}$
T_{DELTA}	窗口边沿上的任意点与陶瓷测试点 TP1 之间的绝对温度差值。 ⁽¹⁷⁾			15	$^{\circ}\text{C}$
$T_{\text{DP-AVG}}$	平均露点温度 (非冷凝) ⁽¹⁸⁾			28	$^{\circ}\text{C}$
$T_{\text{DP-ELR}}$	高露点温度范围 (非冷凝) ⁽¹⁹⁾	28		36	$^{\circ}\text{C}$
CT_{ELR}	高露点温度范围内的累积时间			24	月
灯					
ILL_{UV}	照明, 波长 < 395nm ⁽¹¹⁾		0.68	2.0	mW/cm ²
ILL_{VIS}	照明, 波长介于 395nm 和 800nm 之间 ⁽²⁰⁾			29.3	W/cm ²
ILL_{IR}	照明, 波长 > 800nm			10	mW/cm ²
固态					
ILL_{UV}	照明, 波长 < 410nm ⁽¹¹⁾			0.45	mW/cm ²
ILL_{VIS}	照明, 波长介于 410nm 和 800nm 之间 ⁽²⁰⁾			34.7	W/cm ²
ILL_{IR}	照明, 波长 > 800nm			10	mW/cm ²

- (1) DMD 正常运行需要电源电压 VCC、VCCI、VOFFSET、VBIAS 和 VRESET。还必须连接 VSS。
- (2) VOFFSET 电源电压瞬态必须处于指定的最大电压范围内。
- (3) 为防止电流过大，电源电压变化 $|V_{\text{CCI}} - V_{\text{CC}}|$ 必须小于指定的限值。
- (4) 为防止电流过大，电源电压变化 $|V_{\text{BIAS}} - V_{\text{OFFSET}}|$ 必须小于指定的限值。有关其他信息，请参阅节 9。
- (5) V_{IH} 和 V_{IL} 的测试条件：
频率 = 60MHz。最大上升时间 = 2.5ns (20% 至 80%)
频率 = 60MHz。最大下降时间 = 2.5ns (80% 至 20%)
- (6) PWRDNZ 输入引脚将 SCP 复位并禁用 LVDS 接收器。PWRDNZ 输入引脚覆盖 SCPENZ 输入引脚并使 SCPDO 输出引脚处于三态。
- (7) SCP 时钟是选通时钟。占空比应为 $50\% \pm 10\%$ 。SCP 参数与 DCLK 的频率相关。
- (8) 请参阅图 6-2。
- (9) SCP 内部振荡器被指定运行所有 SCP 寄存器。所有 SCP 操作都需要 DCLK。
- (10) 请参阅图 6-3、图 6-4 和图 6-5。
- (11) 如果该 DMD 同时暴露于最大温度和 UV 照明 (请参阅节 6.4)，则会缩短器件寿命。
- (12) 阵列温度无法直接测量，必须通过在图 7-1 所示测试点 1 (TP1) 测量的温度以及封装热阻 (使用节 7.6 中的计算) 进行分析计算。
- (13) 长期定义为使用寿命期间的平均值。
- (14) 根据图 6-1，最大工作阵列温度应根据 DMD 在最终应用中经历的微镜着陆占空比进行降额。请参阅节 7.7。
- (15) 短期是器件使用寿命期间的总累积时间。
- (16) 图 7-1 中热测试点 TP2、TP3、TP4 和 TP5 的位置旨在测量最高窗口边沿温度。对于大多数应用，所示位置代表最高窗口边沿温度。如果特定应用导致窗口边沿上的其他点处于更高的温度，则应将测试点添加到这些位置。
- (17) 温度差值是陶瓷测试点 1 (TP1) 和窗口边沿上任意位置 (如图 7-1 所示) 之间的最大差值。图 7-1 中显示的窗口测试点 TP2、TP3、TP4 和 TP5 旨在产生最坏情况下的温度差值。如果特定应用导致窗口边沿上的另一个点产生更大的温度差值，则应使用该点。
- (18) 器件不在“高露点温度范围”内的随时间变化的平均值 (包括存储和运行)。

- (19) 在存储和运行期间，暴露于高范围内的露点温度应限制在 CT_{ELR} 的总累积时间以内。
 (20) DMD 上可能入射的最大光功率受最大光功率密度和微镜阵列温度的限制。

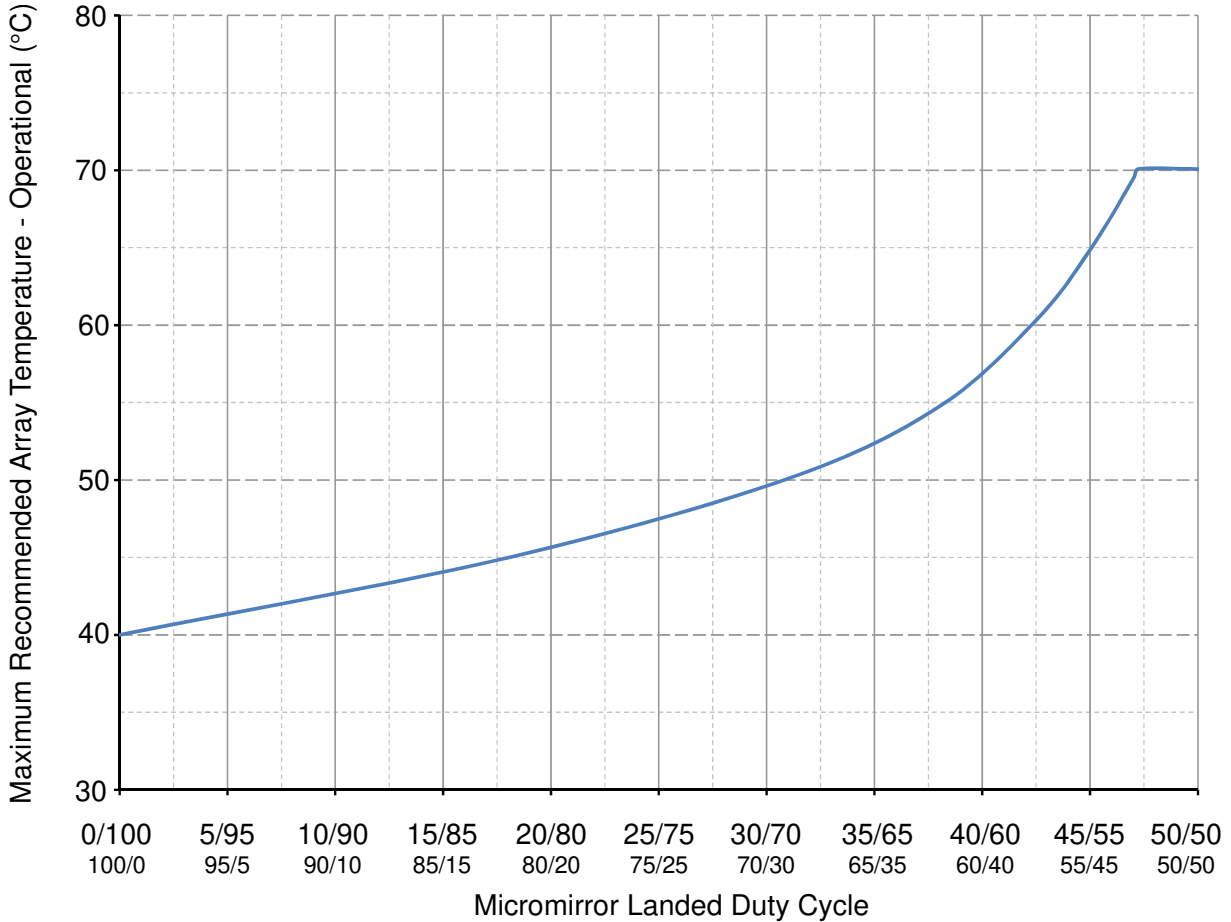


图 6-1. 建议的最高 DMD 温度 - 降额曲线

6.5 热性能信息

热指标 ⁽¹⁾	DLP670RE	单位
	FYE 封装	
	350 引脚	
有源阵列至测试点 1 (TP1) 的热阻	0.50	°C/W

- (1) 该 DMD 经设计可将吸收和耗散的热量传导至封装背面，然后通过适当的散热器将其移除。散热器和冷却系统必须能够将封装保持在 [建议运行条件](#) 中指定的温度范围内。
 该 DMD 上的总热负荷主要由有源区域吸收的入射光驱动，不过可能还会有一部分来自窗口孔隙吸收的光能和阵列的电功率耗散。
 光学系统应设计为尽量减少处于窗口透光孔径之外的光能，因为该区域的任何额外热负荷都会显著降低器件的可靠性。

6.6 电气特性

在自然通风条件下的工作温度范围内（除非另有说明）。

参数		测试条件 ⁽¹⁾	最小值	典型值	最大值	单位
V _{OH}	高电平输出电压	VCC = 3V, I _{OH} = -20mA	2.4			V
V _{OL}	低电平输出电压	VCC = 3.45V, I _{OL} = 15mA			0.4	V
I _{IH}	高电平输入电流 ^{(2) (3)}	VCC = 3.45V, V _I = VCC			250	μA
I _{IL}	低电平输入电流	VCC = 3.45V, V _I = 0	-250			μA
I _{OZ}	高阻抗输出电流	VCC = 3.45 V			10	μA
I _{CC}	电源电流 ⁽⁴⁾	VCC = 3.45 V			1100	mA
I _{CCI}		VCCI = 3.45V			510	
I _{OFFSET}	电源电流 ^{(5) (6)}	VOFFSET = 8.75V		10	25	mA
I _{BIAS}		VBIAS = 16.5V		10	14	
I _{RESET}	电源电流 ⁽⁶⁾	VRESET = -10.5V		10	11	mA
I _{TOTAL}		总和			1650	
C _I	输入电容	f = 1MHz			20	pF
C _O	输出电容	f = 1MHz			15	pF
C _M	复位组电容 MBRST(14:0)	f = 1MHz 所有输入互连， (1920 x 1200) 阵列	365		430	pF

- (1) 所有电压均以公共接地 VSS 为基准。DMD 正常运行需要电源电压 VCC、VCCI、VOFFSET、VBIAS 和 VRESET。还必须连接 VSS。
- (2) 仅适用于 LVCMOS 输入引脚；不包括 LVDS 引脚和 MBRST 引脚。
- (3) LVCMOS 输入引脚利用内部 18000 Ω 无源电阻器进行上拉和下拉配置。请参阅节 5 以确定使用的上拉或下拉配置。
- (4) 为防止电流过大，电源电压变化 |VCCI - VCC| 必须小于指定的限值。
- (5) 为防止电流过大，电源电压变化 |VBIAS - VOFFSET| 必须小于指定的限值。
- (6) DLPA4000 PMIC 能够为 VOFFSET、VBIAS 和 VRESET 引脚提供足够大的电流，以便正确操作 DLP670RE。

6.7 时序要求

在建议运行条件 (节 6.4) 下 (除非另有说明) 。⁽⁵⁾

说明 ⁽¹⁾		最小值	典型值	最大值	单位	
SCP 接口⁽²⁾						
t_r	上升时间	20% 至 80% 参考点		200	ns	
t_f	下降时间	80% 至 20% 参考点		200	ns	
LVDS 接口⁽²⁾						
t_r	上升时间	20% 至 80%		100	400	ps
t_f	下降时间	80% 至 20%		100	400	ps
LVDS 时钟⁽³⁾						
t_c	周期时间	DCLK_A, 50% 至 50%		2.5	ns	
		DCLK_B, 50% 至 50%		2.5		
t_w	脉冲持续时间	DCLK_A, 50% 至 50%		1.19	1.25	ns
		DCLK_B, 50% 至 50%		1.19	1.25	
LVDS 接口⁽³⁾						
t_{su}	建立时间	D_A(15:0), DCLK_A 的上升沿或下降沿之前		0.17	ns	
		D_B(15:0), DCLK_B 的上升沿或下降沿之前		0.17		
t_{su}	建立时间	SCTRL_A, DCLK_A 的上升沿或下降沿之前		0.17	ns	
		SCTRL_B, DCLK_B 的上升沿或下降沿之前		0.17		
t_h	保持时间	D_A(15:0), DCLK_A 的上升沿或下降沿之后		0.47	ns	
		D_B(15:0), DCLK_B 的上升沿或下降沿之后		0.47		
t_h	保持时间	SCTRL_A, DCLK_A 的上升沿或下降沿之后		0.47	ns	
		SCTRL_B, DCLK_B 的上升沿或下降沿之后		0.47		
LVDS 接口⁽⁴⁾						
t_{skew}	偏斜时间	通道 B 相对于通道 A ⁽⁴⁾	通道 A 包括以下 LVDS 对： DCLK_AP 和 DCLK_AN SCTRL_AP 和 SCTRL_AN D_AP(15:0) 和 D_AN(15:0)	- 1.25	1.25	ns
			通道 B 包括以下 LVDS 对： DCLK_BP 和 DCLK_BN SCTRL_BP 和 SCTRL_BN D_BP(15:0) 和 D_BN(15:0)			

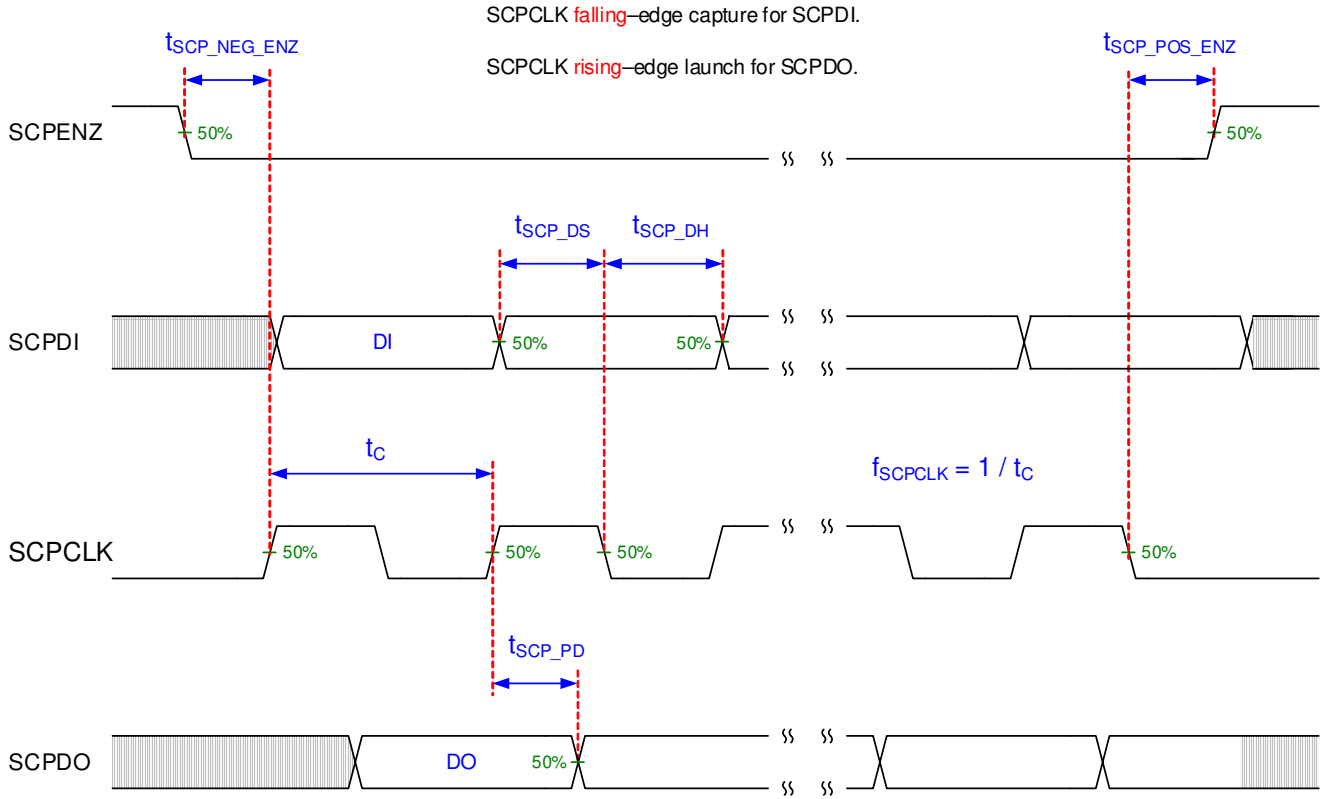
(1) 有关引脚详细信息, 请参阅节 5。

(2) 请参阅图 6-6。

(3) 请参阅图 6-8。

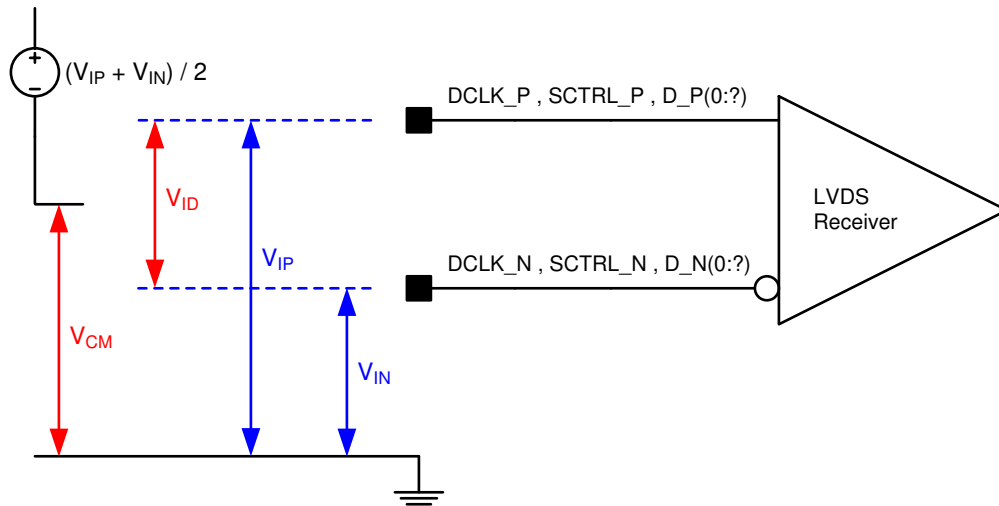
(4) 请参阅图 6-9。

(5) 在器件引脚上进行了测试。在分析输出时序时, 必须考虑测试仪引脚电子元件及其传输线路影响。



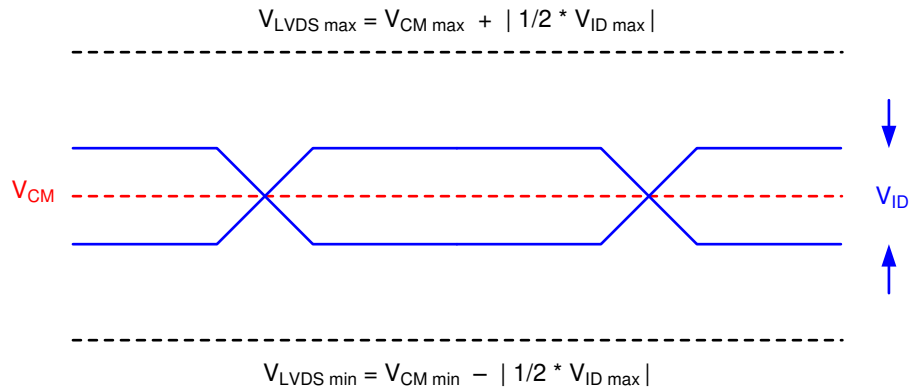
未按比例显示
 请参阅建议运行条件的“SCP 接口”部分节 6.4。

图 6-2. SCP 时序参数



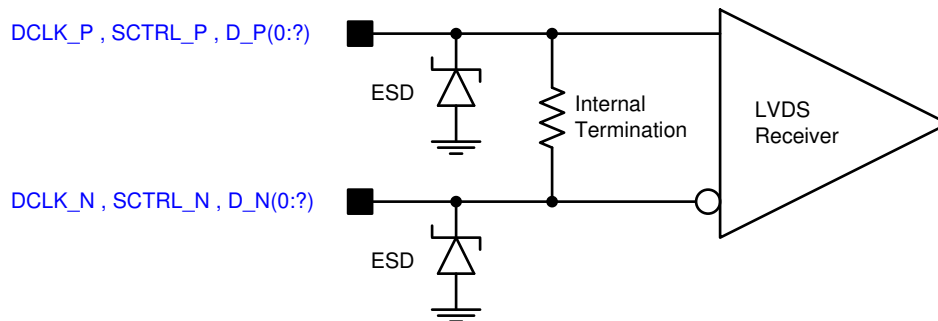
请参阅建议运行条件 (节 6.4) 的“LVDS 接口”部分。
 有关 LVDS 引脚列表, 请参阅“引脚功能”表。

图 6-3. LVDS 电压定义 (参考)



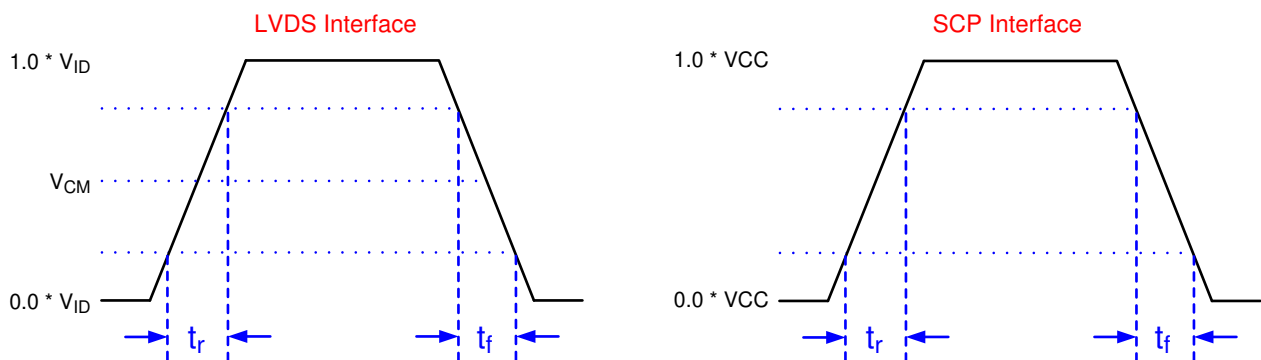
未按比例显示
请参阅 [建议运行条件 \(节 6.4\)](#) 的“LVDS 接口”部分。

图 6-4. LVDS 电压参数



请参阅 [建议运行条件 \(节 6.4\)](#) 的“LVDS 接口”部分。
有关 LVDS 引脚列表, 请参阅“引脚功能”表。

图 6-5. LVDS 等效输入电路



未按比例显示
请参阅时序要求。
有关 LVDS 引脚和 SCP 引脚列表, 请参阅“引脚功能”表。

图 6-6. 上升时间和下降时间

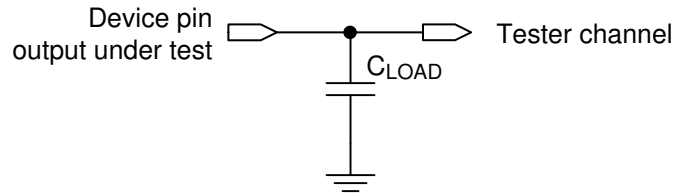
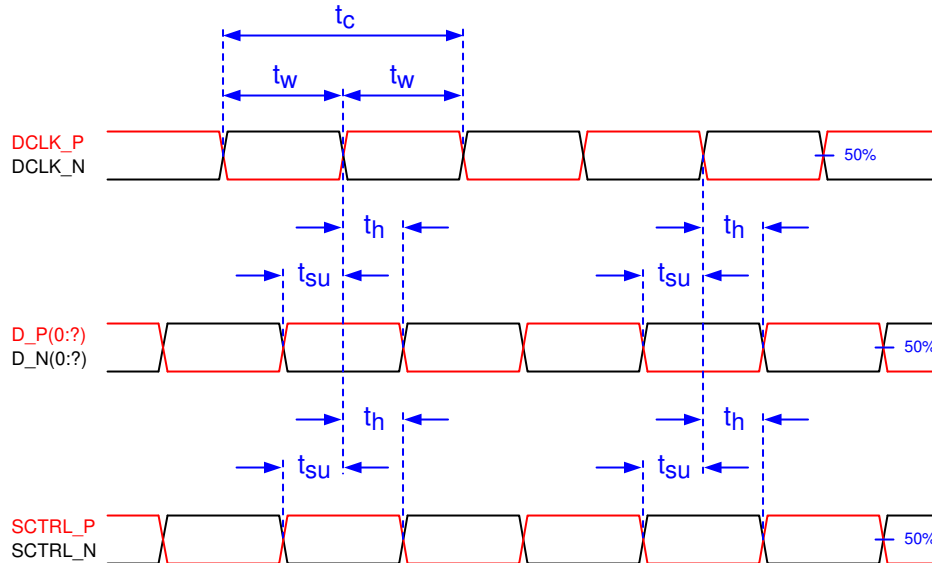


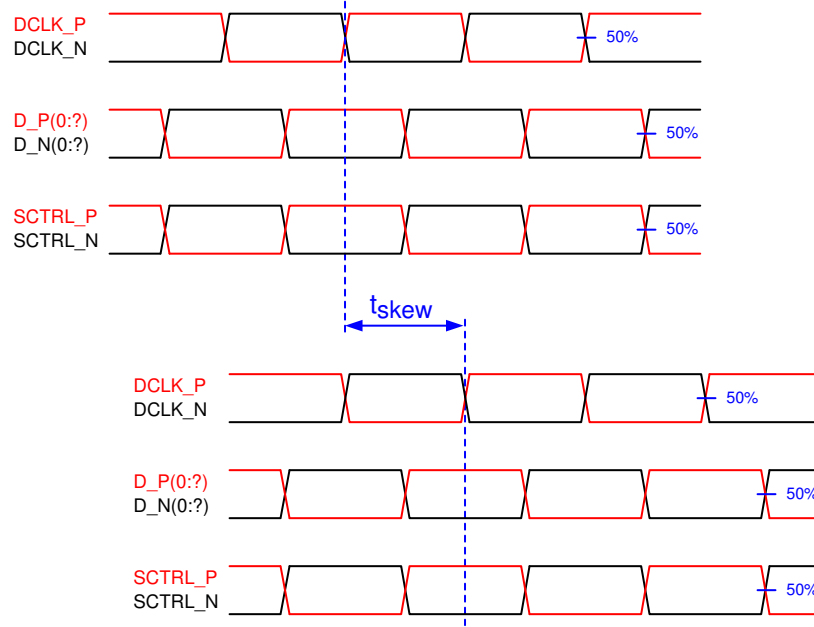
图 6-7. 输出传播测量的测试负载电路

在分析输出时序时，必须考虑测试仪引脚电子元件及其传输线路影响。系统设计应使用 IBIS 或其他仿真工具将时序基准负载与系统环境相关联。请参阅图 6-7。



未按比例显示
请参阅时序要求中的“LVDS 接口”部分。

图 6-8. 时序要求参数定义



未按比例显示
请参阅时序要求中的“LVDS 接口”部分。

图 6-9. LVDS 接口通道偏斜定义

6.8 系统安装接口负载

参数	最小值	标称值	最大值	单位
要向电气接口区域施加的最大负载 ⁽¹⁾			111	N
要向热界面区域施加的最大负载 ⁽¹⁾			111	N

(1) 负载必须均匀地施加在图 6-10 所示的相应区域。

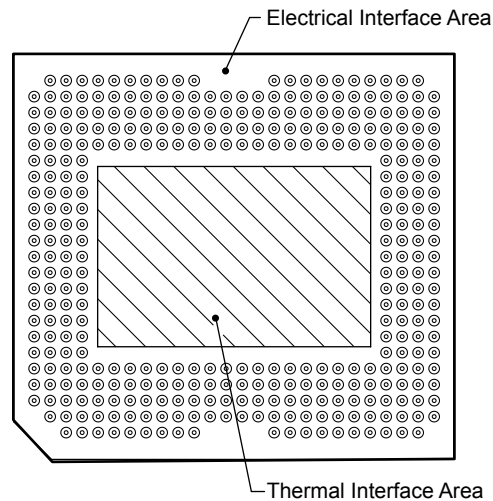
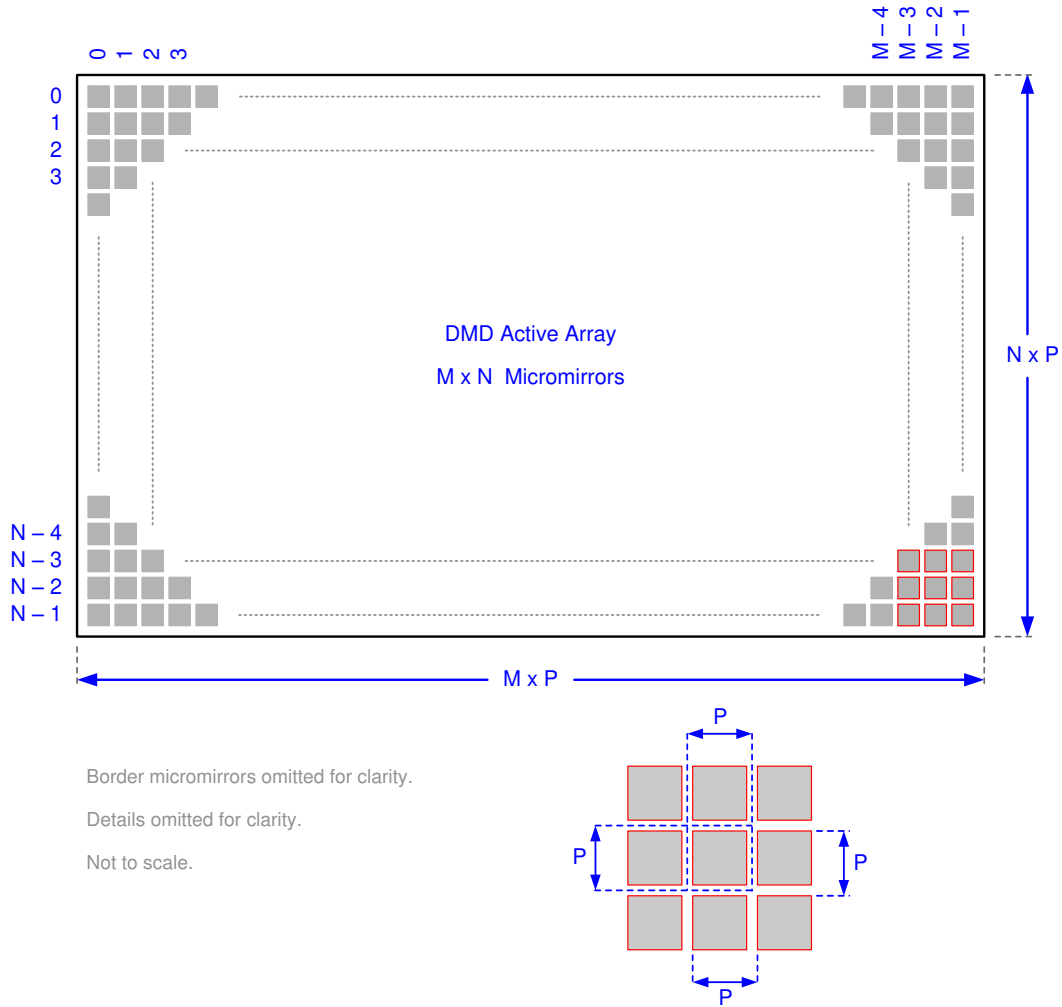


图 6-10. 系统安装接口负载

6.9 微镜阵列物理特性

		值	单位
有源列数 ⁽¹⁾	M	1920	微镜
有源行数 ⁽¹⁾	N	1200	微镜
微镜 (像素) 间距 ⁽¹⁾	P	7.56	μm
微镜有源阵列宽度 ⁽¹⁾	微镜间距 × 有源列数	14.5152	mm
微镜有源阵列高度 ⁽¹⁾	微镜间距 × 有源行数	9.072	mm
微镜有源边框 ⁽²⁾	微镜池 (POM)	14	微镜数/侧

- (1) 请参阅图 6-11
- (2) 有源阵列周围边框的结构和质量包括一条称为微镜池 (POM) 的部分起作用的微镜带。这些微镜在结构上和/或电气上被阻止向亮或“打开”状态倾斜,但仍需要进行电偏置以向“关闭”状态倾斜。



有关 M、N 和 P 规格, 请参阅 [微镜阵列物理特性](#)。

图 6-11. 微镜阵列物理特性

6.10 微镜阵列光学特性

有关中药信息, 请参阅节 7.5。

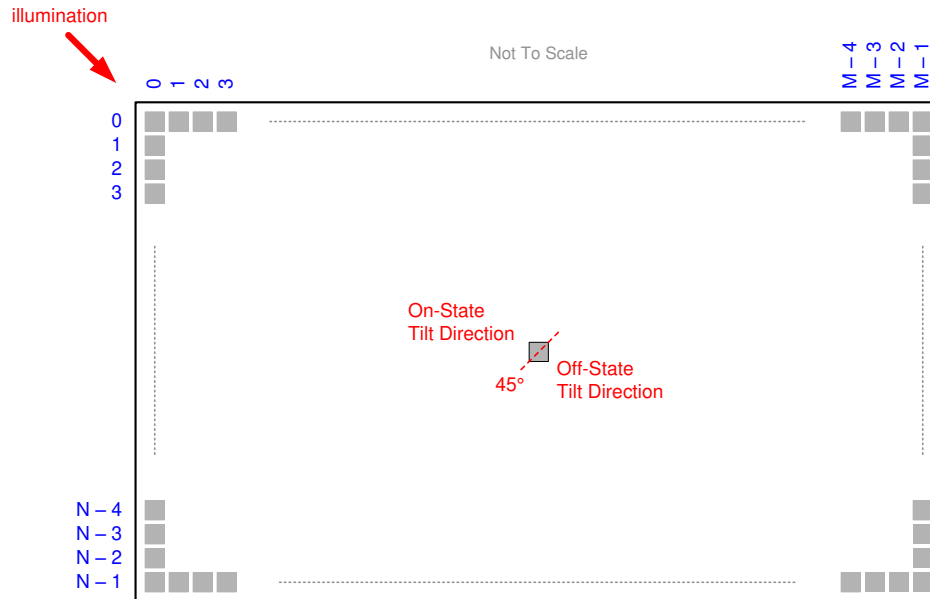
参数	最小值	标称值	最大值	单位
器件之间的微镜倾斜角变化 ^{(1) (2) (3) (4)}	11	12	13	°

6.10 微镜阵列光学特性 (continued)

有关中药信息，请参阅节 7.5。

参数		最小值	标称值	最大值	单位
微镜交叉时间 ⁽⁵⁾			2.5		μm
微镜开关时间 ⁽⁶⁾		10			μm
图像性能 ⁽⁷⁾	有源区域中的亮像素 ⁽⁸⁾	灰度 10 屏幕 ⁽⁹⁾		0	微镜
	POM 中的亮像素 ⁽¹⁰⁾	灰度 10 屏幕 ⁽⁹⁾		1	微镜
	有源区域中的暗像素 ⁽¹¹⁾	白色屏幕		4	微镜
	相邻像素 ⁽¹²⁾	任何屏幕		0	微镜
	有源区域中的不稳定像素 ⁽¹³⁾	任何屏幕		0	微镜

- (1) 相对于整个微镜阵列形成的平面进行测量。
- (2) 表示位于同一器件上或位于不同器件上的任意两个单独微镜之间可能产生的变化。
- (3) 对于某些应用，在整个系统光学设计中考虑微镜倾斜角的变化是至关重要的。对于某些系统光学设计，器件内的微镜倾斜角变化可能会导致从微镜阵列反射的光场出现可察觉的不均匀性。对于某些系统光学设计，器件之间的微镜倾斜角变化可能会导致色度变化、系统效率变化或系统对比度变化。
- (4) 当微镜阵列着陆（未停放）时，每个单独微镜的倾斜方向由与每个单独微镜相关联的 CMOS 存储单元的二进制内容决定。二进制值 1 使微镜在打开状态方向上着陆。二进制值 0 使微镜在关闭状态方向上着陆，请参阅图 6-12。
- (5) 微镜标称从一个着陆状态转换到相反着陆状态所需的时间。
- (6) 微镜连续转换之间的最短时间。
- (7) 验收条件：将使用以下投影图像测试条件评估所有 DMD 图像性能返回值：
 - 测试设置去伽玛校正应该是线性的
 - 测试设置亮度、对比度应设置为标称值
 - 投影图像的对角线尺寸应至少为 60 英寸
 - 投影屏幕应具有 1 倍的增益
 - 应以至少 8 英尺的观看距离查看图像
 - 在所有图像性能测试期间，图像应处于焦点位置
- (8) 亮度像素定义：卡在打开位置、明显比周围像素亮的单个像素或微镜
- (9) 灰度 10 屏幕定义：屏幕的所有区域均采用以下设置进行着色：
 - 红色 = 10/255
 - 绿色 = 10/255
 - 蓝色 = 10/255
- (10) POM 定义：有源区域周围处于关闭状态的微镜的矩形边框。
- (11) 暗像素定义：卡在关闭位置、明显比周围像素暗的单个像素或微镜。
- (12) 相邻像素定义：共享公共边界或公共点的两个或多个卡住的像素，也称为集群。
- (13) 不稳定像素定义：不按加载到存储器中的参数顺序运行的单个像素或微镜。不稳定像素看起来与图像异步闪烁。



有关 M、N 和 P 规格，请参阅 [微镜阵列物理特性](#)。

图 6-12. 微镜着陆方向和倾斜

6.11 窗口特性

参数	最小值	标称值
窗口材料		Corning Eagle XG
波长为 546.1nm 时的窗口折射率		1.5119
窗口透射率，420 - 680nm 波长范围内的最小值。适用于所有 0 - 30° AOI。(1) (2)	97%	
窗口透射率，420 - 680nm 波长范围内的平均值。适用于所有 30 - 45° AOI。(1) (2)	97%	

(1) 单通，两个表面，玻璃

(2) 入射角 (AOI) 是入射光线与反射或折射表面的法线之间的角度。

6.12 芯片组元件使用规格

DLP670RE 是一个或多个 DLP 芯片组的元件。DLP670RE 需要与适用 DLP 芯片组的其他元件 (包括包含或实现 TI DMD 控制技术的元件) 结合使用才能实现可靠运行。TI DMD 控制技术是用于操作或控制 DLP DMD 的 TI 技术和器件。

7 详细说明

7.1 概述

DLP670RE 是一款 0.67 英寸对角线空间光调制器，其中包含一个高反射铝微镜阵列。图 6-11 展示了像素阵列大小和方格像素排列。

该 DMD 是一个电输入、光输出微机电系统 (MEMS)。电气接口为低压差分信号 (LVDS)，具有双倍数据速率 (DDR)。

DLP670RE DMD 由 1 位 CMOS 存储单元的二维阵列组成。该阵列被组织成 M 个存储单元列乘以 N 个存储单元行的栅格。请参阅功能方框图。

通过改变底层 CMOS 寻址电路的地址电压和微镜复位信号 (MBRST)，可以单独控制微镜的正偏转角或负偏转角。

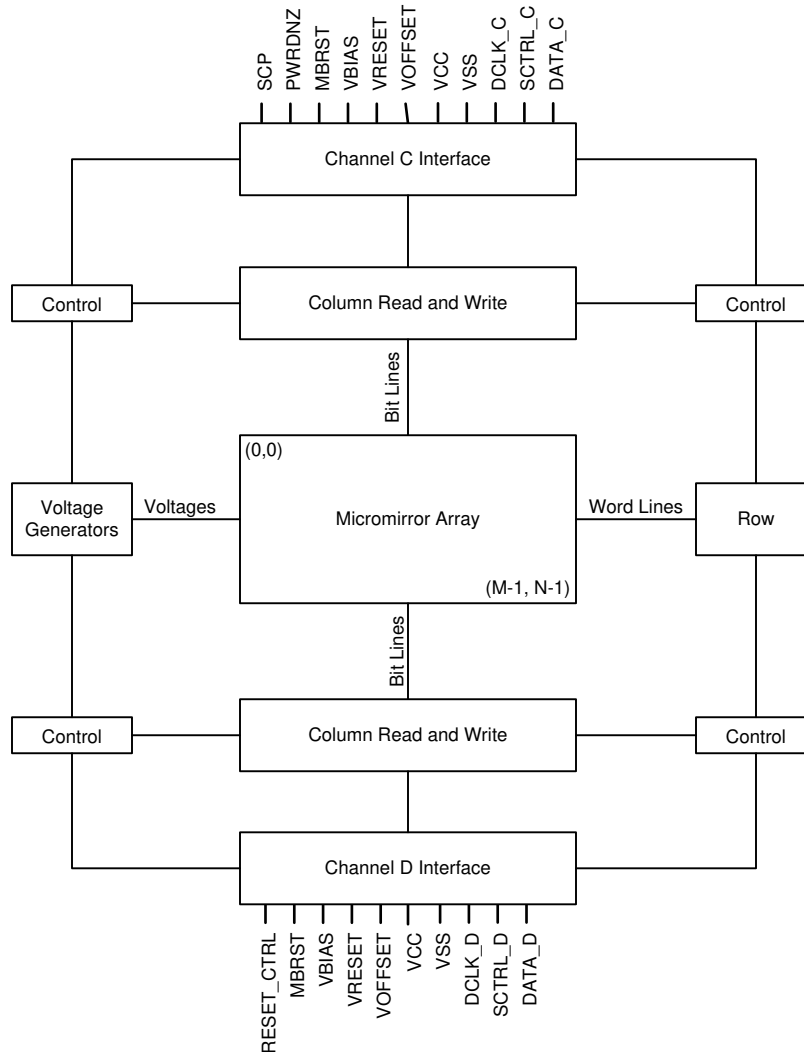
$M \times N$ 存储阵列的每个单元将其真实和互补 (“Q” 和 “QB”) 数据驱动到一个微镜下方的两个电极，对角旋转轴的每侧各一个电极。请参阅节 6.10。微镜以电气方式连接到微镜复位信号 (MBRST)，微镜阵列分为复位组。

微镜及其存储器数据电极之间的静电电势会使微镜向 DLP 投影系统中的光源倾斜或向远离该光源的方向倾斜，从而将其入射光反射到光收集孔隙中或从光收集孔隙中反射出来。正 (+) 倾斜角状态对应于“打开”像素，负 (-) 倾斜角状态对应于“关闭”像素。

有关 \pm 倾斜角规格，请参阅 [微镜阵列光学特性](#)。有关微镜复位控制的更多信息，请参阅节 5。

7.2 功能方框图

进入 DMD 的主 LVDS 线路通过通道 A 和 B 进行连接。但是，LVDS 线路来自 DLPC4430 的通道 C 和 D。有关更多信息，请参阅 [DLPC4430 显示控制器数据表](#)。



有关通道 A、B、C 和 D 上的引脚详细信息，请参阅 [节 5](#) 和 [时序要求](#) 的“LVDS 接口”部分。

7.3 特性说明

7.3.1 电源接口

DMD 需要四个直流电压输入信号。

- DMD_P3P3V
- VOFFSET
- VRESET
- VBIAS

DMD_P3P3V 信号由 DLPA100 器件的电源和电机驱动器创建。该信号在 DMD 板上用于创建其他三个 DMD 电压输入，以及为各种外设（例如，TMP411、I²C 和 TI 电平转换器）供电。其他信号（VOFFSET (8.5V)、VRESET (-10V) 和 VBIAS (16.5V)）由 TI PMIC TPS65145 器件创建，提供给 DMD 以控制微镜。

7.3.2 时序

该数据表提供在器件引脚上测得的时序分析。在分析输出时序时，必须考虑测试仪引脚电子元件及其传输线路影响。图 6-7 展示了被测输出的等效测试负载电路。时序基准负载不能作为任何特定系统环境的精确表示，也不能描述生产测试所呈现的实际负载。TI 建议系统设计人员使用 IBIS 或其他仿真工具将时序基准负载与系统环境相关联。所述负载电容值仅用于表征和测量交流时序信号。该负载电容值并不表示器件能够驱动的最大负载。

7.4 器件功能模式

DMD 功能模式由 DLPC4430 数字显示控制器控制。请参阅 [DLPC4430 DLP® 显示控制器数据表](#)。有关详细信息，请联系 TI 应用工程师。

7.5 光学接口和系统图像质量注意事项

TI 对终端设备的光学性能不承担任何责任。要实现所需的终端设备光学性能，需要在众多元件和系统设计参数之间进行权衡。系统光学性能和图像质量与光学系统设计参数权衡密切相关。虽然不可能预见到每一个可以想象的应用，但投影仪图像质量和光学性能取决于是否符合以下各节中所述的光学系统工作条件。

7.5.1 数字光圈和杂散光控制

DMD 光学区域的照明和投影光学元件的数值孔径所定义的角度相同。除非在照明和/或投影光瞳中添加了适当的孔径以阻挡来自投影透镜的平面光和杂散光，否则该角度不应超过标称器件微镜倾斜角。微镜倾斜角定义了 DMD 将“打开”光路与任何其他光路分开的能力，包括来自 DMD 窗口、DMD 边框结构或 DMD 附近其他系统表面（例如棱镜或透镜表面）的不良平面状态镜面反射。如果数值孔径超过微镜倾斜角，或者如果投影数值孔径角比照明数值孔径角大两度以上（反之亦然），则显示器边框和/或有源区域中可能会出现不良的伪影。

7.5.2 光瞳匹配

TI 的光学和图像质量规格假定照明光学元件的出射光瞳标称中心位于投影光学元件的入射光瞳的 2° 范围内。光瞳失准会在显示器的边框和/或有源区域中产生不良伪影，这可能需要额外的系统孔径来控制，尤其是在系统的数值孔径超过像素倾斜角的情况下。

7.5.3 照明溢出

该器件的有源区域被内部 DMD 窗口表面上的孔隙包围，该孔隙掩盖了正常视图中 DMD 芯片组装的结构。该孔隙的大小可以预测多种光学工作条件。照亮窗口孔隙的溢出光会因窗口孔隙开口的边缘和屏幕上可能可见的其他表面异常而产生伪影。将照明光学系统设计为限制入射到窗口孔隙任何位置的光通量，使其不超过有源区域中平均通量水平的约 10%。根据特定系统的光学架构，溢出光可能必须进一步减少到建议的 10% 水平以下才能被接受。

7.6 微镜阵列温度计算

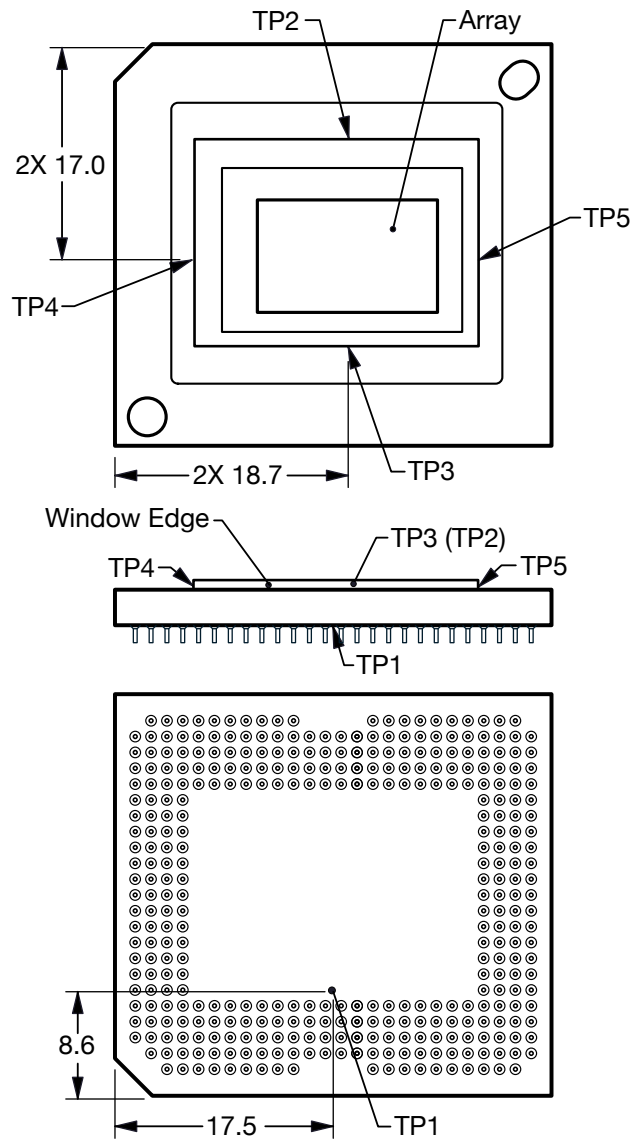


图 7-1. DMD 热测试点

微镜阵列温度无法直接测量，因此必须根据封装外部的测量点、封装热阻、电功率和照明热负荷进行分析计算。以下公式提供了阵列温度与基准陶瓷温度（图 7-1 中的热测试 TP1）之间的关系：

$$T_{\text{ARRAY}} = T_{\text{CERAMIC}} + (Q_{\text{ARRAY}} \times R_{\text{ARRAY-TO-CERAMIC}}) \quad (1)$$

$$Q_{\text{ARRAY}} = Q_{\text{ELECTRICAL}} + Q_{\text{ILLUMINATION}} \quad (2)$$

其中

- T_{ARRAY} = 计算得出的阵列温度 (°C)
- T_{CERAMIC} = 测得的陶瓷温度 (°C) (TP1 位置)
- $R_{\text{ARRAY-TO-CERAMIC}}$ = 热性能信息 中指定的阵列至陶瓷 TP1 的封装热阻 (°C/瓦)
- Q_{array} = 阵列上的总 DMD 功率 (W) (电气 + 吸收)
- $Q_{\text{ELECTRICAL}}$ = 标称电功率 (W)
- Q_{INCIDENT} = 入射照明光功率 (W)
- $Q_{\text{ILLUMINATION}} = (\text{DMD 平均热吸收率} \times Q_{\text{INCIDENT}}) (W)$
- DMD 平均热吸收率 = 0.42

DMD 的电功率耗散是可变的，取决于电压、数据速率和工作频率。计算阵列温度时使用的标称电功率为 3.0W。从光源吸收的功率是可变的，取决于微镜的工作状态和光源的强度。上面显示的公式对于单芯片或多芯片 DMD 系统有效。它假设有源阵列上的照明分布为 83.7%，阵列边界上的照明分布为 16.3%。

以下是典型投影应用的示例计算：

$$Q_{\text{INCIDENT}} = 25\text{W (measured)} \quad (3)$$

$$T_{\text{CERAMIC}} = 55.0^{\circ}\text{C (measured)} \quad (4)$$

$$Q_{\text{ELECTRICAL}} = 3.0 \text{ W} \quad (5)$$

$$Q_{\text{ARRAY}} = 3.0\text{W} + (0.42 \times 25 \text{ W}) = 13.5 \text{ W} \quad (6)$$

$$T_{\text{ARRAY}} = 55.0^{\circ}\text{C} + (13.5\text{W} \times 0.5^{\circ}\text{C/W}) = 61.8^{\circ}\text{C} \quad (7)$$

7.7 微镜着陆开或着陆关占空比

7.7.1 微镜着陆开或着陆关占空比的定义

微镜着陆开或着陆关占空比（着陆占空比）表示单个微镜着陆于打开状态的时长（百分比）与同一微镜着陆于关闭状态的时长之比。

例如，100/0 的着陆占空比表示基准像素在 100% 的时间内处于打开状态（在 0% 的时间内处于关闭状态）；而 0/100 表示像素在 100% 的时间内处于关闭状态。同样，50/50 表示像素在 50% 的时间内处于打开状态，在 50% 的时间内处于关闭状态。

请注意，在评估着陆占空比时，从一种状态（打开或关闭）切换到另一种状态（关闭或打开）所花费的时间被认为可以忽略不计，因此被忽略。

由于微镜只能以一种状态或另一种状态（打开或关闭）着陆，因此两个数字（百分比）的总和始终为 100。

7.7.2 DMD 的着陆占空比和使用寿命

了解（最终产品或应用的）长期平均着陆占空比很重要，因为使所有（或部分）DMD 微镜阵列（也称为有源阵列）长时间处于非对称着陆占空比会缩短 DMD 的使用寿命。

请注意，相关的是着陆占空比的对称性/不对称性。着陆占空比的对称性取决于两个数字（百分比）的接近程度。例如，50/50 的着陆占空比是完全对称的，而 100/0 或 0/100 的着陆占空比是完全不对称的。

各个 DMD 镜像占空比因应用以及任何特定应用中 DMD 上的微镜位置而异。当 DMD 中的每个单独微镜的占空比接近 50/50 (或 1/1) 时, DMD 微镜的使用寿命将达到最大。例如, 无论何时系统进入待机状态、禁用照明、处于顺序图案曝光之间 (如果可能) , 或者当曝光图案序列因任何原因停止时。在断电时该软件模式在整个 DMD 微镜阵列中提供 50/50 占空比, 其中微镜在打开和关闭状态之间连续转换。

7.7.3 着陆占空比和运行 DMD 温度

DMD 工作时的温度和着陆占空比相互作用, 影响 DMD 的使用寿命, 可以利用这种相互作用来减少非对称着陆占空比对 DMD 使用寿命的影响。这是在图 6-1 显示的降额曲线中进行了量化。该曲线的重要性在于:

- 该曲线上的所有点均表示相同的使用寿命。
- 该曲线上方的所有点均表示较短的使用寿命较低 (离曲线越远, 使用寿命越短) 。
- 该曲线下方的所有点均表示较长的使用寿命 (离曲线越远, 使用寿命越长) 。

实际上, 该曲线指定了给定长期平均着陆占空比下的最高 DMD 工作温度。

7.7.4 估算产品或应用的长期平均着陆占空比

在给定的时间段内, 给定像素的着陆占空比取决于该像素显示的图像内容。

例如, 在最简单的情况下, 当在给定时间段内在给定像素上显示纯白色时, 该像素将在该时间段内在 100/0 着陆占空比下运行。同样, 当显示纯黑色时, 像素在 0/100 着陆占空比下运行。

在两个极端之间 (暂时忽略可能对传入图像应用的颜色和任何图像处理) , 着陆占空比与灰度值一一对应, 如表 7-1 所示。

表 7-1. 灰度值和着陆占空比

灰度值	着陆占空比
0%	0/100
10%	10/90
20%	20/80
30%	30/70
40%	40/60
50%	50/50
60%	60/40
70%	70/30
80%	80/20
90%	90/10
100%	100/0

要考虑色彩再现 (但仍忽略图像处理) , 需要了解给定像素的每种构成原色 (红色、绿色和/或蓝色) 的颜色强度 (0% 至 100%) 以及每种原色的颜色周期时间, 其中颜色周期时间是必须显示某种给定原色以实现所需白点的帧时间的总百分比。

在给定的时间段内, 可以通过方程式 8 来计算给定像素的着陆占空比:

$$\text{Landed Duty Cycle} = (\text{Red_Cycle_}\% \times \text{Red_Scale_Value}) + (\text{Green_Cycle_}\% \times \text{Green_Scale_Value}) + (\text{Blue_Cycle_}\% \times \text{Blue_Scale_Value}) \quad (8)$$

其中

- Red_Cycle_% 表示显示红色以达到所需白点的帧时间百分比
- Green_Cycle_% 表示显示绿色以达到所需白点的帧时间百分比
- Blue_Cycle_% 表示显示蓝色以达到所需白点的帧时间百分比

例如, 假设红色、绿色和蓝色周期时间分别为 50%、20% 和 30% (以实现所需的白点) , 那么各种红色、绿色和蓝色强度组合的着陆占空比如表 7-2 所示。

表 7-2. 全色的着陆占空比示例

周期百分比			着陆占空比
红色 50%	绿色 20%	蓝色 30%	
红色标度值	绿色标度值	蓝色标度值	
0%	0%	0%	0/100
100%	0%	0%	50/50
0%	100%	0%	20/80
0%	0%	100%	30/70
12%	0%	0%	6/94
0%	35%	0%	7/93
0%	0%	60%	18/82
100%	100%	0%	70/30
0%	100%	100%	50/50
100%	0%	100%	80/20
12%	35%	0%	13/87
0%	35%	60%	25/75
12%	0%	60%	24/76
100%	100%	100%	100/0

8 应用和实施

备注

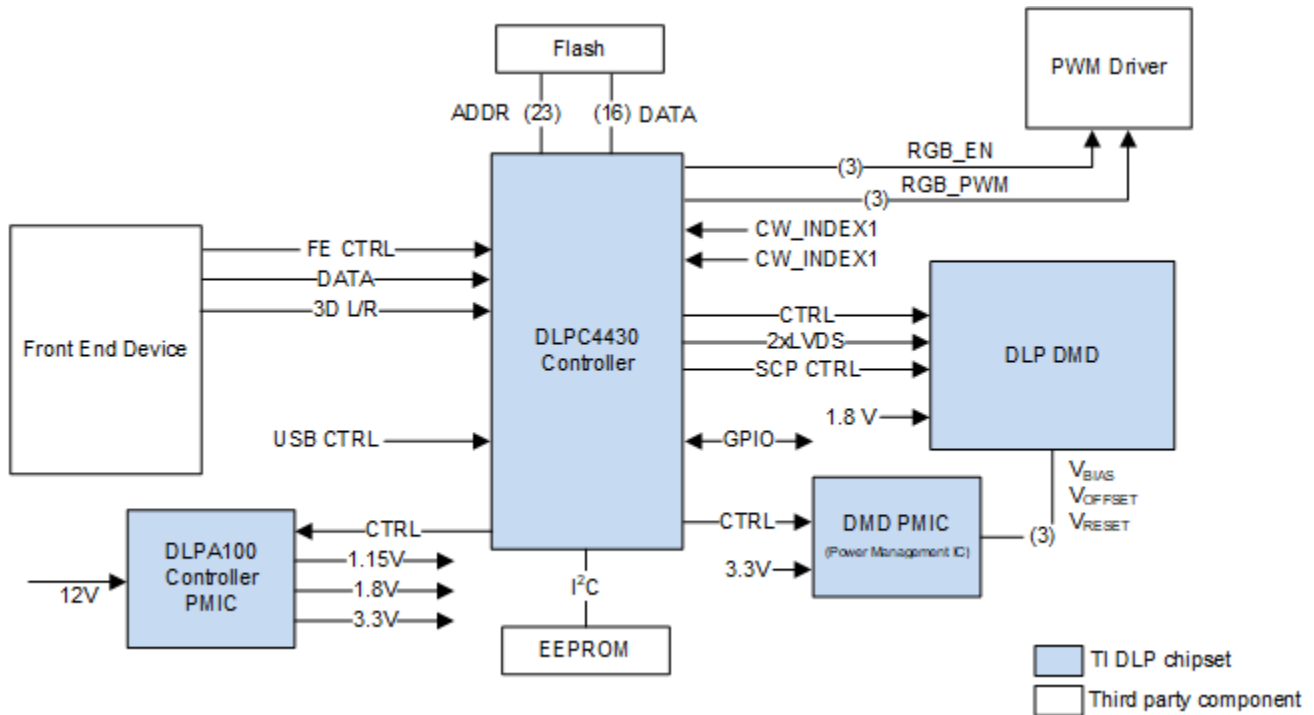
以下应用部分中的信息不属于 TI 元件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计实现，以确认系统功能。

8.1 应用信息

德州仪器 (TI) 的 DLP 技术是一种利用数字微镜器件 (DMD) 来调制光的微电子机械系统 (MEMS) 技术。该 DMD 是一款空间光调制器，可将来自照明源的入射光反射到两个方向之一，即朝向投影光学元件或收集光学元件。大尺寸微镜阵列和陶瓷封装可以为明亮显示应用提供出色的热性能。使用 DLP670RE 的典型应用包括家庭影院、数字标牌、交互式显示器、低延迟游戏显示器、便携式智能显示器。

8.2 典型应用

DLP670RE DMD 与 DLPC4430 数字控制器和 DLPA100 电源管理器件相结合，可为明亮、多彩的显示应用提供 WUXGA 分辨率。图 8-1 展示了使用 DLP670RE 和其他系统元件的典型显示系统。



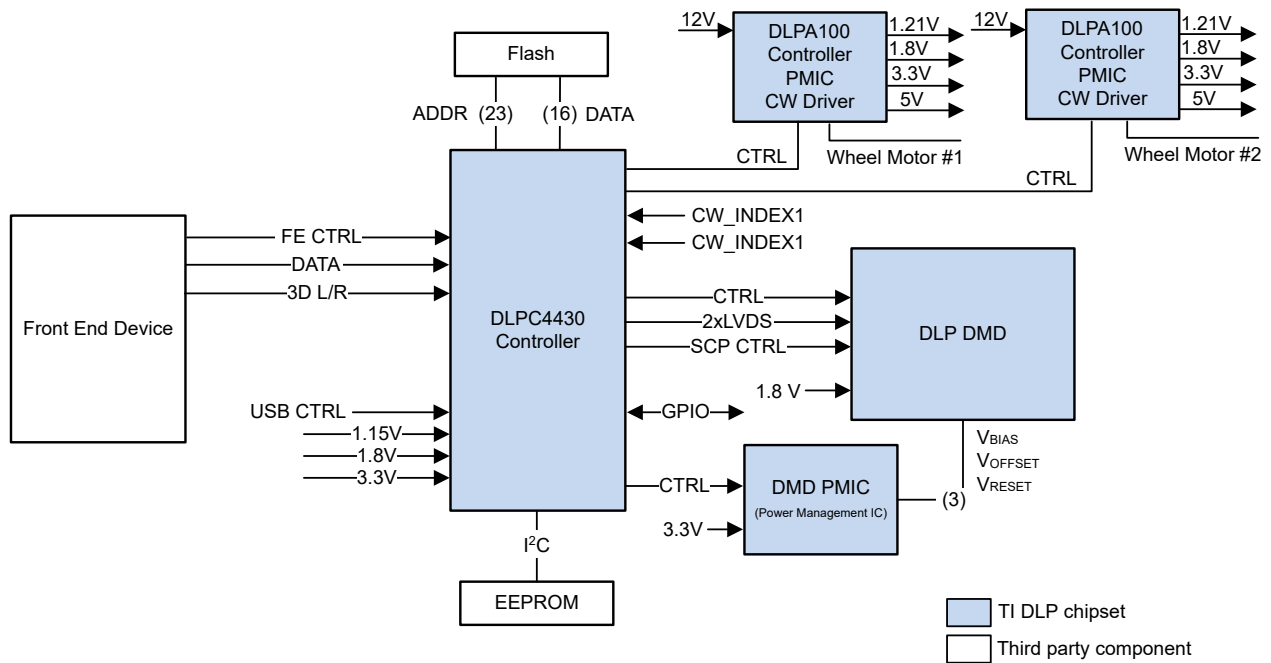


图 8-1. 典型的 DLPC4430 应用 (LED - 顶部 , LPCW - 底部)

8.2.1 设计要求

DLP670RE 投影系统是使用 DMD 芯片组创建的，该芯片组包括 DLP670RE、DLPC4430 和 DLPA100。DLP670RE 用作显示系统中的核心成像器件，包含一个 0.67 英寸微镜阵列。DLPC4430 控制器是 DMD 和系统其余部分之间的数字接口，从对来自源的数据进行转换的前端接收器获取数字输入并使用转换后的数据驱动 DMD（通过 LVDS 接口）。DLPA100 电源管理器件为 DMD、控制器和照明功能提供稳压器。

显示系统的其他核心元件包括光源、照明和投影光学元件的光学引擎、其他电气元件和机械部件以及软件。光源选项包括灯、LED、激光或激光荧光。使用的照明类型和所需的亮度会影响整个系统的设计和尺寸。

8.2.2 详细设计过程

对于完整的 DLP 系统，需要包含 DLP670RE DMD、相关光源、光学元件和必要机械部件的光学模块或光引擎。为了确保可靠运行，DLP670RE DMD 必须始终与 DLPC4430 显示控制器和 DLPA100 PMIC 驱动器配合使用。

9 电源要求

9.1 DMD 电源要求

运行 DMD 需要以下所有电源：VCC、VCCI、VOFFSET、VBIAS 和 VRESET。还必须连接 VSS。DMD 上电和下电时序由 DLPC4430 器件严格控制。

CAUTION

为了确保 DMD 可靠运行，必须遵循以下电源时序要求。如果不遵循规定的上电和下电程序，则可能会影响器件的可靠性。在上电和下电操作期间必须协调 VCC、VCCI、VOFFSET、VBIAS 和 VRESET 电源。还必须连接 VSS。如果未满足以下任何要求，则会导致 DMD 的可靠性和寿命显著降低。请参见图 9-1。

9.2 DMD 电源上电程序

- 在上电期间，VCC 和 VCCI 必须始终在 DMD 上施加 VOFFSET、VBIAS 和 VRESET 电压之前启动并稳定。
- 在上电期间，严格要求 VBIAS 和 VOFFSET 之间的变化必须处于 [建议运行条件](#) 中显示的指定限值内。在上电期间，VBIAS 不必在 VOFFSET 之后启动。
- 在上电期间，对于 VRESET 相对于 VOFFSET 和 VBIAS 的时序没有要求。
- 上电期间的电源压摆率是灵活的，前提是瞬态电压电平符合 [绝对最大额定值](#) 表、[建议运行条件](#) 表和 [DMD 电源时序要求](#) 部分中列出的要求。
- 上电期间，只有在 VCC 和 VCCI 稳定至 [建议运行条件](#) 表中列出的工作电压后 LVCMOS 输入引脚才能被驱动为高电平。

9.3 DMD 电源断电过程

- 在断电期间，必须提供 VCC 和 VCCI，直到 VBIAS、VRESET 和 VOFFSET 放电至指定的接地限制范围内。请参见表 9-1。
- 在断电期间，严格要求 VBIAS 和 VOFFSET 之间的变化必须处于 [建议运行条件](#) 表中显示的指定限值内。在断电期间，不必在 VOFFSET 之前停止驱动 VBIAS。
- 在断电期间，针对 VRESET 相对于 VOFFSET 和 VBIAS 的时序没有要求。
- 断电期间的电源压摆率非常灵活，前提是瞬态电压电平符合 [绝对最大额定值](#)、[建议运行条件](#) 和图 9-1 中列出的要求。
- 在断电期间，LVCMOS 输入引脚电压必须小于 [建议运行条件](#) 表中指定的值。

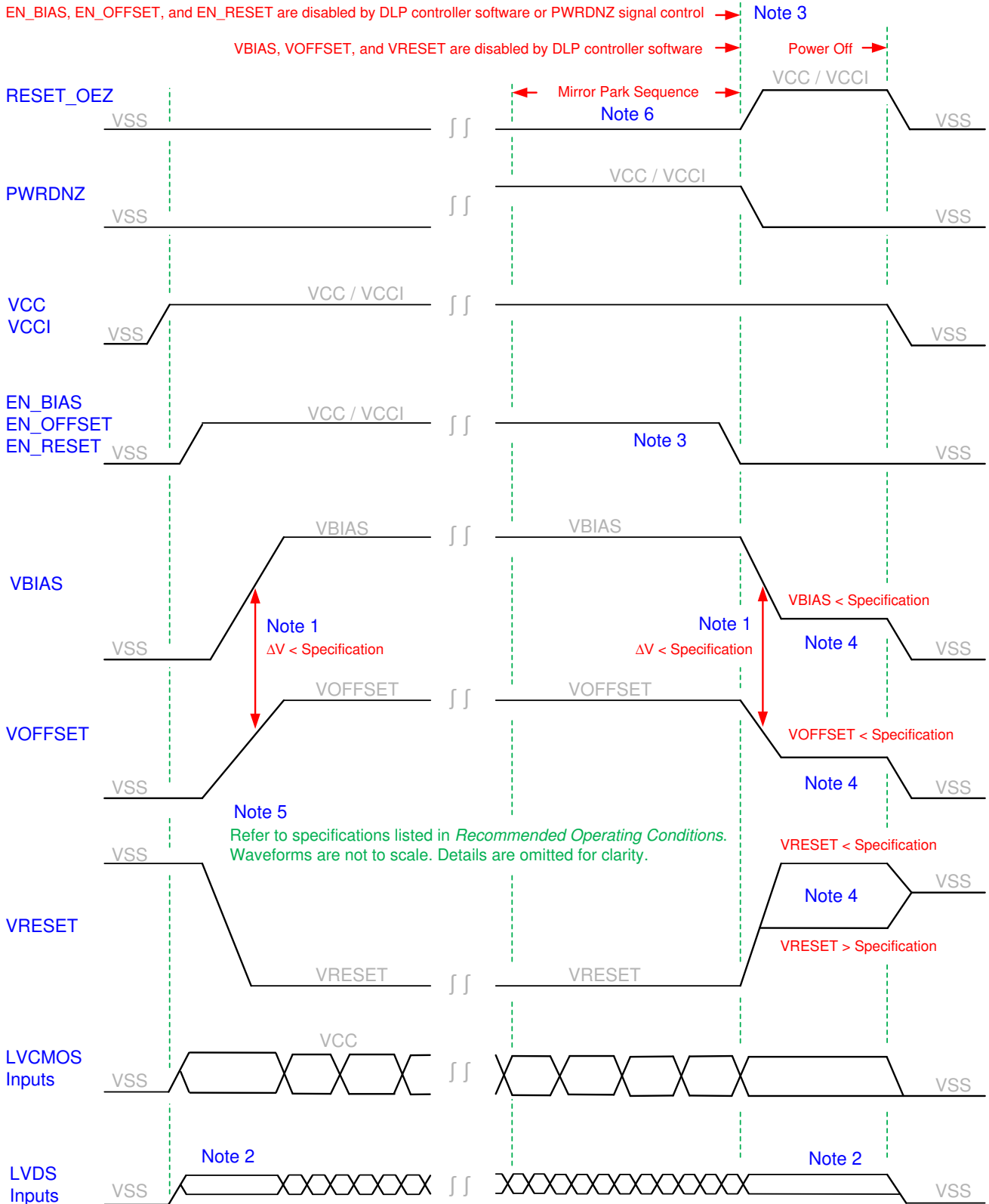


图 9-1. DMD 电源时序要求

A. 为防止电流过大，电源电压变化 $|V_{BIAS} - V_{OFFSET}|$ 必须小于 [建议运行条件](#) 中指定的值。OEM 可能会发现，要确保实现这一点，最可靠的方法是在上电期间于 VBIAS 之前为 VOFFSET 供电，并在断电期间于 VOFFSET 之前移除 VBIAS。

- B. LVDS 信号小于 [建议运行条件](#) 表中指定的最大输入差分电压 (VID)。在断电期间，LVDS 信号小于 [建议运行条件](#) 表中指定的最大高电平输入电压 (VIH)。
- C. 当系统电源中断时，DLP DLPC4430 会在微镜停放序列完成后启动硬件断电，从而激活 PWRDNZ 并禁用 VBIAS、VRESET 和 VOFFSET。在微镜停放序列完成后，软件断电会通过软件控制禁用 VBIAS、VRESET 和 VOFFSET。在任一种情况下，使能信号 EN_BIAS、EN_OFFSET 和 EN_RESET 分别用于禁用 VBIAS、VOFFSET 和 VRESET。
- D. 请参见 [表 9-1](#)。
- E. 图未按比例显示。为清楚起见，省略了细节。请参阅 [建议运行条件](#) 表。
- F. EN_BIAS、EN_OFFSET 和 EN_RESET 由 DLP 控制器软件或 PWRDNZ 信号控制禁用。
- G. VBIAS、VOFFSET 和 VRESET 由 DLP 控制器软件禁用

表 9-1. DMD 断电序列要求

参数		最小值	最大值	单位
VBIAS	断电序列期间的电源电压电平		4.0	V
VOFFSET			4.0	V
VRESET		-4.0	0.5	V

10 器件文档支持

10.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

10.2 器件支持

10.2.1 器件命名规则

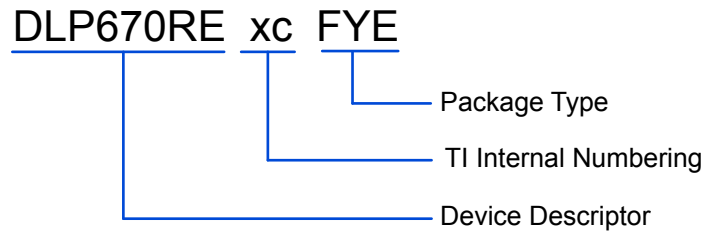


图 10-1. 器件型号说明

10.2.2 器件标识

器件标识将包括可读信息和一个二维矩阵码。图 10-2 展示了人类可读信息。二维矩阵码是一个字母数字字符串，其中包含 DMD 器件型号以及序列号的第一部分和第二部分。

示例：

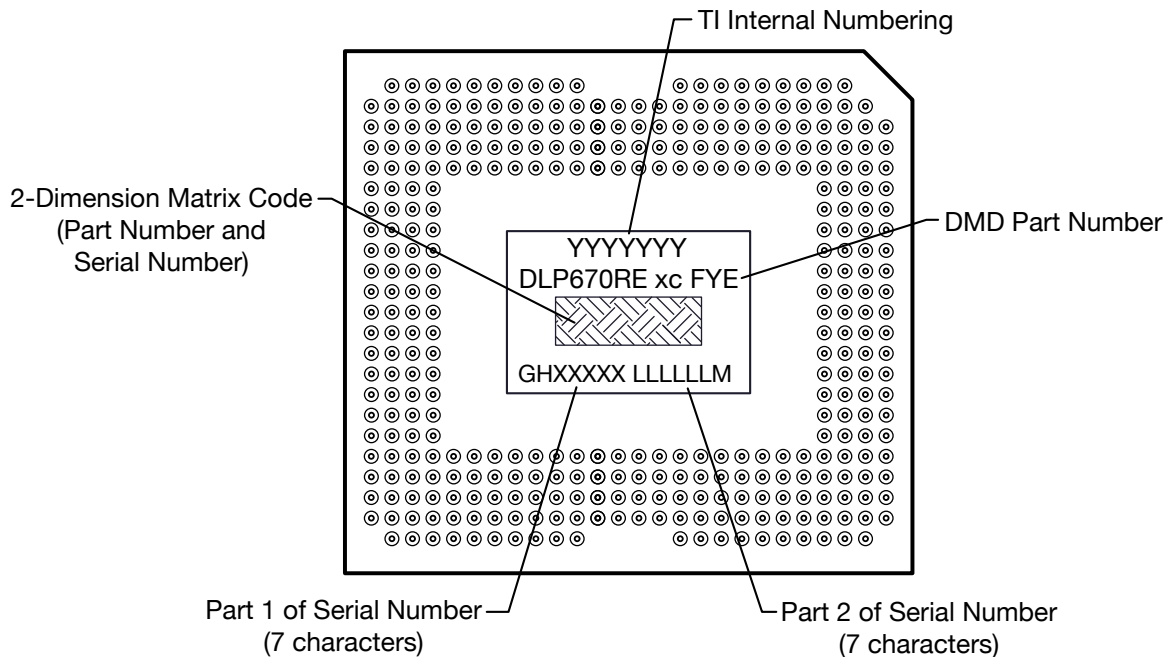


图 10-2. DMD 标记

10.3 文档支持

10.3.1 相关文档

以下文档包含关于使用 DLP670RE 器件的更多信息。

- [TPS65145 具有线性稳压器和电源正常指示功能的三路输出 LCD 电源](#)
- [DLPA100 电源管理和电机驱动器](#)
- [DMD101：数字微镜器件 \(DMD\) 技术简介](#)

10.4 接收文档更新通知

若要接收文档更新通知，请导航至 [ti.com.cn](#) 上的器件产品文件夹。点击右上角的 [提醒我](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.5 支持资源

[TI E2E™ 支持论坛](#) 是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [《使用条款》](#)。

10.6 商标

TI E2E™ is a trademark of Texas Instruments.

DLP® is a registered trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.7 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.8 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DLP670REA0FYE	Active	Production	CPGA (FYE) 350	21 JEDEC TRAY (5+1)	Yes	NIPDAU	N/A for Pkg Type	0 to 70	
DLP670REA0FYE.B	Active	Production	CPGA (FYE) 350	21 JEDEC TRAY (5+1)	Yes	NIPDAU	N/A for Pkg Type	0 to 70	

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

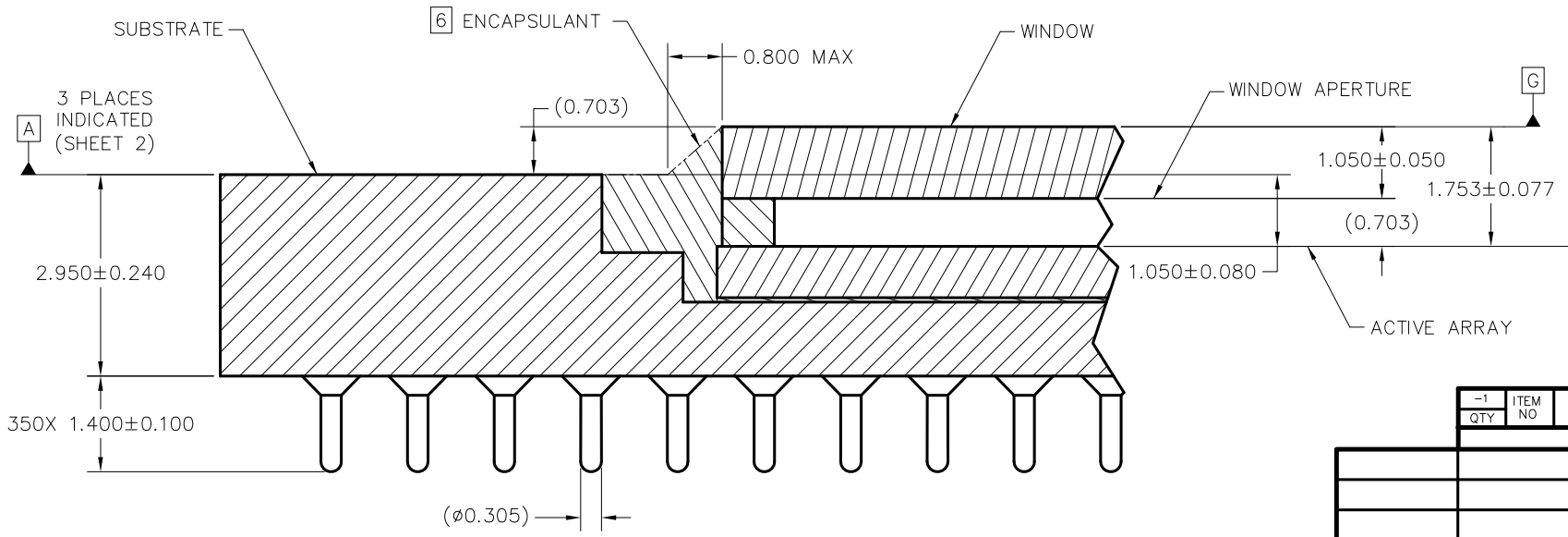
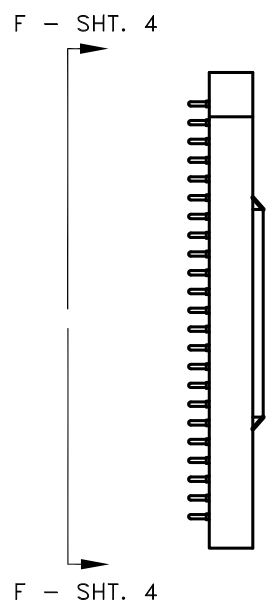
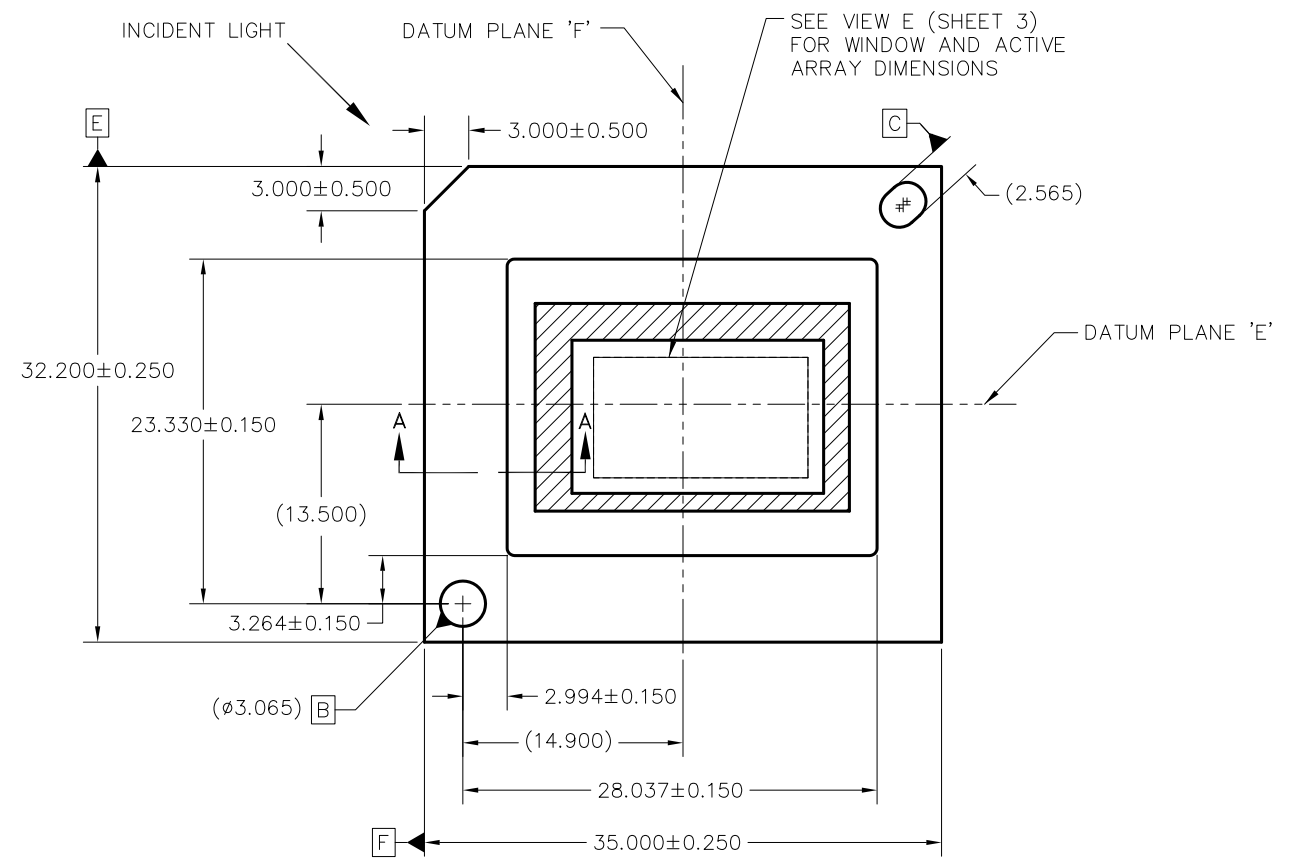
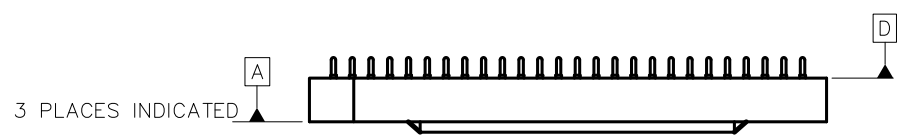
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

REVISIONS			
REV	DESCRIPTION	DATE	APPROVED
A	ECO 2111739, INITIAL RELEASE	11/04/2010	F. ARMSTRONG
B	ECO 2112602, CHANGE TOLERANCES ON OUTSIDE DIMENSIONS TO ±0.250; CHANGE DATUM B, BACK SIDE PINS, AND DATUM PLANES 'E' AND 'F' TO REFERENCE CENTERLINE OF PART	12/10/2010	F. ARMSTRONG
C	ECO 2135107, ADD NOTE 8 TO SHEETS 1 & 4	08/02/2013	F. ARMSTRONG
D	ECO 2139887, CHG GLASS SIZE UPPER TOL TO +0.050 TO MATCH PROCESS CAPABILITY	02/14/2014	F. ARMSTRONG
E	ECO 2179962, ADD PKG REF DESIGNATOR FYE TO TITLE BLOCK	03/04/2019	F. ARMSTRONG

NOTES: UNLESS OTHERWISE SPECIFIED:

- 1 SUBSTRATE EDGE PERPENDICULARITY TOLERANCE APPLIES TO ENTIRE SURFACE
- 2 DIE PARALLELISM TOLERANCE APPLIES TO DMD ACTIVE ARRAY ONLY
- 3 ROTATION ANGLE OF DMD ACTIVE ARRAY IS A REFINEMENT OF THE LOCATION TOLERANCE AND HAS A MAXIMUM ALLOWED VALUE OF 0.8 DEGREES
- 4 SUBSTRATE SYMBOLIZATION PAD, AND PLATING AT BOTTOM OF DATUMS B AND C HOLES ARE ELECTRICALLY CONNECTED TO VSS PLANE WITHIN THE SUBSTRATE
- 5 BOUNDARY MIRRORS SURROUNDING THE DMD ACTIVE AREA
- 6 MAXIMUM ENCAPSULANT PROFILE SHOWN
- 7 ENCAPSULANT ALLOWED ON THE SURFACE OF THE CERAMIC IN THE AREA SHOWN IN VIEW B (SHEET 2). ENCAPSULANT SHALL NOT EXCEED 0.200 THICKNESS MAXIMUM.
- 8 SUBSTRATES PLATED WITH Ni/Au SHALL HAVE THE THREE-DIGIT NUMERICAL MARKING IN THE AREA ABOVE THE SYMBOLIZATION PAD. SUBSTRATES PLATED WITH Ni/Pd/Au SHALL HAVE THE MARKING IN THE AREA BELOW THE SYMBOLIZATION PAD.

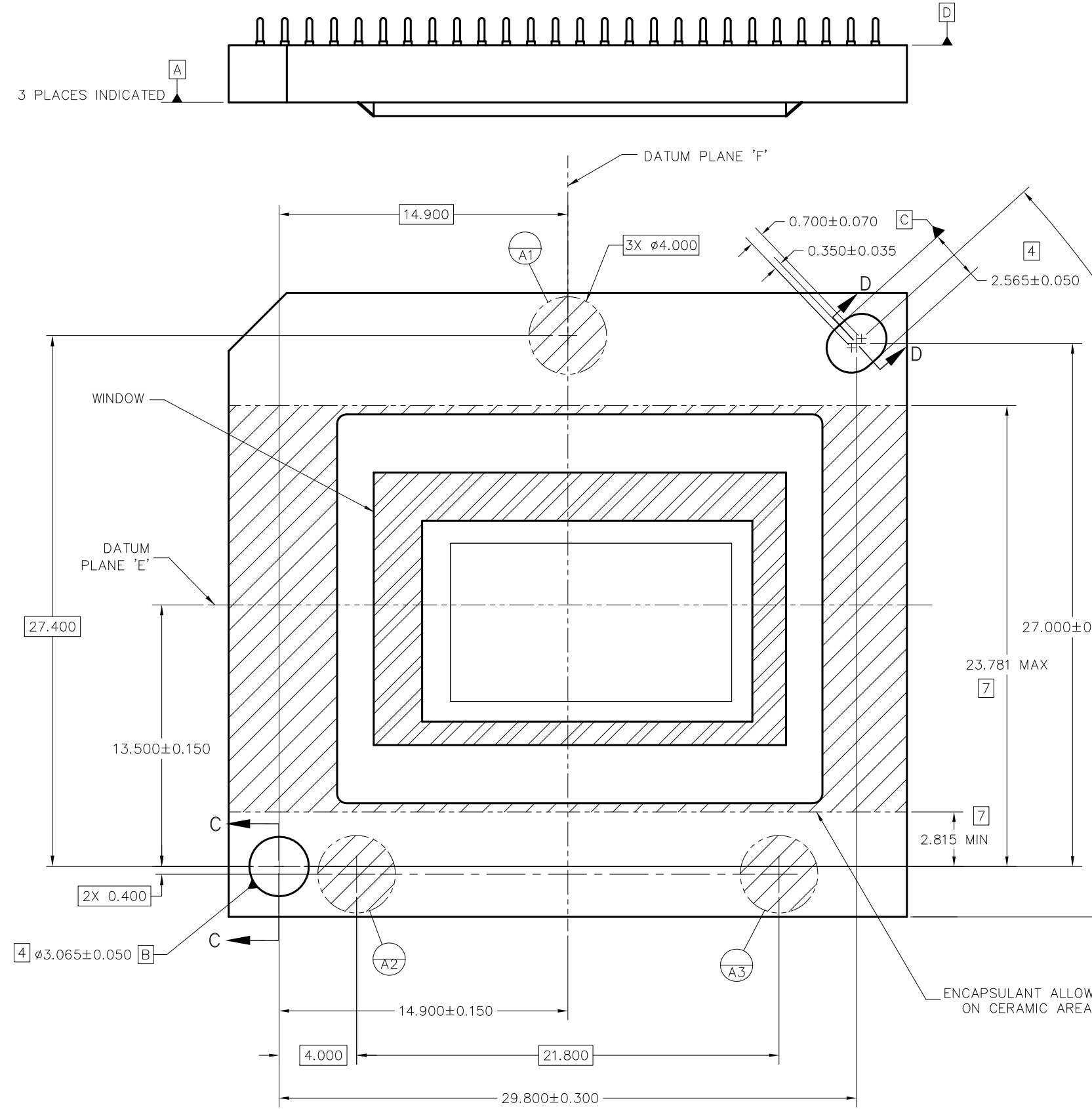


SECTION A-A
SCALE 20/1

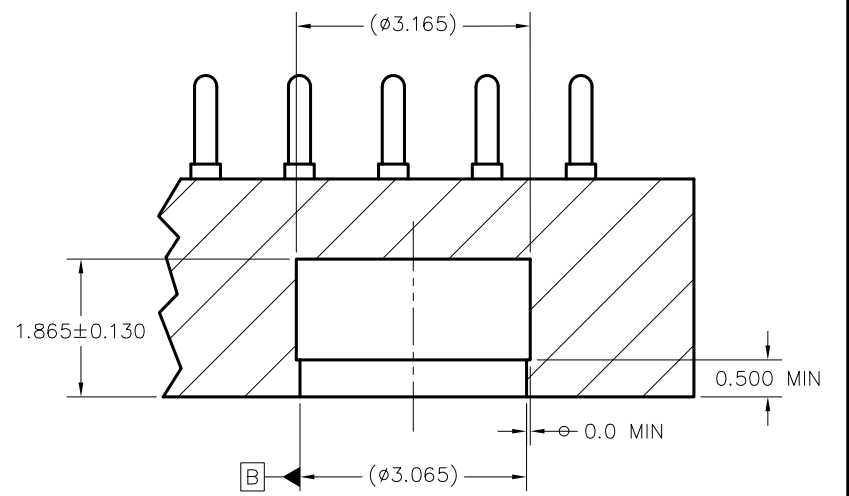
-1	ITEM	PART OR IDENTIFYING NUMBER	NOMENCLATURE OR DESCRIPTION	NOTES
QTY	NO			

PARTS LIST		DATE	APPROVED
OWN	F. ARMSTRONG	11/02/2010	
ENGR	F. ARMSTRONG	11/02/2010	
QA	P. KONRAD	11/08/2010	
COE	M. DORAK	11/08/2010	

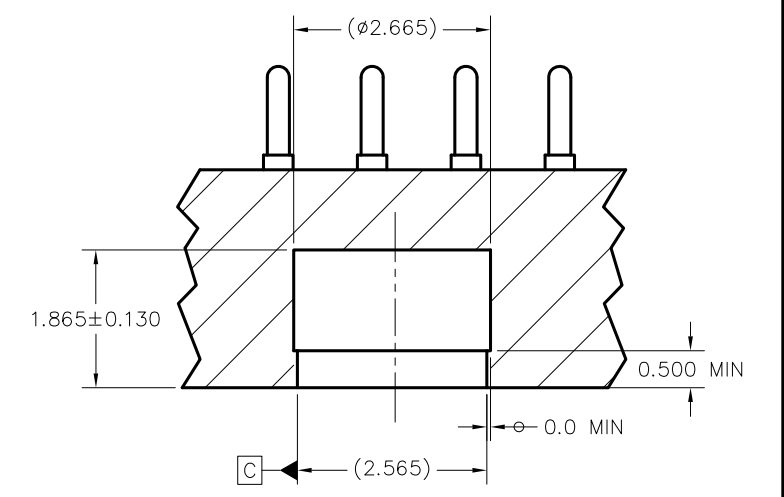
UNLESS OTHERWISE SPECIFIED DIMENSIONS ARE IN MILLIMETERS TOLERANCES: ANGLES ± 1° 2 PLACE DECIMALS ±0.25 3 PLACE DECIMALS ±0.50		TEXAS INSTRUMENTS Dallas, Texas	
REMOVE ALL BURRS AND SHARP EDGES INTERPRET DIMENSIONS IN ACCORDANCE WITH ASME Y14.5-1994 DIMENSIONAL LIMITS APPLY BEFORE PROCESSES PARENTHEICAL INFO FOR REF ONLY		ICD, MECHANICAL, DMD .65 1080p MVSP 2XLVDS SERIES 600 (FYE PACKAGE)	
THIRD ANGLE PROJECTION	NONE	0314DA	SIZE B
NEXT ASSY	USED ON	APPLICATION	DRAWING NO 2511543
			REV E
			SCALE 4/1
			SHEET 1 OF 4



VIEW B
DATUMS AND ENCAPSULANT ALLOWABLE AREA
SCALE 8/1

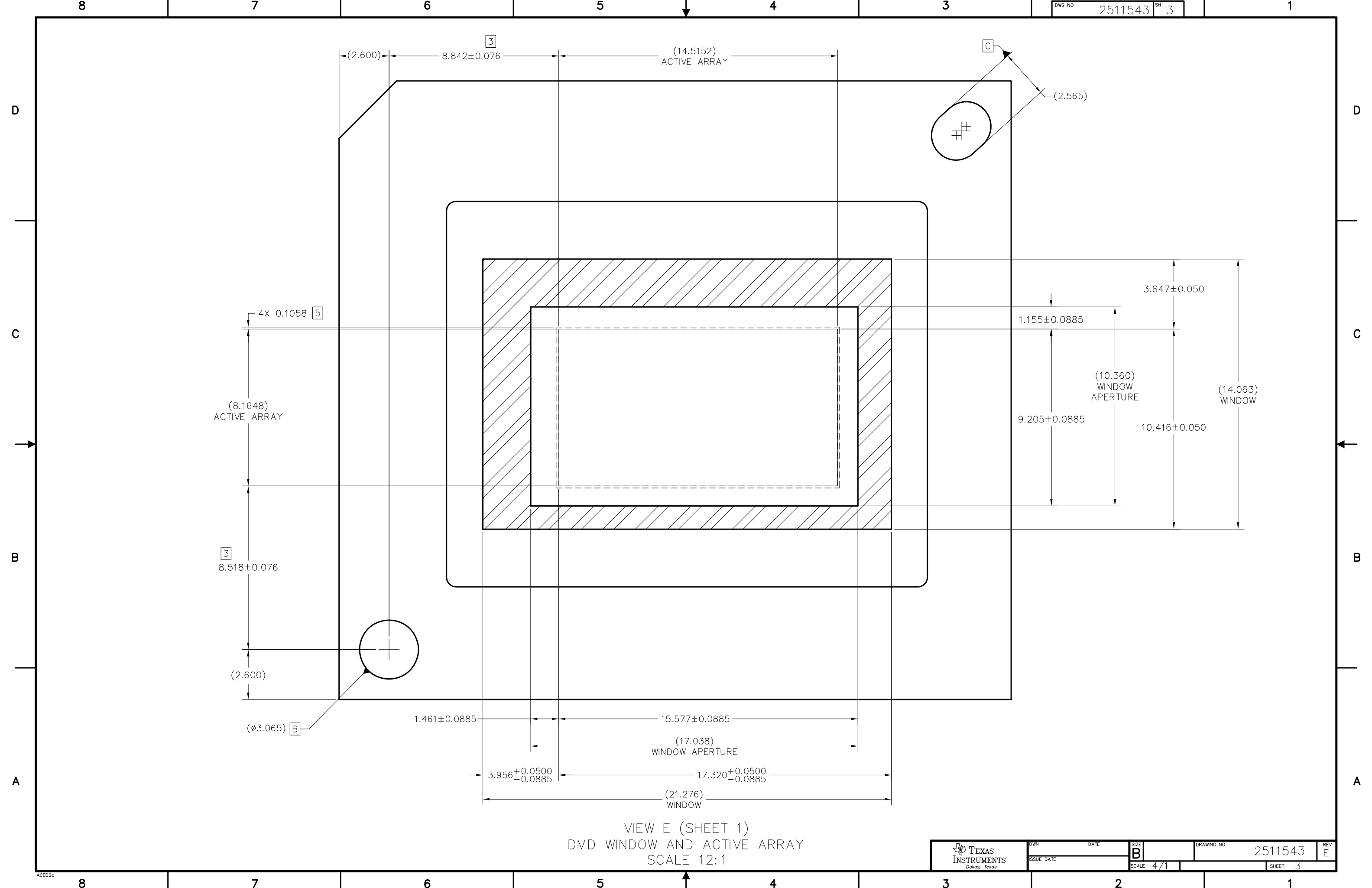


SECTION C-C
DATUM B
SCALE 16/1



SECTION D-D
DATUM C
SCALE 16/1

42.18°±1°



(2.600)

8.842±0.076

(14.5152) ACTIVE ARRAY

(2.565)

4X 0.1058 [5]

(8.1648) ACTIVE ARRAY

8.518±0.076

(2.600)

(∅3.065) [B]

1.461±0.0885

15.577±0.0885

(17.038) WINDOW APERTURE

3.956^{+0.0500}/_{-0.0885}

17.320^{+0.0500}/_{-0.0885}

(21.276) WINDOW

1.155±0.0885

9.205±0.0885

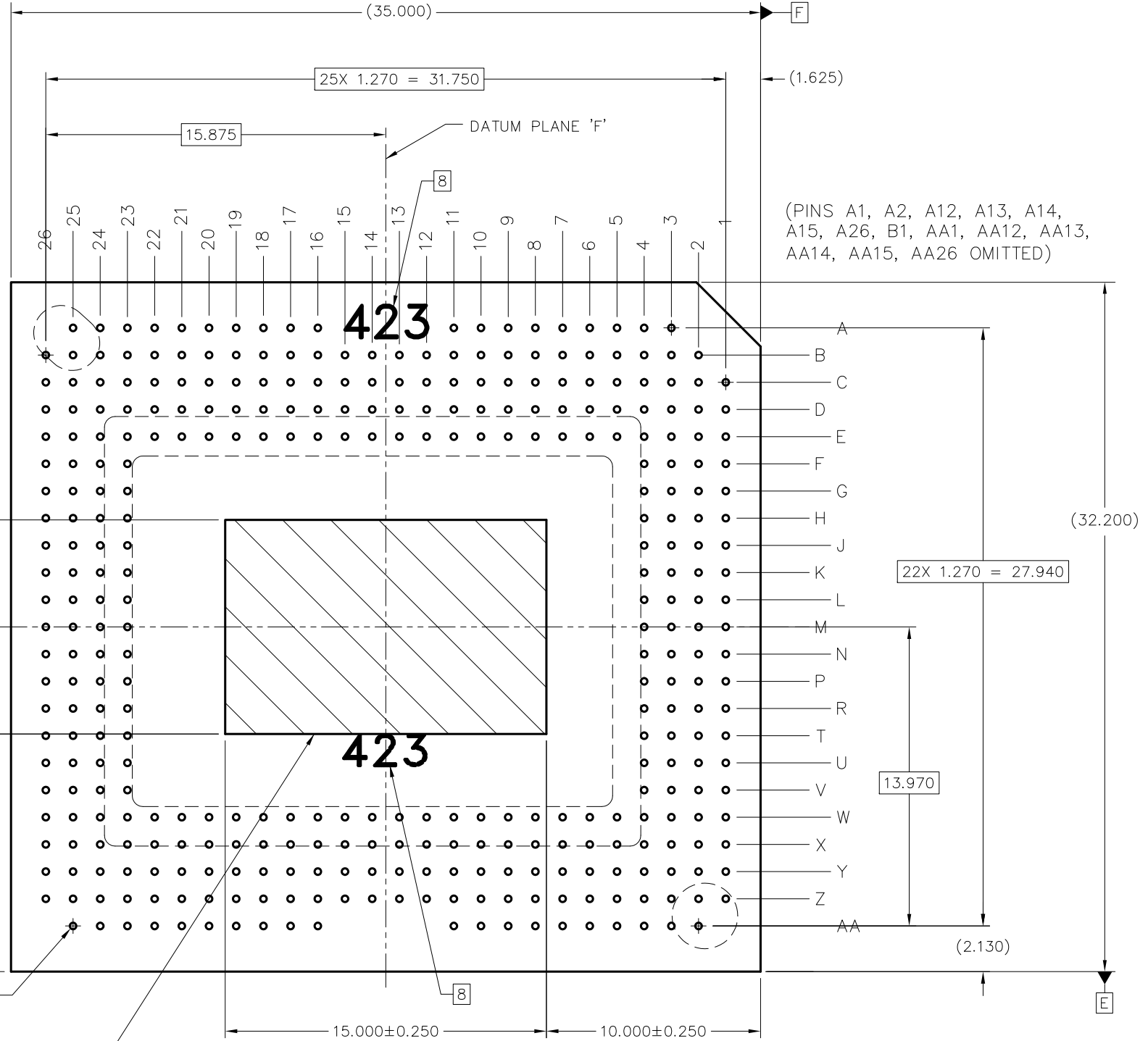
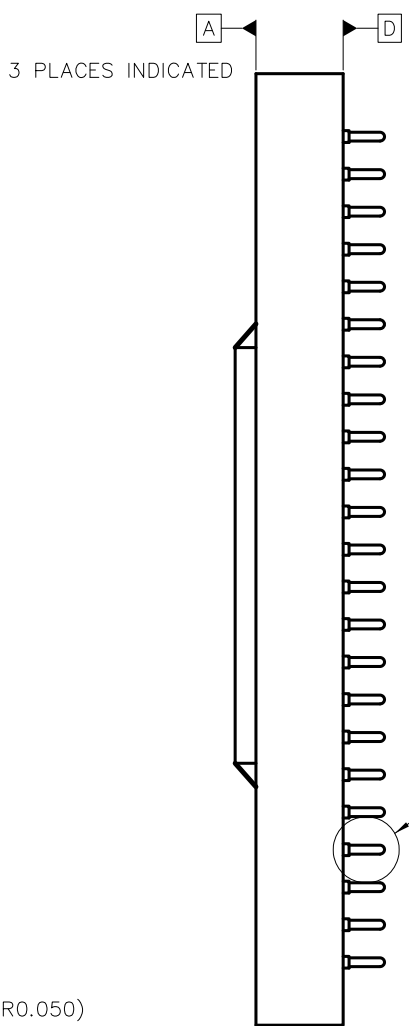
(10.360) WINDOW APERTURE

3.647±0.050

10.416±0.050

(14.063) WINDOW

VIEW E (SHEET 1)
 DMD WINDOW AND ACTIVE ARRAY
 SCALE 12:1

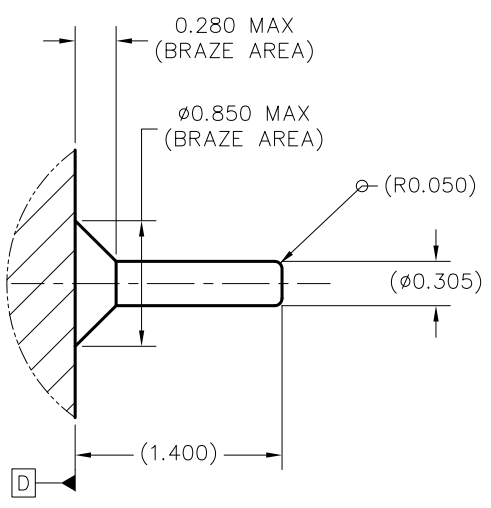


350X $\phi 0.305^{+0.05}_{-0.025}$ PINS

$\phi 0.500$	D	E	F
$\phi 0.250$	D		

4 SYMBOLIZATION PAD

VIEW F-F (SHEET 1)
PINS AND SYMBOLIZATION PAD
SCALE 8/1



DETAIL G (350 PLACES)
PIN & BRAZE DIMENSIONS
SCALE 40/1

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月