

AM6442、AM6422、AM6412 和 AM2434 处理器的硬件设计指南



摘要

本硬件设计指南概述了电路板设计人员在使用 AM6442、AM6441、AM6422、AM6421、AM6412、AM6411、AM2434、AM2432 和 AM2431 处理器时应遵循的设计注意事项。本应用手册可作为设计人员在电路板设计的不同阶段使用的指南。本硬件设计指南还参考了配套资料（器件特定和通用），可帮助设计人员减少在电路板设计中的工作量。

内容

1 简介	2
1.1 开始电路板设计之前的准备工作	2
1.2 处理器（器件）选型	3
1.3 技术文档	3
1.4 设计文档	3
2 方框图	3
2.1 创建方框图	3
2.2 选择引导模式	3
2.3 确认引脚复用（多路复用兼容性）	4
3 电源	4
3.1 电源架构	4
3.2 电源轨	5
3.3 确定电路板电源要求	6
3.4 电源滤波器	6
3.5 电源去耦和大容量电容	6
3.6 电源时序	7
3.7 电源诊断	7
3.8 电源监控	7
4 计时	8
4.1 系统时钟输入	8
4.2 未使用的时钟输入	8
4.3 时钟输出	8
4.4 单端时钟源	8
4.5 晶体选型	8
5 JTAG（联合测试行动组）	8
5.1 JTAG/仿真	8
6 配置（处理器）和初始化（处理器和器件）	9
6.1 处理器复位	9
6.2 引导模式配置的锁存	9
6.3 附加器件复位	10
6.4 看门狗计时器	10
7 外设	11
7.1 跨域选择外设	11
7.2 存储器	11
7.3 媒体和数据存储接口	11
7.4 以太网接口	11
7.5 通用串行总线 (USB) 子系统	12

7.6 外围组件快速互连 (PCIe) 子系统.....	12
7.7 通用连接外设.....	12
7.8 模数转换器 (ADC).....	13
7.9 电源引脚、未使用外设和 IO 的端接.....	13
8 IO 缓冲器和仿真的连接.....	13
8.1 AM64x.....	13
8.2 AM243x.....	14
9 功耗和散热分析.....	14
9.1 功耗.....	14
9.2 不同电源轨的最大电流.....	14
9.3 电源模式.....	14
9.4 有关散热设计的指导.....	14
10 原理图捕获和审阅.....	14
10.1 选择元件和元件值.....	14
10.2 原理图捕获.....	14
10.3 检查原理图.....	14
11 布局规划、布局和布线指南.....	15
11.1 迂回布线指南.....	15
11.2 DDR 布局指南.....	15
11.3 高速差分信号布线指导.....	15
11.4 仿真的附加参考文献.....	15
12 器件处理和组装.....	16
13 参考文献.....	16
13.1 AM64x.....	16
13.2 AM243x.....	16
13.3 需要.....	16
14 术语.....	17
15 修订历史记录.....	18

商标

Arm® and Cortex® are registered trademarks of Arm Limited.

所有商标均为其各自所有者的财产。

1 简介

面向 AM6442、AM6441、AM6422、AM6421、AM6412、AM6411、AM2434、AM2432 和 AM2431 处理器的硬件设计指南为工程师使用这些处理器进行设计提供了一个起点。此硬件设计指南概述了设计流程和设计工作，并重点介绍了需要关注的重要设计层面。请注意，本文档不包含完成电路板设计所需的所有信息。许多情况下，它参考了器件特定配套资料和其他各类用户指南作为特定信息来源。

硬件设计指南（文档）条理有序，先介绍了在设计初始规划阶段必须做出的决策，然后介绍了关键器件的选型及电气和散热要求。为确保设计成功，应在每一部分讨论的问题得到解决后再进行下一部分。

备注

此硬件设计指南可能并未涵盖电路板设计的所有方面。

备注

这些处理器能够帮助电路板设计人员满足安全要求。

此硬件设计指南重点介绍非安全应用。

1.1 开始电路板设计之前的准备工作

这些系列的处理器包含多种外设和处理功能，但并非所有这些外设和功能都用于每个设计中。因此，使用同一器件的不同设计的要求可能存在很大差异，具体取决于目标应用。设计人员在确定设计细节之前必须了解相关要求。此外，设计可能需要额外的电路才能在目标环境中正常运行。请参阅 TI.com 上的最新配套资料，如器件特定数据表、勘误表、TRM 和 EVM 用户指南，了解如何选择器件并确定以下内容：

- 器件运行的预期环境条件、目标引导模式、存储类型和使用的接口

- 所选器件中每个内核的处理（性能）要求
- 要使用的 DDR 存储器类型、速度、尺寸和接口
- 用于所连接器件的处理器外设

1.2 处理器（器件）选型

处理器选型是电路板设计过程中最重要的一步。有关如何了解和选择适用的器件型号、特性和速率等级，请参阅器件特定数据表的 *功能方框图* 和 *器件比较* 部分。

1.2.1 紧耦合存储器 (TCM) 的可用性

有关 R5F 紧耦合存储器 (TCM) 大小信息，请参阅器件特定数据表。无论可用的内核数量是多少，TCM 仍保留在可供处理器使用的子系统中。

对于 AM642x，每个子系统（集群）有一个内核可用，从而产生 256K。

请注意，AM64x 处理器不支持锁步。请参阅器件特定 TRM。

1.3 技术文档

TI.com 上的产品文件夹页面提供了许多与所选器件相关的文档。在设计开始之前应通读相关文档。

以下链接中汇总了在开始进行定制设计时可以参考的配套资料。

[\[常见问题解答\] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 定制电路板硬件设计 - 快速入门](#) 配套资料。

1.4 设计文档

在本文档中，TI 建议定期生成设计文档。生成和存储设计文档是提供文档包的基础，而且在寻求外部审核支持时需要使用这类设计文档。

2 方框图

详细的方框图涵盖了所有功能块和所需的接口，是设计成功的关键。

2.1 创建方框图

电路板设计的第一步是创建详细的方框图。该方框图应包括所有主要功能块、处理器的相关器件（例如：PMIC）和所连接器件、接口，并展示用于实现处理器和所连接器件互连的 IO。

以下是用于支持方框图创建过程的资源集合：

- SK-AM64B（适用于 AM64x Sitara 处理器的 AM64B 入门套件）、TMD64EVM（AM64x Sitara 处理器评估模块）、TMD243EVM（AM243x Arm Cortex-R5F MCU 评估模块）和任何其他可用 EVM 均可作为开始设计提供良好的信息来源。
- 下面提到的 TI.com 链接可提供器件特定功能方框图、数据表、用户指南、勘误表、应用手册、设计注意事项以及适用于各种应用的其他相关信息。设计和开发部分包括 EVM 信息、设计工具、仿真模型和软件。支持和培训部分中提供指向普遍适用的 [E2E](#) 主题和 [常见问题解答](#) 的链接。
 - [AM6442 产品文件夹](#)
 - [AM6441 产品文件夹](#)
 - [AM6422 产品文件夹](#)
 - [AM6421 产品文件夹](#)
 - [AM6412 产品文件夹](#)
 - [AM6411 产品文件夹](#)
 - [AM2434 产品文件夹](#)
 - [AM2432 产品文件夹](#)
 - [AM2431 产品文件夹](#)

2.2 选择引导模式

方框图应指示用于处理器引导的配置。这包括主引导和备用引导。

这些处理器包含多个支持引导模式的外设接口。示例包括：eMMC、MMC/SD、QSPI、OSPI、GPMC (NOR/NAND)、以太网、USB (器件和主机)、PCIe、xSPI 和 I2C。这些处理器支持主引导模式选项和可选备份引导模式选项。如果主引导源无法引导，ROM 将进入备份模式。

引导模式引脚和相关的电阻器配置在引导模式设置下提供输入，供 ROM 代码在引导期间使用。上电复位 (PORz_OUT) 时会对这些引脚进行采样，因此必须在释放 (使之无效) 复位前进行正确设置。

引导模式配置可以分为以下几类：

PLL 配置：BOOTMODE [02:00] - 向 PLL 配置的 ROM 代码指示系统时钟频率 (MCU_OSC0_XI/XO)

主引导模式：BOOTMODE [06:03] - 在 POR 后选择配置的引导 (主要) 模式，即要从中引导的外设/存储器

主引导模式配置：BOOTMODE [09:07] - 这些引脚为主引导提供可选配置，并与所选的引导模式配合使用

备用引导模式：BOOTMODE [12:10] - 选择备用引导模式，即主引导出现故障时要从中引导的外设/存储器

备用引导模式配置：BOOTMODE [13] - 此引脚为备用引导器件提供可选配置

保留：BOOTMODE [15:14] - 保留的引脚

引导模式配置的主要注意事项：

- TI 建议包括用于配置开发期间所用引导模式的设置，例如用于 JTAG 调试的 UART 引导或无引导模式。
- 复位后，引导引脚可提供其他功能。确保在电路板设计过程中，为引导引脚选择上拉或下拉电阻器时考虑到这一点。如果这些引脚由另一器件驱动，则只要该器件复位 (由 PORz_OUT 引脚指示)，上述引脚就必须恢复正确的引导配置电平，使该器件能够正确引导。
- 某些引导模式引脚的功能被保留。这些引脚不应保持悬空，必须端接 (上拉或下拉)。有关端接被保留的引导模式引脚的详细信息，请参阅器件特定 TRM 中 *初始化* 一章的 *引导模式引脚* 部分。

有关引导模式的详细信息，请参阅器件特定 TRM 的 *初始化* 一章。

备注

设计人员应根据目标引导场景设置引导模式配置 (通过上拉或下拉，以及可选跳线/开关)。

备注

有关引导模式的更新，请参阅 [AM64x/AM243x 处理器器件勘误表](#)。

2.3 确认引脚复用 (多路复用兼容性)

该处理器包含多个外设接口。为了优化尺寸、引脚数和封装成本，同时保持尽可能多的功能，许多处理器焊盘 (引脚) 最多可复用八个信号功能。因此，并非所有外设接口实例都可以同时使用。

TI 开发了 [SysConfig-PinMux 工具](#)，用于帮助电路板设计人员使用引脚多路复用配置工具为基于 AM64x/AM243x 的电路板设计选择合适的功能。

备注

建议保存使用 SysConfig-PinMux 工具生成的引脚复用配置以及其他设计文档。

3 电源

完成处理器选型和方框图后，下一个设计步骤是确定所选处理器的电源架构。

3.1 电源架构

下面列出了可考虑使用的电源架构：

3.1.1 集成式电源架构

电源架构可以基于多通道 IC (PMIC)，请参阅 [使用 LP8733xx PMIC 为 AM64xx 供电](#)、[使用 LP8733xx 和 TPS65218xx PMIC 为 AM64x 和 AM243x Sitara 处理器供电](#)、[使用 TPS65220 或 TPS65219 PMIC 为 AM64x 供电](#) 和 [使用 TPS65219 PMIC 为 AM243x 供电](#) 应用手册。

3.1.2 分立式电源架构

电源架构可以基于直流/直流转换器和 LDO，请参考 [TMDS64EVM \(AM64x Sitara 处理器评估模块\)](#) EVM 原理图。

3.2 电源轨

有关处理器电源轨和建议工作范围的完整列表，请参阅器件特定数据表中规格一章的 [建议运行条件](#) 部分。以下部分提供了有关电源轨选择的更多详细信息。

3.2.1 内核电源

在 AM64x 系列处理器中，内核电源 VDD_CORE 可在 0.75V 或 0.85V 下运行。当 VDD_CORE 在 0.75V 下运行时，VDD_CORE 应在所有 0.85V 电源之前斜升。VDD_CORE 和 VDDR_CORE 预计由同一电源供电，因此当 VDD_CORE 以 0.85V 电压运行时，这些电压会一起斜升。

在 AM243x 系列处理器中，内核电源 VDD_CORE 只能在 0.85V 下运行。VDD_CORE 和 VDDR_CORE 预计由同一电源供电，从而使这些电压一起斜升。

内核电源 VDDA_0P85_SERDES0、VDDA_0P85_SERDES0_C、VDDA_0P85_USB0 和 VDDR_CORE 只能在 0.85V 电压下运行。

内核电源 VDD_MMC0 和 VDD_DLL_MMC0 只能在 0.85V 电压下运行。当未使用 MMC0 时，VDD_MMC0 和 VDD_DLL_MMC0 应连接到与 VDD_CORE 相同的电源。

更多信息，请参阅器件特定数据表中规格一章的 [建议运行条件](#) 部分。

备注

AM64x 支持 2 个内核电压 0.75V 或 0.85V。运行性能点 (OPP) 未连接到内核电压。在使用 0.75V 或 0.85V 内核电压时，性能没有变化。0.75V 电源提供了用于优化功耗的选项，而 0.85V 电源可优化电源轨的数量，但不会改变性能。

3.2.2 外设电源

该处理器包括用于 USB0、MMC0、PLL、ADC0 和 SERDES0 的专用外设电源引脚。建议的工作电压为 1.8V 标称值。USB 需要额外的 3.3V 模拟电源。

根据所选存储器，DDR PHY IO (VDDS_DDR) 和 DDR 时钟 IO (VDDS_DDR_C) 电源可以为 1.1V 或 1.2V。

更多信息，请参阅器件特定数据表中规格一章的 [建议运行条件](#) 部分。

3.2.3 IO 组 (处理器 IO 组) 的内部 LDO

该处理器包含八个内部 LDO，每个 LDO 的输出都连接到一个引脚 (CAP_VDDShV [x = 0..5]、CAP_VDDSHV_MMC1 和 CAP_VDDSHV_MCU)。每个 LDO 输出引脚都必须靠近电容器连接。有关电容器值和连接的指导，请参阅器件特定数据表中 [信号说明](#) 一章的 [电源](#) 部分。

3.2.4 双电压 IO (LVCMOS IO/处理器 IO)

该处理器包含七个双电压 IO 域 (VDDSHVx [x = 0..5] 和 VDDSHV_MCU)，其中每个域为一组固定的 IO 供电。每个 IO 域可配置为 3.3V 或 1.8V，这决定了由相应 IO 域供电的整组 IO 的通用工作电压。连接到这些域的所有信号必须由用于为相应 VDDSHVx 电源轨供电的同一电源供电。大多数 IO 缓冲器都没有失效防护功能 (有关失效防护 IO，请参阅器件特定数据表)。在将任何电压施加到相关 IO 之前，必须存在 VDDSHVx 电源轨的电源电压。

IO 分组信息汇总如下：

VDDSHV0 - 通用 IO 组的电压

VDDSHV1 - PRG0 IO 组的电压

VDDSHV2 - PRG1 IO 组的电压

VDDSHV3 - GPMC IO 组的电压

VDDSHV4 - 闪存 IO 组的电压

VDDSHV5 - MMC1 IO 组的电压

VDDSHV_MCU - MCU 通用 IO 组的电压

3.2.5 用于 SDIO 的双电压动态开关 I/O

该处理器包括一个集成的 SDIO LDO，可支持 SD 卡 IO 电压开关。必须在 LDO 输出引脚附近连接一个输出电容。

在给定的系统中，只能将一个 MMCSDB 端口（可通过 V1P8_SIGNAL_ENA 位进行选择）连接到 SDIO LDO。

VDDSHV5 旨在支持上电、下电或不依赖于其他电源轨的动态电压变化。

有关更多详细信息，请参阅器件特定 TRM 中 *电源* 一章的 *集成式低压降稳压器 (LDO)* 部分。

3.2.6 VPP (电子保险丝 ROM 编程电源)

该电源 (1.8V) 仅在对电子保险丝进行编程时提供。在上电/断电序列期间和处理器正常运行期间，VPP 引脚可以保持悬空 (HiZ) 或端接至地。对 OTP 电子保险丝中的密钥进行编程时，必须满足以下硬件要求：

- VPP 电源电压必须在正确的处理器上电序列完成后斜升。
- VPP 电源具有高电流瞬态，可能需要在 VPP 引脚附近使用局部大容量电容器来协助 LDO 瞬态响应。
- 选择具有快速放电功能的电源或使用放电电阻器。编程所需的最大电流为 400mA。建议使用具有输入电源 (3.3V) 和使能输入的固定 LDO。
- 如果使用外部电源，则在处理器电源稳定后施加该电源。
- 不对 OTP 寄存器进行编程时，必须禁用 VPP 电源（保持悬空 (HiZ) 或接地）。

更多信息，请参阅 [\[常见问题解答\] AM625/AM623 定制电路板硬件设计 - 有关 VPP 电子保险丝编程电源选择和应](#)
[用的问题](#)。

更多信息，请参阅器件特定数据表中 *规格* 一章的 *一次性可编程 (OTP) 电子保险丝的 VPP 规格* 部分。

3.3 确定电路板电源要求

器件特定数据表中未提供每个电源电压轨的最大和最小电流要求。这些要求在很大程度上取决于应用，必须使用 TI 提供的工具针对特定用例进行评估。

3.4 电源滤波器

该处理器包含多个模拟电源引脚，这些引脚可为 VDDA_MCU、VDDA_PLLx [x=0-2]、VDDA_1P8_SERDES0、VDDA_1P8_USB0 和 VDDA_ADC0 等敏感模拟电路供电。这些引脚必须连接到经过滤波的电源。

3.5 电源去耦和大容量电容

为了正确地将处理器和所连接器件与电路板噪声去耦，建议使用大容量电容器和去耦电容器。有关所需的大容量电容器和去耦电容器，请参阅 [TMDS64EVM \(AM64x Sitara 处理器评估模块\)](#)、[TMDS243EVM \(AM243x Arm Cortex-R5F MCU 评估模块\)](#) 和其他 EVM 原理图。

有关优化和放置去耦电容器和大容量电容器的指导，请参阅 [Sitara 处理器配电网络：实施与分析](#)。

3.5.1 PDN 目标阻抗说明

请注意，不提供所有电源轨的目标阻抗值，因为目标阻抗计算需要考虑电源轨上的最大电流，并且取决于用例。

有关目标阻抗的更新，请参阅 [\[常见问题解答\] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 定制电路板硬件设计 - 快速入门配套资料或 E2E](#)。

3.6 电源时序

器件特定数据表中提供了电源时序（上电/下电）的详细图表。当使用分立式电源解决方案时，与处理器相关的所有电源应支持使用基于 PMIC 的电源或使用板载逻辑来实现受控压摆率和电源时序。

3.7 电源诊断

该处理器包括以下电压监视器引脚：

- VMON_VSYS（早期迹象）：通过电阻分压器连接系统电压（主电源电压 - 3.3V、5V 或任何其他电压）。可以考虑按照器件特定数据表中所述实施噪声滤波电容器。
- VMON_1P8_SOC、VMON_1P8_MCU 和 VMON_3P3_SOC、VMON_3P3_MCU（监控）：这些引脚可直接连接到各自的 1.8V 和 3.3V 电源。处理器内部为这些引脚的每一个都实现了一个具有软件控制的内部电阻分压器。

更多信息，请参阅器件特定数据表中 *应用、实施和布局* 一章的 *系统电源监测设计指南* 部分

3.8 电源监控

为了提高电路板性能，可以考虑为电源轨和负载电流配置外部监控。

有关更多信息，请参阅 [TMDS64EVM \(AM64x Sitara 处理器评估模块\)](#) 和 [TMDS243EVM \(AM243x Arm Cortex-R5F MCU 评估模块\)](#) 原理图。

现在，电源架构和生成电源轨所需的器件已经完成，接下来是创建一个包含电源轨和互连的方框图。另外还建议创建电源序列（上电/下电）图。

4 计时

下一步是设计合适的处理器时钟，并为所有连接的器件提供适当的时钟。处理器时钟可以通过在内部搭配使用外部晶体与内部振荡器来生成，也可以通过时钟发生器或振荡器（与 LVCMOS 兼容）在外部生成。该部分介绍处理器中可用的时钟以及这些时钟的相关要求。

4.1 系统时钟输入

器件特定数据表中 *规格* 一章的 *时钟规格* 部分汇总了建议的处理器输入时钟和振荡器连接。

处理器正常运行需要 MCU_OSC0 时钟。

4.2 未使用的时钟输入

不适用。

4.3 时钟输出

IO 引脚 CLKOUT0 可配置为时钟输出。时钟输出可用作所连接器件（例如：以太网 PHY）的时钟源。

有关更多详细信息，请参阅器件特定数据表和 TRM。

4.4 单端时钟源

MCU_OSC0_XI 可源自 1.8V LVCMOS 方波数字时钟源。有关更多详细信息，请参阅器件特定数据表中 *规格* 一章的 *输入时钟/振荡器* 部分。

备注

使用外部时钟输入时，请务必根据器件特定数据表中的建议端接 XO 引脚。

4.5 晶体选型

选择晶体时，电路板设计人员必须根据最坏情况和系统预期寿命来考虑温度和老化特性。

根据需要，与晶体制造商验证晶体选择。

更多信息，请参阅 [\[常见问题解答\] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 定制电路板硬件设计 - 晶体选型相关问题](#)。

更多信息，请参阅器件特定数据表的 *MCU_OSC0 晶体电路要求表*。

5 JTAG (联合测试行动组)

TI 支持各种扩展开发系统 (XDS) JTAG 控制器，除了 JTAG 支持之外，还提供各种调试功能。虽然无需 JTAG 即可运行，但 TI 强烈建议在设计中包含 JTAG 连接。

5.1 JTAG/仿真

适用于 JTAG/仿真的相关文档：

- [仿真和跟踪头技术参考手册](#)
- [XDS 目标连接指南](#)
- [边界扫描测试规范 \(IEEE-1149.1\)](#)
- [交流耦合网络测试规范 \(IEEE-1149.6\)](#)

5.1.1 JTAG/仿真的配置

IEEE 标准 1149.1-1990、IEEE 标准测试访问端口和边界扫描架构 (JTAG) 接口可用于边界扫描和仿真。边界扫描的实现同时符合 IEEE-1149.1 和 1149.6 标准。无论器件配置如何，均可使用边界扫描。

JTAG 端口作为一个仿真接口，可在多种模式下使用：

- 标准仿真：只需五个标准 JTAG 信号
- HS-RTDX 仿真：需要五个标准 JTAG 信号以及 EMU0 和/或 EMU1。在此模式下，EMU0 和/或 EMU1 是双向的。

- 跟踪端口：跟踪端口支持对某些内部数据进行实时转储。跟踪端口使用 EMU 引脚输出跟踪数据。

无论器件配置如何，均可使用仿真。

有关支持的 JTAG 时钟速率，请参阅器件特定 TRM。

可以下载边界扫描测试所需的 BSDL 模型。

5.1.1.1 AM64x

- [AM64x/AM243x BSDL 模型](#)

5.1.1.2 AM243x

- [AM243x BSDL 模型](#)

5.1.2 JTAG/仿真的实现

JTAG 和仿真引脚位于相同的电源域中。TDI、TDO、TCK、TMS、TRSTn、EMU0 和 EMU1 IO 由 VDDSHV_MCU 域供电。VDDSHV_MCU 可以配置为 1.8V 或 3.3V。

有关其他系统级实施的详细信息，请参阅 [仿真和跟踪头技术参考手册](#)。

5.1.3 JTAG 端接

有关端接 JTAG 接口信号的信息，请参阅器件特定数据表中 [端子配置和功能](#) 一章的 [引脚连接要求](#) 部分。

备注

当不使用 JTAG 连接器时，建议根据器件特定数据表中的引脚连接表，使用用于开发测试的测试点和所需的上拉/下拉电阻配置 JTAG 连接。

6 配置 (处理器) 和初始化 (处理器和器件)

当存在稳定的电压轨和所需的时钟时，处理器复位 (MCU_PORz) 可能会在建议的保持时间 (请参阅器件特定数据表) 后变为无效 (释放)，以开始处理器引导过程。

6.1 处理器复位

处理器可通过多种方法复位。器件特定数据表和 TRM 中详细介绍了这些方法。

处理器包括三个外部复位输入引脚：MCU_PORz (MCU 域冷复位)、MCU_RESETh (MCU 域热复位) 和 RESET_REQz (主域外部热复位请求输入)。

请务必提供器件特定数据表的 [引脚连接要求](#) 部分中建议的复位输入端接。

该处理器还包括三个复位状态输出引脚：MCU_RESETh (MCU 域热复位状态输出)、PORz_OUT (主域 POR 状态输出) 和 RESETSTATz (主域热复位状态输出)。

不使用时复位状态输出不需要外部拉取 (可以连接测试点进行电路板测试)。

对于 MCU_PORz (失效防护)，可以施加 3.3V 输入，但输入阈值仍是 1.8V IO 电源电压 (VDDSDSC) 的函数。

MCU_PORz 复位输入信号具有器件特定数据表中指定的输入压摆率要求。

通过内部寄存器和仿真可实现其他复位模式。

6.2 引导模式配置的锁存

有关处理器引导模式选项的更多详细信息，请参阅上文的 [节 2.2](#)。

引导模式和某些器件配置在 PORz_OUT 的上升沿被锁存。器件配置和引导模式输入与具有 GPIO 或其他功能的引脚进行多路复用。在将这些引脚的状态 (电平) 锁存到配置寄存器后，这些引脚可用于发挥本身的主要功能。PORz_OUT 引脚指示引导模式配置的锁存。

6.3 附加器件复位

TI 建议使用“与运算”逻辑为板载媒体和数据存储器件以及其他外设 (如适用) 实现复位。与门的一个输入由处理器通用输入/输出 (GPIO) 引脚进行控制，并提供上拉电阻和 $0\ \Omega$ 隔离。与门的另一个输入是主域复位状态输出 (PORz_OUT/RESETSTATz) 信号。确保按照器件建议端接复位输入。

如果不使用“与运算”逻辑，并直接使用处理器复位状态输出来复位附加器件，请确保附加器件的 IO 电平与处理器 IO 电平匹配，或使用电平转换器来匹配这两个电平。

建议使用受复位逻辑控制的电源开关来重置 SD 卡，因为对 SD 卡进行下电上电是将其重置回默认状态的唯一方法。SD 卡的电源 (3.3V) 需要通过受控外部电源开关进行连接。

更多有关实现复位“与运算”逻辑和 SD 卡电源开关复位逻辑的信息，请参阅 [TMDS64EVM \(AM64x Sitara 处理器评估模块 \)](#)、[TMDS243EVM \(AM243x Arm Cortex-R5F MCU 评估模块 \)](#) 和其他 EVM 原理图。

6.4 看门狗计时器

根据应用要求，可考虑使用内部或外部看门狗计时器。

7 外设

该部分介绍了处理器外设和模块，旨在对器件特定数据表、TRM 和相关应用手册中提供的内容加以补充。这三种类型的文档可在涉及以下方面时使用：

- 数据表：引脚说明、器件运行模式、交流时序、引脚功能指南、引脚映射
- TRM：功能说明、编程指南、有关寄存器和配置的信息
- 应用手册：系统级理解并解决常见的问题

7.1 跨域选择外设

处理器被划分为两个域，每个功能域包含特定的处理内核和外设：

- MAIN 域
- 微控制器 (MCU) 域

对于大多数用例，任一内核均可以使用任何域中的外设。无论来自哪个域，所有外设均映射到存储器，且 Arm® Cortex®-A53 内核可查看并访问 MCU 域中的大多数外设。类似地，MCU 可以访问主域中的大多数外设。

7.2 存储器

DDR 子系统支持 DDR4 和 LPDDR4。请参阅器件特定数据表和 TRM，了解数据总线宽度（16 位）、内联 ECC 支持、速度（高达 1600MT/s）和最大可寻址范围（2GB（DDR4 或 LPDDR4））。

允许的配置为 1 X 16 位或 2 X 8 位。1 X 8 位配置不是有效配置。

有关更多详细信息，请参阅器件特定 TRM 中 *存储器控制器* 一章的 *DDR 子系统 (DDRSS)* 部分。

7.2.1 处理器 DDR 子系统和器件寄存器配置

DDR 控制器和 DDR PHY 有大量参数需要配置。为了方便配置，提供了一个在线工具 ([SysConfig 工具](#))，用于生成驱动程序所需的输出文件。从“Software Product”下拉菜单中选择“DDR Subsystem Register Configuration”，并选择所需的处理器。此工具将系统信息、DDR 器件数据表中的时序参数和 IO 参数作为输入，然后输出驱动程序用于对 DDR 控制器和 PHY 进行编程的头文件。然后，驱动程序会开始完整的训练序列。

SDK 将为安装在 EVM 上的器件提供一个集成配置文件。如果您需要其他器件的配置文件，则需要使用 DDR 寄存器配置工具来生成新的配置文件。

更多信息，请参阅 [\[常见问题解答\] AM62A7 或 AM62A3 定制电路板硬件设计 - 处理器 DDR 子系统和器件寄存器配置](#)。

7.3 媒体和数据存储接口

媒体和数据存储接口支持 2 个多媒体卡/安全数字 (MMC/SD/SDIO) (8b+4b) (8 位 eMMC、4 位 SD/SDIO) 接口、1 个通用存储器控制器 (GPMC) 和 1 个 OSPI/QSPI。

有关与 OSPI/QSPI 相关的信息，请参阅 [\[常见问题解答\] Sitara/Jacinto 器件的 OSPI 常见问题解答](#)。

有关更多详细信息，请参阅器件特定 TRM 中 *外设* 一章的 *存储器接口* 部分。

7.4 以太网接口

AM64x/AM243x 处理器支持最多五个并行的外部以太网端口。引脚复用覆盖 CPSW3G 或 PRU1_ICSSG。

在配置 MDIO 接口之前，请参阅公告文章 [i2329 MDIO : MDIO 接口损坏 \(CPSW 和 PRU-ICSS\) \(AM64x/AM243x 处理器器件修订版 1.0、2.0\)](#)。

7.4.1 通用平台 3 端口千兆位以太网交换机 (CPSW3G)

CPSW3G 接口可以配置为 3 端口交换机 (连接到两个外部以太网端口 (端口 1 和 2)) 或具有自己 MAC 地址的双独立 MAC 接口。

CPSW3G 支持 RGMII (10/100/1000) 或 RMII (RGMII) (10/100)。

对于 RMII 接口实现，请参阅器件特定 TRM 的 *CPSW0 RMII 接口* 部分。

CPSW3G 允许使用混合 RGMII/RMII 接口拓扑。

RGMII_ID 未经计时、测试或表征。RGMII_ID 默认启用，寄存器位保留。

有关以太网接口的更多详细信息，请参阅器件特定 TRM 中外设一章的高速串行接口部分。

7.4.2 可编程实时单元和工业通信子系统 - 千兆位 (PRU_ICSSG)

AM64x/AM243x 处理器支持两个 PRU_ICSSG 子系统实例，每个 PRU_ICSSG 包含 2 个以太网端口 (MII (10/100) 或 RGMII (10/100/1000))。要了解对 SGMII 模式的支持，请参阅 TRM。PRU_ICSSG 支持工业协议，支持的协议取决于器件选型。

有关如何选择具有 PRU_ICSSG 功能的处理器，请参阅 [\[常见问题解答\] AM6442：每个 AM64x 器件上的 PRU_ICSSG 功能是什么？](#)

有关更多详细信息，请参阅器件特定 TRM 中处理器和加速器一章的可编程实时单元和工业通信子系统 - 千兆位 (PRU_ICSSG) 部分。

7.5 通用串行总线 (USB) 子系统

AM64x/AM243x 处理器支持 1 个 USB 3.1 双角色器件 (DRD) 子系统。这些端口可配置为 USB 主机 (超高速第 1 代 (5Gbps)、高速 (480Mbps)、全速 (12Mbps) 和低速 (1.5Mbps))、USB 器件 (高速 (480Mbps) 和全速 (12Mbps)) 或 USB 双角色器件。

按照器件特定数据表的 *USB VBUS 设计指南* 部分来调节 VBUS 电压。

当器件配置为设备模式时，需要连接 VBUS 电压。在主机模式下，VBUS 连接是可选的。

当 USB 接口配置为主机时，建议使用连接到处理器 GPIO 且具有 OC (过流) 指示的电源开关。DRVVBUS 驱动电源开关。

有关 USB 连接和 On-The-Go 特性支持，请参阅器件特定 TRM。

有关更多详细信息，请参阅器件特定 TRM 中外设一章的高速串行接口部分。

7.6 外围组件快速互连 (PCIe) 子系统

AM64x/AM243x 处理器支持一个 PCI-Express 第 2 代控制器 (PCIe)，并支持第 2 代和单通道运行。

有关更多详细信息，请参阅器件特定 TRM 中外设一章的高速串行接口部分。

备注

只要 POWER_STATE_CHANGE_ACK 为“0”，就不会生成 PCIe 完成报文。将 POWER_STATE_CHANGE_ACK 配置为“1”以生成 PCIe 完成报文。

备注

- USB SuperSpeed 和 PCIe 接口共用 AM64x/AM243x 的串行器/解串器 PHY (接口)。因此，将串行器/解串器 PHY 用于 PCIe 时，USB 将被限制为非 SuperSpeed 模式。
- USB3 和 PCIe 的使用在该处理器上相互排斥，因此这些 (USB3 和 PCIe) 不能同时使用。

7.7 通用连接外设

AM64x/AM243x 处理器支持内部集成电路 (I2C)、通用异步接收/发送 (UART)、12 位模数转换器 (ADC)、多通道串行外设接口 (MCSPI)、快速串行接口接收器 (FSI_RX) 内核、快速串行接口发送器 (FSI_TX) 内核、增强型脉宽调制器 (EPWM)、增强型捕获 (ECAP)、增强型正交编码器脉冲 (EQEP)、具有或不具有完整 CAN-FD 支持的模块化控制器局域网 (MCAN) 模块以及通用输入输出 (GPIO) 模块的多个实例。

对于具有开漏输出类型缓冲器 (I2C0 和 MCU_I2C0) 的 I2C 接口，无论使用何种外设和配置，都建议使用外部上拉。请参阅器件特定数据表中的 *引脚连接要求* 一节。这些接口在拉至 3.3V 时具有压摆率限制。

根据配置，建议为具有 LVCMOS 类型缓冲器的 I2C 接口使用外部上拉。有关可用的 I2C 实例，请参阅器件特定数据表。

有关更多信息，请参阅 [\[常见问题解答\] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 定制电路板硬件设计 - I2C 接口](#)。

此外，PRU_ICSSG 支持 UART0、eCAP0、PWM、IEP0 和 IEP1 外设模块。

可用实例的数量取决于器件选型，并可以根据应用使用 SysConfig-PinMux 工具进行配置。

有关更多详细信息，请参阅器件特定 TRM 的外设一章。

7.8 模数转换器 (ADC)

AM64x/AM243x 处理器支持单个 12 位 ADC，该 ADC 可多路复用至 8 个模拟输入（通道）中的任何一个，具有高达 4MSPS 的可编程数据速率。

有关在现有电路板上使用 SR2.0 处理器的指导以及新电路板设计的建议，请参阅 [AM64x/AM243x 处理器器件勘误表](#)。

有关更多详细信息，请参阅器件特定 TRM 中外设一章的通用连接外设部分。

7.8.1 AM64x/AM243x SR2.0 ADC 勘误表的变更摘要

在 SR1.0 处理器中分配给 MMC0 PHY IO 电源 (VDDSD_MMC0) 的两个引脚之一在 SR2.0 中分配为 ADC0_REFP 引脚。在专为 SR1.0 引脚分配设计的 PCB 上安装 SR2.0 处理器时，不会出现任何兼容性问题，因为 ADC0_REFP 的工作电压与 VDDSD_MMC0 相同。但是，如果在专为 SR1.0 处理器设计的 PCB 上安装了 SR2.0 处理器的情况下尝试使用该器件，则 ADC 可能会出现性能问题，因为 MMC0 PHY IO 电源产生的噪声会直接耦合到 ADC0_REFP 引脚中。

无法在专为 SR2.0 处理器设计的 PCB 上安装 SR1.0 处理器，因为该 PCB 具有专用的 ADC0_REFP 源，在安装 SR1.0 处理器时该源会短接至 VDDSD_MMC0。

其中一个 VSS 引脚重新分配为 ADC0_REFN。目前，ADC0_REFN 在封装中连接到 VSS。此变更消除了封装接地反弹到 ADC 基准的任何直接耦合。此引脚变更不会对 PCB 设计产生任何影响，因为 SR1.0 VSS 引脚已经连接到 PCB VSS 平面，我们预计新的 SR2.0 ADC0_REFN 引脚也会连接到 PCB VSS 电源平面。

7.9 电源引脚、未使用外设和 IO 的端接

除非另有说明，否则所有电源引脚都必须提供器件特定数据表 *建议运行条件* 部分中指定的电源电压。

AM64x/AM243x 处理器的一些引脚（封装焊球）具有特定的连接要求，并且一些封装焊球可以不使用。

有关端接未使用的外设（MMC0、SERDES0、USB0、DDRSS0 和 ADC0（不使用整个 ADC 或任何 ADC 输入））和 IO 的信息，请参阅器件特定数据表中 *端子配置和功能* 一章的 *引脚连接要求* 部分。

7.9.1 外部中断 (EXTINTn)

EXTINTn 是一个专用失效防护中断引脚，建议在外部连接或连接 PCB 布线时进行端接。

8 IO 缓冲器和仿真的连接

在原理图捕获之前，硬件设计中的一个重要步骤是确认处理器和所连外部器件之间的电气兼容性（直流和交流）。

- 器件特定（处理器和所连接器件）数据表提供有关时序和电气特性的重要信息。
- 对于高速接口，建议使用为处理器提供的 IBIS 模型运行 IBIS 仿真，进而确认功能和信号完整性。

有关端接的更多信息，请参阅 [KeyStone II 器件硬件设计指南](#) 中的 *通用端接详细信息* 部分。

可从以下各部分下载所需的 IBIS 模型。

8.1 AM64x

- [AM64x/AM243x BSDL 模型](#)

8.2 AM243x

- [AM243x BSDL 模型](#)

9 功耗和散热分析

处理器功耗取决于应用、实现的功能、温度、设计拓扑和温度/工艺变化。

9.1 功耗

要估算处理器功耗，请参阅 [AM64x/AM243x 功耗估算工具](#)。

9.2 不同电源轨的最大电流

有关不同电源轨的最大电流的信息，请参阅 [AM64x 最大电流额定值](#)。

9.3 电源模式

该处理器支持多种电源模式。有关更多详细信息，请参阅器件特定 TRM 中 [器件配置](#) 一章的 [器件电源状态](#) 部分。

9.4 有关散热设计的指导

[DSP 和 Arm 应用处理器热设计指南](#) 应用报告为包含此处理器的电路板设计提供了如何成功实施散热解决方案的指导。本应用报告提供了有关常见术语和方法的背景信息。TI 仅支持遵循此应用报告中所包含的散热设计指南的设计。

可从以下各部分下载所需的散热模型。

9.4.1 AM64x

- [AM64x/AM243x 热模型](#)

9.4.2 AM243x

- [AM243x 热模型](#)

10 原理图捕获和审阅

在这一设计阶段，可以开始原理图捕获。为支持原理图捕获，请参阅以下部分：

10.1 选择元件和元件值

选择无源器件时，请务必使用器件特定数据表中适用的建议值。

10.2 原理图捕获

在原理图捕获阶段，可以新绘制原理图或重用 EVM 原理图，请参阅 [SK-AM64B \(适用于 AM64x Sitara 处理器的 AM64B 入门套件\)](#)、[TMDS64EVM \(AM64x Sitara 处理器评估模块\)](#) 和 [TMDS243EVM \(AM243x Arm Cortex-R5F MCU 评估模块\)](#) 原理图。

在原理图捕获期间，请遵循 [AM6442](#)、[AM6422](#)、[AM6412](#) 和 [AM2434 原理图设计和审阅检查清单](#) 和 [AM64x/AM243x 处理器器件勘误表](#)。

以下链接中汇总了设计人员在重复使用 TI EVM 设计文件时必须熟悉的注意事项。

[\[常见问题解答\] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 定制电路板硬件设计 - 重复使用 TI EVM 设计文件](#)。

备注

重用 EVM 原理图时，请确保检查重新设计后的各项功能和网络名称更改。

当重用 EVM 原理图时，可以复位 DNI 设置。请确保重新配置 DNI (安装 DNI 可能会影响功能)。

10.3 检查原理图

完成原理图捕获后，根据 [AM6442](#)、[AM6422](#)、[AM6412](#) 和 [AM2434 原理图设计和审阅检查清单](#) 验证设计。

计划一次内部原理图检查，参考原理图设计和审阅检查清单检查原理图。验证电路实现是否存在错误、值或连接不准确、网络连接缺失等。请务必验证原理图是否满足引脚连接要求。

11 布局规划、布局和布线指南

完成原理图捕获和审阅后，TI 建议对电路板进行布局规划，确定各种器件之间的互连距离、电路板尺寸和外形。下一步是设计 PCB 布局。有关电路板布局布线的支持信息，请参阅以下各部分。

11.1 迂回布线指南

[AM64x/AM243x BGA 迂回布线](#) 用户指南提供了 AM64x/AM243x 处理器的 PCB 迂回布线示例。

11.2 DDR 布局指南

TI 提供 [AM64x/AM243x DDR 电路板设计及布局布线指南](#)。本应用手册旨在简化 DDR4 和 LPDDR4 接口的实现、并从要求中捕获一组布局（放置和布线）指南，使设计人员能够针对 TI 支持的拓扑成功实施稳健的设计。TI 仅支持遵循本应用手册中指导原则且使用 DDR4 或 LPDDR4 存储器的电路板设计。

DDR 布线上的目标阻抗为 $40\ \Omega$ （单端）和 $80\ \Omega$ （差分）。

对于传播延迟，DDR4 或 LPDDR4 需要考虑的延迟是与电路板上布线相关的延迟。无需考虑封装级传播延迟。

如果需要封装级传播延迟，请联系当地 TI 销售代表。

请参阅 DDR 电路板设计和布局布线指南，了解 DDR4 数据速率、器件位宽、器件数和 LPDDR4 数、通道宽度、通道数、芯片、列数等信息。还包括位交换指南。

强烈建议在电路板设计期间执行信号完整性仿真。

11.3 高速差分信号布线指导

[高速接口布局指南](#) 应用手册提供了如何为高速差分信号成功布线的指导。其中包括 PCB 堆叠和材料指导以及布线偏移、长度和间距限制。TI 仅支持遵循此应用报告中所包含的电路板设计指南的设计。

备注

可以考虑使用 [SK-AM64B（适用于 AM64x Sitara 处理器的 AM64B 入门套件）](#)、[TMDS64EVM（AM64x Sitara 处理器评估模块）](#) 和 [TMDS243EVM（AM243x Arm Cortex-R5F MCU 评估模块）](#) 布局作为参考。

11.4 仿真的附加参考文献

请参阅 [AM62A3/AM62A7 DDR 电路板设计和布局布线指南](#) 和 [AM625/AM623 DDR 电路板设计和布局布线指南](#) 应用手册的 [电路板设计仿真](#) 一章。

12 器件处理和组装

建议查看器件厚度信息、焊球间距、引脚镀层/焊球材料以及要遵循的建议 MSL 等级/回流焊峰值温度。

有关更多信息，请参阅 [AM64x 订购和质量](#)、[MSL 等级和回流焊曲线](#) 和 [湿敏等级搜索](#)。

13 参考文献

13.1 AM64x

- 德州仪器 (TI) : [AM64x Sitara™ 处理器数据表](#)
- 德州仪器 (TI) : [SK-AM64B \(适用于 AM64x Sitara 处理器的 AM64B 入门套件\)](#)
- 德州仪器 (TI) : [TMDS64EVM \(AM64x Sitara 处理器评估模块\)](#)
- 德州仪器 (TI) : [TMDS64GPEVM \(适用于 Sitara 处理器的通用评估模块\)](#)
- 德州仪器 (TI) : [TMDS64DC01EVM \(AM64x IO-link 和高速分接卡\)](#)
- 德州仪器 (TI) : [使用 TPS65220 或 TPS65219 PMIC 为 AM64x 供电](#)
- 德州仪器 (TI) : [使用 LP8733xx PMIC 为 AM64xx 供电](#)

13.2 AM243x

- 德州仪器 (TI) : [AM243x Sitara™ 微控制器数据表](#)
- 德州仪器 (TI) : [TMDS243EVM \(AM243x Arm Cortex-R5F MCU 评估模块\)](#)
- 德州仪器 (TI) : [LP-AM243 \(AM243x Arm® MCU 通用 LaunchPad™ 开发套件\)](#)
- 德州仪器 (TI) : [TMDS243DC01EVM \(用于高速扩展的 AM243x 和 AM64x 评估模块分线板\)](#)
- 德州仪器 (TI) : [使用 TPS65219 PMIC 为 AM243x 供电](#)

13.3 需要

- 德州仪器 (TI) : [AM64x/AM243x Sitara 处理器技术参考手册](#)
- 德州仪器 (TI) : [AM64x/AM243x 处理器器件勘误表](#)
- 德州仪器 (TI) : [AM64x/AM243x 功耗估算工具](#)
- 德州仪器 (TI) : [AM64x/AM243x 原理图设计和审阅检查清单](#)
- 德州仪器 (TI) : [AM64x 和 AM243x BGA 迂回布线](#)
- 德州仪器 (TI) : [AM64x/AM243x DDR 电路板设计及布局布线指南](#)
- 德州仪器 (TI) : [AM62A3/AM62A7 DDR 电路板设计和布局布线指南](#)
- 德州仪器 (TI) : [DSP 和 Arm 应用处理器热设计指南应用报告](#)
- 德州仪器 (TI) : [PRU-ICSS 特性比较](#)
- 德州仪器 (TI) : [Sitara™ 处理器和 MCU 支持的工业通信协议](#)
- 德州仪器 (TI) : [Sitara 处理器配电网络：实施与分析](#)
- 德州仪器 (TI) : [仿真和跟踪头技术参考手册](#)
- 德州仪器 (TI) : [高速接口布局布线指南](#)
- 德州仪器 (TI) : [KeyStone II 器件硬件设计指南](#)

14 术语

ADC - 模数转换器

BSDL - 边界扫描描述语言

CPSW3G - 通用平台 3 端口千兆位以太网交换机

DRD - 双角色器件

E2E - 工程师对工程师

ECAP - 增强型捕获

ECC - 纠错码

eMMC - 嵌入式多媒体卡

EMU - 仿真控制

EPWM - 增强型脉宽调制器

EQEP - 增强型正交编码器脉冲

FAQ - 常见问题解答

FSI_RX - 快速串行接口接收器

FSI_TX - 快速串行接口发送器

GPIO - 通用输入/输出

GPMC - 通用存储器控制器

HS-RTDX - 高速实时数据交换

I2C - 内部集成电路

IBIS - 输入/输出缓冲器信息规范

IEP - 工业以太网外设

JTAG - 联合测试行动组

LDO - 低压降

LVC MOS - 低压互补金属氧化物半导体

MAC - 介质访问控制器

MCAN - 模块化控制器局域网

McSPI - 多通道串行外设接口

MDIO - 管理数据输入/输出

MII - 媒体独立接口

MMC - 多媒体卡

MSL - 潮湿敏感度级别

OPP - 性能运行点

OSPI - 八进制串行外设接口

OTP - 一次性可编程

PCB - 印刷电路板

PCIe - 外围组件快速互连

PMIC - 电源管理集成电路

POR - 上电复位

PRU_ICSSG - 可编程实时单元和工业通信子系统 - 千兆位

PWM - 脉宽调制器

QSPI - 四线串行外设接口

RGMII - 简化千兆位媒体独立接口

RMII - 简化媒体独立接口

SD - 安全数字

SDIO - 安全数字输入输出

SDK - 软件开发套件

SGMII - 串行千兆位媒体独立接口

SPI - 串行外设接口

TCK - JTAG 测试时钟输入

TCM - 紧耦合存储器

TDI - JTAG 测试数据输入

TDO - JTAG 测试数据输出

TMS - JTAG 测试模式选择输入

TRM - 技术参考手册

TRSTn - JTAG 复位

UART - 通用异步接收器/发送器

USB - 通用串行总线

XDS - 扩展开发系统

15 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (December 2022) to Revision A (July 2023)	Page
• 向本文档添加了“摘要”	1
• 更新了 节 1.3	3
• 更新了 节 2.1	3
• 更新了 节 2.2	3
• 更新了 节 3.1.1	5
• 更新了 节 3.2.1	5
• 更新了 节 3.2.3	5
• 更新了 节 3.2.4	5
• 更新了 节 3.2.5	6
• 更新了 节 3.2.6	6
• 添加了 节 3.5.1	6
• 更新了 节 3.7	7
• 添加了 节 4.3	8
• 更新了 节 4.5	8
• 添加了 节 5.1.1.1	9
• 添加了 节 5.1.1.2	9

• 更新了 节 6.1	9
• 更新了 节 6.2	9
• 更新了 节 6.3	10
• 更新了 节 7	11
• 更新了 节 7.2	11
• 添加了 节 7.2.1	11
• 添加了 节 7.3	11
• 更新了 节 7.4.1	11
• 更新了 节 7.5	12
• 更新了 节 7.7	12
• 更新了 节 7.9	13
• 添加了 节 7.9.1	13
• 添加了 节 5.1.1.1	13
• 添加了 节 5.1.1.2	14
• 添加了 节 9.2	14
• 添加了 节 9.4.1	14
• 添加了 节 9.4.2	14
• 更新了 节 10.2	14
• 更新了 节 11	15
• 更新了 节 11.4	15
• 添加了 节 12	16
• 更新了 节 13	16

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司