

Application Note

**AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1/AM62A7/
AM62A3/AM62P/AM62P-Q1 原理图设计和审阅检查清单**

摘要

本应用手册概述了使用 AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1/AM62A7/AM62A3/AM62P/AM62P-Q1 系列处理器的电路板设计人员应遵循的原理图设计和审查指南及建议。该指南包含可能的处理器配置，并介绍如何将不同的处理器外设连接到附加的（外部）器件。

此外，还提供了处理器产品页面、相关配套资料、E2E 常见问题解答和其他常见参考文档的链接，可帮助电路板设计人员优化定制电路板设计工作和进度。

内容

1 引言	3
1.1 AM62x 处理器系列	3
1.2 AM62Ax 处理器系列	3
1.3 AM62Px 处理器系列	3
2 相关配套资料	4
2.1 常用和适用配套资料的链接	4
2.2 硬件设计指南	4
3 处理器选择	4
3.1 数据表	4
3.2 外设实例命名约定	4
3.3 器件订购和质量	5
4 功率结构	5
4.1 生成电源轨	5
4.2 电源控制和保护	6
5 一般建议	7
5.1 处理器性能评估模块（SK - 入门套件）	7
5.2 器件特定（处理器特定、处理器系列特定）SK 与数据表	7
5.3 开始设计前	8
6 特定于处理器的建议	10
6.1 通用（处理器启动）连接	10
6.2 使用 JTAG 和 EMU 进行电路板调试	16
7 处理器外设	17
7.1 IO 组的电源连接	17
7.2 存储器接口（DDRSS (DDR4/LPDDR4)、MMCSD (eMMC/SD/SDIO)、OSPI/QSPI 和 GPMC）	17
7.3 外部通信接口（以太网 (CPSW3G)、USB2.0、PRUSS、UART 和 CAN）	25
7.4 板载同步通信接口（MCSPi、MCASP 和 I2C）	29
7.5 用户接口（CSIRX0、DPI、OLDI、DSI）、GPIO 和硬件诊断	30
7.6 验证电路板级设计问题	34
8 布局注释（已添加到原理图中）	35
9 定制电路板设计仿真	36
10 其他参考内容	36
10.1 有关 AM6xx 处理器系列的常见问题解答	36
10.2 常见问题解答 - 处理器产品系列	36
10.3 处理器连接器件	36
11 总结	36

12 参考资料	36
12.1 AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1	37
12.2 AM62A7/AM62A3/AM62A7-Q1/AM62A3-Q1	37
12.3 AM62P/AM62P-Q1	37
12.4 所有处理器系列通用	37
12.5 可用常见问题解答主列表 - 按处理器系列	38
12.6 常见问题解答，包括软件相关的常见问题解答	38
12.7 有关连接器件的常见问题解答	38
13 术语	38
14 修订历史记录	40

商标

所有商标均为其各自所有者的财产。

1 引言

本应用手册适用于以下列出的所有处理器系列。产品相关文档可在 TI.com 的产品页面上找到。点击下面的处理器链接可访问产品页面。

1.1 AM62x 处理器系列

1.1.1 AM625

- [AM6254](#)
- [AM6252](#)
- [AM6251](#)

1.1.2 AM623

- [AM6234](#)
- [AM6232](#)
- [AM6231](#)

1.1.3 AM625SIP

- [AM6254](#)

1.1.4 AM625-Q1

- [AM6254](#)
- [AM6252](#)

1.1.5 AM620-Q1

- [AM6204](#)
- [AM6202](#)
- [AM6201](#)

1.2 AM62Ax 处理器系列

1.2.1 AM62A7

- [AM62A74](#)

1.2.2 AM62A7-Q1

- [AM62A74](#)

1.2.3 AM62A3

- [AM62A34](#)
- [AM62A32](#)
- [AM62A31](#)

1.2.4 AM62A3-Q1

- [AM62A34](#)
- [AM62A32](#)

1.3 AM62Px 处理器系列

1.3.1 AM62P

- [AM62P54](#)
- [AM62P52](#)

- [AM62P34](#)
- [AM62P32](#)

1.3.2 AM62P-Q1

- [AM62P54](#)

2 相关配套资料

2.1 常用和适用配套资料的链接

TI.com 上的处理器产品页面提供了许多与所选处理器相关的文档。强烈建议在开始定制电路板设计之前通读这些文档。

以下链接中汇总了在开始进行定制电路板设计时可以参考的配套资料。

2.1.1 AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1

[常见问题解答] [AM625 定制电路板硬件设计 - 入门配套资料](#)

[常见问题解答] [AM623 定制电路板硬件设计 - 入门配套资料](#)

[常见问题解答] [AM625SIP 定制电路板硬件设计 - 入门配套资料](#)

[常见问题解答] [AM625-Q1/AM620-Q1 定制电路板硬件设计 - 入门配套资料](#)

2.1.2 AM62A7/AM62A3

[常见问题解答] [AM62A7/AM62A7-Q1 定制电路板硬件设计 - 入门配套资料](#)

[常见问题解答] [AM62A3/AM62A3-Q1 定制电路板硬件设计 - 入门配套资料](#)

2.1.3 AM62P/AM62P-Q1

[常见问题解答] [AM62P/AM62P-Q1 定制电路板硬件设计 - 快速入门配套资料](#)

2.2 硬件设计指南

建议在开始定制电路板设计之前仔细阅读处理器特定 *硬件设计指南*，了解应遵循的建议步骤。请参阅下面链接的器件特定（处理器特定）*硬件设计指南*：

2.2.1 AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1

[AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1 系列处理器 硬件设计指南](#)。

2.2.2 AM62A7/AM62A3

[AM62A7/AM62A3 系列处理器 硬件设计指南](#)。

2.2.3 AM62P/AM62P-Q1

[AM62P/AM62P-Q1 系列处理器 硬件设计指南](#)。

3 处理器选择

3.1 数据表

处理器特定数据表包括所有适用处理器外设的引脚属性（引脚到功能映射）、引脚说明、时序信息和图表，以及所有电源轨的建议工作条件。

如需简要了解处理器架构以及如何选择处理器型号、特性、封装 (ALW/AMC/AMK/AMB/AMH) 和速度等级，请参阅器件特定（处理器特定）数据表的 *功能方框图* 和 *器件比较* 部分。

3.2 外设实例命名约定

对于外设和实例的命名，器件特定 TRM 往往是通用的，而器件特定数据表是特定的。

在数据表中，即使只有一个外设实例，也会分配后缀编号，因此引用该外设名称的任何文档都不需要根据处理器的不同而进行更改。

后缀以“0”开头。对于 CPSW3G 端口名称，端口“0”是交换机的内部（CPPI 主机）端口。

3.3 器件订购和质量

有关所选处理器系列的订购和质量的信息，请访问以下链接：

[AM625 - 订购和质量](#)

[AM623 - 订购和质量](#)

[AM625SIP - 订购和质量](#)

[AM625-Q1 - 订购和质量](#)

[AM620-Q1 - 订购和质量](#)

[AM62A7 - 订购和质量](#)

[AM62A7-Q1 - 订购和质量](#)

[AM62A3 - 订购和质量](#)

[AM62A3-Q1 - 订购和质量](#)

[AM62P - 订购和质量](#)

[AM62P-Q1 - 订购和质量](#)

4 功率结构

要了解可用的电源解决方案，请参阅 [TI 电源管理](#) 页面。

此外，[WEBBENCH 电路设计器工具](#) 还提供可提供所需电源应用的可视界面。

4.1 生成电源轨

可使用集成式或分立式电源架构生成所选处理器所需的电源轨。使用集成式电源架构 (PMIC) 可简化处理器特定电源架构（电源）的设计。PMIC 生成的电源通常用于为处理器和连接器件供电，支持电源上电和下电时序控制、电源斜升控制并满足所有处理器特定电源要求。除了 PMIC，还可使用其他直流/直流转换器和 LDO，以根据用例生成额外的板载电源。

分立式电源架构可让您在设计和元件选型方面具有灵活性。电路板设计人员必须谨慎选择能提供所需负载电流、所需输出电压、支持所需负载瞬态响应、控制电源斜升和电源时序的电源器件。

处理器电源轨指定了压摆率要求。对于所有生成的电源轨或开关电源轨，请参阅器件特定数据表的 [电源压摆率](#) 一节。

为使用不同电源架构生成板载电源而推荐的器件系列及相关配套资料汇总如下：

4.1.1 AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1

4.1.1.1 PMIC (电源管理 IC)

推荐用于集成式电源架构的 PMIC 包括 [TPS65219](#)。这种经过空间、性能和 BOM 优化的电源架构旨在为处理器和附加器件供电。

TPS65219 有多种型号，每种型号都有固定的电源输出配置。根据设计要求选择所需的型号。要选择所需的型号，请参阅 [TPS65219](#) 产品页面。提供了 [原理图](#) 和 [布局检查清单](#)，可在定制电路板设计期间使用。

有关完整的应用手册和运行详细信息，请参阅以下内容：

[使用 TPS65219 PMIC 为 AM62x 供电](#)

[使用 TPS65219 PMIC 为 AM625SIP 供电](#)

4.1.1.1.1 其他参考

有关更多信息，请参阅器件特定处理器数据表的以下章节。

器件连接和布局基本准则、电源、电源设计

4.1.1.2 分立式电源

分立式电源架构可用于生成处理器和连接的器件电源轨。分立式电源架构基于直流/直流转换器和 LDO。必须使用电源正常输出和离散逻辑来实现电源序列。

有关器件选择和电源架构实现的更多信息，请参阅 [AM62x 的分立式电源解决方案](#)。

4.1.1.2.1 直流/直流转换器

可考虑使用 [TPS62826](#)、[LM61460-Q1](#) 器件等直流/直流转换器。

要了解可用的直流/直流转换器，请参阅 TI [降压转换器 \(集成开关\)](#) 页面。

4.1.1.2.2 LDO

可以考虑使用 [TPS74518](#)、[TLV7103318](#)、[TLV75518](#) 器件等 LDO。

要了解可用的 LDO，请参阅 TI [线性和低压降 \(LDO\) 稳压器](#) 页面。

4.1.2 AM62A7/AM62A3

4.1.2.1 PMIC

推荐用于集成式电源架构的 PMIC 包括 [TPS6593-Q1](#)。这种经过空间、性能和 BOM 优化的电源架构旨在为处理器和附加器件供电。

有关实现，请参阅 [入门套件 SK-AM62A-LP](#) 原理图。

备选 PMIC 建议包括 [TPS65224-Q1](#)。对于汽车功能安全用例，请将处理器的 MCU_I2C0 连接到 PMIC (TPS65224/2) I2C1。

4.1.2.2 分立式电源

分立式电源架构可用于生成处理器和连接的器件电源轨。分立式电源架构基于直流/直流转换器和 LDO。必须使用电源正常输出和离散逻辑来实现电源序列。

目前没有可用的分立式电源架构实现方案。

要了解可用的解决方案，请参阅处理器 (AM62A7/AM62A3) 产品页面。

4.1.3 AM62P/AM62P-Q1

4.1.3.1 PMIC

推荐用于集成式电源架构的 PMIC 包括 [TPS65224-Q1](#)。这种经过空间、性能和 BOM 优化的电源架构旨在为处理器和附加器件供电。

对于汽车功能安全用例，请将处理器的 MCU_I2C0 连接到 PMIC (TPS65224/2) I2C1。

有关实现 (无功能安全)，请参阅 [入门套件 SK-AM62P-LP](#) 原理图。

4.1.3.2 分立式电源

分立式电源架构可用于生成处理器和连接的器件电源轨。分立式电源架构基于直流/直流转换器和 LDO。必须使用电源正常输出和离散逻辑来实现电源序列。

目前没有可用的分立式电源架构实现方案。

要了解可用的解决方案，请参阅处理器 (AM62P/AM62P-Q1) 产品页面。

4.2 电源控制和保护

4.2.1 负载开关

可以使用负载开关打开和关闭由同一电源电平轨供电的特定外设或子系统的电源，而不是使用多个直流/直流转换器或 LDO 生成电源。在某些应用中，必须遵循严格的上电和下电序列。负载开关简化了实现电源时序控制，以满足上电和下电要求。负载开关使能可由 PMIC 或直流/直流转换器控制，以满足处理器电源时序要求。

可以考虑使用 [TPS22965](#)、[TPS22918](#)、[TPS22902](#)、[TPS22946](#) 器件等负载开关。

要了解可用负载开关的概述，请参阅 TI [负载开关](#) 页面。

4.2.2 电子保险丝

电子保险丝是集成的电源路径保护器件，用于在故障情况下将电路电流和电压限制在安全电平。电子保险丝为设计提供了许多优势，并且包含通常难以使用分立式元件实现的保护功能。要了解可用的电子保险丝，请参阅 TI [电子保险丝和热插拔控制器](#) 页面。

5 一般建议

以下是电路板设计人员在设计定制电路板时应熟悉的建议和指南。

5.1 处理器性能评估模块 (SK - 入门套件)

处理器 (硬件) 性能评估模块/平台 (SK) 不应被视为参考设计。它们是评估平台，可能并不代表正确或完整的电路板和系统实现。在许多情况下，SK 在处理器设计完成之前便已进行了部分或完全设计并发布进行制造。这样做是为了在首批器件到手后便可使用硬件平台。可能会在处理器启动和基准测试期间获悉新的处理器要求。在这种情况下，硬件评估平台可能并未考虑到这些新要求。因此，TI 希望客户在设计定制电路板时仔细检查并遵循器件特定数据表、器件勘误表和 TRM 中定义的所有要求。

处理器 (硬件) 性能评估平台的设计并未涵盖 EMI/EMC 目的 (减少辐射发射)、噪声敏感性、热管理等所有电路板或系统特定要求。

有关客户可以参考的设计更新说明以及 SK 原理图，请参阅以下常见问题解答

[\[常见问题解答\] AM625/AM623/AM62A 定制电路板硬件设计的常见设计错误/建议 - SK 原理图设计更新说明](#)。

5.2 器件特定 (处理器特定、处理器系列特定) SK 与数据表

在评估或进行定制电路板设计期间，如果发现器件特定 SK 和数据表之间存在任何差异，建议遵循数据表。尽管电路板设计人员尽了最大努力，但 SK 可能还是包含仍然起作用但不完全符合数据表规范的错误。

5.2.1 有关元件选择的注意事项

SK 元件选型可能并非优化的选择。查看 BOM，并根据数据表建议、应用要求和电路板电路设计来优化元件选型。

建议在最终确定元件参数值和额定值 (电压、功率) 之前，根据需要进行设计计算、设计审查并执行板级测试和测量。

5.2.1.1 串联电阻

电路板设计人员可从串联电阻的建议值开始入手，应在电路板上验证并相应调整该值 (该引脚上出现的阶跃函数不接近 $1/2 V_s$)。

5.2.1.2 并联拉电阻

为向处理器 IO 添加并联拉电阻提供配置。并联拉电阻的极性和值取决于特定的外设连接建议、处理器性能提升建议以及相关接口或标准要求。

器件特定 SK 拉电阻值可用作起点，电路板设计人员可根据处理器和连接器件或特定电路板设计实现的建议选择适当的拉电阻值。

当布线连接到处理器焊盘且未被主动驱动时，建议使用并联拉电阻 (拉电阻极性取决于客户用例)。上电期间，处理器 IO 缓冲器关闭，IO 处于高阻抗状态 (实际上是一个会拾取噪声的天线)。如果没有任何端接，这些信号的阻抗非常高。这使得噪声很容易将能量耦合到这些浮动信号布线上，并产生可能超出我们建议工作条件的电

势，从而在 IO 上产生电气过应力 (EOS)。处理器内部的 ESD 保护电路仅设计用于在将器件安装到 PCB 组件上之前防止对其进行处理。

5.2.1.3 驱动强度配置

除了用于外设和 LVCMOS 缓冲器的标称值外，我们不支持任何其他驱动强度，因为这是唯一已关闭芯片级 STA（静态时序分析）的驱动强度。标称值对应于 40 Ω 驱动器。IBIS 模型已更新为仅包含已在内部关闭时序的那些驱动强度。

5.2.1.4 数据表建议

电路板设计人员负责实现任何必要的预防措施，以确保其定制电路板设计不会违反处理器特定数据表中提到（指定）的要求。处理器要求示例：I2C 开漏和失效防护 (I2C OD FS) 电气特性 - 输入压摆率。

当没有数据表建议时，可以先参照此检查清单中提供的建议，或使用 SK 原理图中的实现作为起点。

5.2.1.5 处理器 IO - 外部 ESD 保护

由于内部 ESD 保护并非专为满足电路板（或系统）级 ESD 要求而设计，因此建议为直接连接到外部连接器或暴露在外输入下的任何处理器 IO 提供外部 ESD 保护。要了解可用的 ESD 保护器件和解决方案，请参阅 [TI ESD 和浪涌保护 IC](#) 页面。

5.2.1.6 外设时钟输出串联电阻器

由于时钟输出也用于重定时，因此需要在时钟输出端使用串联电阻器来解决时钟信号源处的信号失真问题。对于 MMCx 接口，AM62x、AM62Ax 和 AM62Px 处理器系列中使用非键合焊盘，因此环回不需要串联电阻。在某些情况下，出于 EMI/EMC 目的（减少辐射发射），可能需要使用低值串联电阻器。建议保留串联电阻器作为占位器件，以防需要提高信号完整性。

5.2.2 有关重复使用 SK 设计的额外信息

5.2.2.1 SK 原理图中添加了设计说明

根据用例设计，添加了一些 [设计更新说明](#) 和 [原理图设计审查说明](#) 作为指引，这些指引在电路板优化和最终组装 BOM 审查期间为电路板设计人员提供支持。强烈建议客户在开始设计电路板之前和设计期间阅读这些说明。

5.2.2.2 SK 设计文件重复使用

根据定制电路板设计期间遵循的设计流程和项目进度，可以重复使用 SK 设计文件作为起点并进行所需的更新。建议客户验证 SK 实现和组件选择。

以下链接中汇总了电路板设计人员在重复使用 TI SK 设计文件时必须熟悉的注意事项。

[\[常见问题解答\] AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1 定制电路板硬件设计 - 重复使用 TI SK \(EVM\) 设计文件。](#)

[\[常见问题解答\] AM62A7/AM62A3 定制电路板硬件设计 - 重复使用 TI SK \(EVM\) 设计文件](#)

[\[常见问题解答\] AM62P/AM62P-Q1 定制电路板硬件设计 - 重复使用 TI SK \(EVM\) 设计文件](#)

5.3 开始设计前

5.3.1 文档

在整个定制板设计周期中，建议始终参考或使用最新版本的文档，示例包括器件特定数据表、器件勘误表、TRM 和其他常用参考设计资料。在处理器特定产品页面上查看是否有最新可用文档或添加的新文档。

文档搜索提示：请尝试在文档中搜索以下词语：“建议”、“需要”、“不要”、“注意”、“引脚连接”等。处理器的重要条件通常包含一个或多个这些词语。通过这种简单方法可以确保不会错过任何重要信息。

获取更新信息的技巧：在 TI.com 的处理器产品页面上，有一个“通知”按钮。在此处注册便可启用关于处理器文档更改的自动通知。

5.3.2 处理器引脚属性 (引脚排列) 验证

- 验证处理器引脚标签是否对应于器件特定数据表的 *引脚属性* 部分中列出的正确引脚编号。在符号中保留数据表名称, 并根据应用用例更改线网名称。
- 验证连接到处理器电源引脚的电源电压是否处于 *建议运行条件* 内。
- 原理图中显示了处理器的所有引脚 (按功能分组并具有单独的符号块, 包括保留的引脚), 以更大程度地减少工具相关错误和功能错误。
- 许多处理器 IO TX 和 RX 缓冲器和拉电阻默认处于关闭状态。建议使用外部拉电阻将任何附加器件的输入保持在有效逻辑状态, 直到软件初始化 IO 为止。是否使用拉电阻取决于连接器件的 IO 能力。
- 为了提高定制电路板的性能, 建议实现对电压、电流或温度的外部监控。

5.3.3 器件比较和 IOSET

请参阅器件特定数据表的 *器件比较* 一节中有关共享 IO 引脚的注释。IOSET 是特定于某个接口的一系列信号 (分组), 这些信号作为一个集合进行计时。该处理器使用 IOSET 进行时序闭合。任何具有 IOSET 的接口都必须从同一 IOSET 中选择所有接口信号。某些接口信号可以通过多个 IOSET 共享。SysConfig-PinMux 工具中详细介绍了有效的引脚组合。

5.3.4 PADCONFIG 寄存器注意事项

许多处理器 IO 都支持功能的多路复用。可以从多种功能中选择 IO 功能。器件特定数据表的 *引脚属性* 表的 *信号名称* 列中枚举了每个焊盘上可用的功能列表。

通过相关焊盘配置寄存器的 MUXMODE 字段选择所需的功能。PADCFG_CTRL0_CFG0_PADCONFIG0 至 PADCFG_CTRL0_CFG0_PADCONFIG150 寄存器控制处理器主域中 IO 模块的信号多路复用, 而 MCU_PADCFG_CTRL0_CFG0_PADCONFIG0 至 MCU_PADCFG_CTRL0_CFG0_PADCONFIG33 寄存器控制处理器 MCU 域中 IO 模块的信号多路复用。

器件特定 TRM 的 *焊盘配置寄存器* 一节中的 *焊盘配置焊球名称* 表汇总了所有 PADCONFIG 寄存器的位字段复位值。配置 PADCONFIG 寄存器时, 请遵循表末尾列出的注释。如果与相应 PADCONFIG 寄存器关联的引脚没有有效的逻辑状态, 则决不能设置 RXACTIVE 位。这一点非常重要, 因为浮动输入可能会损坏处理器或影响可靠性。

5.3.5 针对失效防护操作的处理器 IO (信号) 隔离

当处理器和连接器件或额外主机由不同的电源供电时，建议进行信号隔离，因为大多数处理器 IO 都不具有失效防护功能。建议通过 FET 总线开关电路来路由信号，该电路设计用于在 IO 电源对两个器件均无效时自动隔离这两个器件。建议 FET 总线开关和控制逻辑由常开电源供电，并且仅由不同电源的电源正常信号的“与”函数启用。

5.3.6 器件特定 SK 的参考

有关实现 (当器件特定数据表中没有提供特定建议时) 示例和值，请参阅器件特定 SK (如果适用)。

5.3.7 高速接口设计指南

有关 USB2.0 和 CSI-Rx 信号连接和布线的详细建议，请参阅[高速接口布局布线指南](#)。包括要在定制电路板设计中遵循的适当约束或布线要求。

对于 USB 接口，在恶劣的工业环境中运行时，可添加共模扼流圈来提高定制电路板的性能。为使用 0Ω 电阻绕过共模扼流圈提供配置。应考虑根据应用要求添加外部 ESD 保护。

5.3.8 LVCMOS (GPIO) 输出的推荐拉电流或灌电流

拉出的直流电流输出应保持小于定义的最大 I_{OH} 和 I_{OL} 值，以实现相应 [电气特性](#) 表中定义的 V_{OL} 最大值和 V_{OH} 最小值。不建议拉电流/灌电流超过器件特定数据表中定义的限制，并且最好使直流拉电流/灌电流明显小于这些限制，因为这可能会导致散热或其他问题。

例如，这些高电流电平的开关可能会产生大量电气噪声，这些噪声可能会耦合到其他电路，从而需要在相应的 IO 电源轨上使用额外的去耦电容器。

5.3.9 将慢速斜升输入或电容器连接到 LVCMOS IO (输入或输出)

LVCMOS 输入指定了压摆率要求。不建议将慢速斜升信号直接连接到 LVCMOS 输入或 LVCMOS 输入端的电容器。当施加慢速斜升输入时，CMOS 输入将产生击穿电流，当输入为 $1/2 V_s$ 时，该电流将从 VDD 通过部分导通的 P 沟道晶体管和部分导通的 N 沟道晶体管流向 VSS。累积的慢速斜升会导致性能或可靠性问题。

LVCMOS 输出缓冲器不适用于驱动大型容性负载。对于 LVCMOS 类型 IO，当配置为输出并连接到容性负载时，请遵循数据表建议的允许电容值或添加串联电阻以限制电流或执行仿真。

5.3.10 定制电路板设计过程中与处理器相关的疑问和说明

有关处理器选择、功能和指南的疑问和说明，TI 建议使用 [E2E](#) 论坛。在 E2E 论坛中可以提出新问题或参考之前已回答的相关问题。

6 特定于处理器的建议

6.1 通用 (处理器启动) 连接

6.1.1 电源

请遵循下列建议：

- 每个电源轨的电源要求因使用的接口和工作环境而异。
- 处理器电源轨的电流消耗可以通过 [PET \(功耗估算工具 \)](#) 进行估算。如果电源轨为其他板载连接 (外设) 器件供电，则需要考虑这些器件的最大电流消耗。
- 验证所选电源架构 (包括 PMIC、直流/直流转换器和 LDO) 的输出电流额定值是否满足处理器和所有连接器件的最大电流需求。建议针对设计差异添加一定程度的额外裕量。
- 验证是否遵循了建议的电源序列 (上电和下电)。建议使用与复位和时钟相关的正确电源时序。有关建议的电源时序要求，请参阅器件特定数据表的 [电源时序](#) 一节。

6.1.1.1 内核和外设的电源

为确保正常运行，必须为所有电源引脚 (焊球) 提供器件特定数据表 [建议运行条件](#) 一节中建议的电源电压。器件特定数据表的 [引脚连接要求](#) 一节指定了具有特定连接要求的电源引脚。

备注

无法单独为 MCU 域和 MAIN 域供电。处理器没有单独的 MCU 和主电源域。所有电源轨都必须通电，并且必须按照器件特定数据表中的定义对它们进行定序。MCU 和 MAIN 的概念仅适用于内部器件功能和处理器域。

6.1.1.1.1 AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1 和 AM62A7/AM62A3

建议使用同一电源为内核电源 VDD_CORE、VDDA_CORE_CSIRX0、VDDA_CORE_USB 和 VDDA_DDR_PLL0 (适用于 AMC 和 AMB 封装) 供电，这些电源可在 0.75V 或 0.85V 电压下工作 [建议运行条件 (ROC) 表中定义的有效工作范围]。当这些电源在 0.75V 电压下工作时，建议在所有 0.85V 电源之前斜升 0.75V。不允许将内核电源电压设置为 0.8V，没有定义标称工作电压为 0.8V 的范围。

VDDR_CORE 只能在 0.85V 电压下工作。当 VDD_CORE 在 0.85V 下工作时，建议使用同一电源为 VDD_CORE 和 VDDR_CORE 供电 (一起斜升)。

建议始终连接 VDDS_OSC0 和 VDDA_MCU 电源。

该处理器包含多个模拟电源引脚，这些引脚可为 VDDA_MCU、VDDA_PLLx [对于 AM62x, x=0..2；对于 AM62Ax, x=0..4]、VDDA_1P8_CSIRX0、VDDA_1P8_OLDIO (AM62x) 和 VDDA_1P8_USB 等敏感模拟电路供电。建议使用滤波 (铁氧体) 电源。

有关更多信息，请参阅器件特定数据表的 *建议运行条件* 一节和 *电源时序* 一节。

6.1.1.1.2 AM62P/AM62P-Q1

建议使用同一电源为内核电源 VDD_CORE、VDDA_CORE_CSI_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB 和 VDDA_DDR_PLL0 供电，这些电源可在 0.75V 或 0.85V 电压下工作 (ROC 表中定义的有效工作范围)。当这些电源在 0.75V 电压下工作时，建议在所有 0.85V 电源之前斜升 0.75V。不允许将内核电源电压设置为 0.8V，没有定义标称工作电压为 0.8V 的范围。

使用 MMC0 时，内核电源 VDD_MMC0 和 VDDA_0P85_DLL_MMC0 只能在 0.85V 下工作。不使用 MMC0 时，建议将 VDD_MMC0 和 VDD_0P85_DLL_MMC0 连接到与 VDD_CORE 相同的电源。

VDDR_CORE 只能在 0.85V 电压下工作。当 VDD_CORE 在 0.85V 下工作时，建议使用同一电源为 VDD_CORE 和 VDDR_CORE 供电 (一起斜升)。

建议始终连接 VDDS_OSC0 和 VDDA_MCU 电源。

该处理器包含多个模拟电源引脚，这些引脚可为 VDDA_MCU、VDDA_PLLx [x=0..4]、VDDA_1P8_CSI_DSI 和 VDDA_1P8_OLDIO 等敏感模拟电路供电。建议使用滤波 (铁氧体) 电源。

有关更多信息，请参阅器件特定数据表的 *建议运行条件* 一节和 *电源时序* 一节。

6.1.1.1.3 其他信息

有关处理器电源时序要求的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623 定制电路板硬件设计 - 上电和下电的处理器电源时序要求。](#)

有关使用铁氧体进行处理器电源轨滤波的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623 定制电路板硬件设计 - 针对 SoC 电源轨的铁氧体 \(电源滤波器\) 建议。](#)

这些是通用常见问题解答，也可用于 AM625SIP/AM625-Q1/AM620-Q1、AM62A7/AM62A3 和 AM62P/AM62P-Q1 系列处理器。

6.1.1.2 IO 组的电源

6.1.1.2.1 AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1 和 AM62A7/AM62A3

该处理器包含九个双电压 IO 域 (VDDSHVx [x = 0..6]、VDDSHV_CANUART 和 VDDSHV_MCU)，其中每个域为一组固定的 IO 供电。每个 IO 域可单独配置为 3.3V 或 1.8V，这决定了由相应 IO 域电源供电的整组 IO 的通用工作电压。

提供指定为 CAP_VDDsx [x=0..6]、CAP_VDDs_CANUART 和 CAP_VDDs_MCU 的处理器焊盘 (引脚) , 用于将外部电容器连接到内部 LDO。建议使用 1 μ F (连接在这些引脚和 VSS 之间, 请参阅器件特定数据表) 电容器。请参阅器件特定的数据表以了解建议的电容器额定电压。

电容器应放置在 PCB 背面的 BGA 阵列中, 以便满足环路电感要求。电容器额定电压的选择可能会影响电容器封装 (尺寸) 的选择。

选择 $ESR < 1 \Omega$ 的电容器。确保电路板引线连接环路电感 $< 2.5nH$ 。

推荐的电容器值并没有考虑因直流偏置和随时间降级而导致的值变化。电容器值与 IO 计数和活动无关。为了确保 LDO 的稳定性, 需要产生辅助电源。如有任何值超出建议值, 都会导致出现过压应力。

6.1.1.2.2 AM62P/AM62P-Q1

该处理器包括八个双电压 IO 域 (VDDSHVx [x = 0..3, 5..6]、VDDSHV_CANUART 和 VDDSHV_MCU) , 其中每个域为一组固定的 IO 供电。每个 IO 域可单独配置为 3.3V 或 1.8V, 这决定了由相应 IO 域电源供电的整组 IO 的通用工作电压。

提供指定为 CAP_VDDsx [x=x = 0..3, 5..6]、CAP_VDDs_CANUART 和 CAP_VDDs_MCU 的处理器焊盘 (引脚) , 用于将外部电容器连接到内部 LDO。建议使用 1 μ F (连接在这些引脚和 VSS 之间, 请参阅器件特定数据表) 电容器。请参阅器件特定的数据表以了解建议的电容器额定电压。

电容器应放置在 PCB 背面的 BGA 阵列中, 以便满足环路电感要求。电容器额定电压的选择可能会影响电容器封装 (尺寸) 的选择。

选择 $ESR < 1 \Omega$ 的电容器。确保电路板引线连接环路电感 $< 2.5nH$ 。

推荐的电容器值并没有考虑因直流偏置和随时间降级而导致的值变化。电容器值与 IO 计数和活动无关。为了确保 LDO 的稳定性, 需要产生辅助电源。如有任何值超出建议值, 都会导致出现过压应力。

6.1.1.2.3 其他信息

大多数处理器 IO 都没有失效防护功能。有关失效防护 IO 的信息, 请参阅器件特定数据表。建议使用与相应处理器相同的电源 - 双电压 IO 域 (VDDSHVx 电源轨) - 为所连接器件的 IO 供电, 以确保系统不会向未供电的 IO 施加电位。这是保护处理器和所连接器件的 IO 所必需的。

有关处理器和连接器件之间的电源时序的更多要求, 包括用于失效防护操作的信号隔离的信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623 定制电路板硬件设计 - SOC \(处理器 \) 和连接器件之间的电源时序](#)。这是通用常见问题解答, 也可用于 AM625SIP/AM625-Q1/AM620-Q1、AM62A7/AM62A3 和 AM62P/AM62P-Q1 系列处理器。

备注

在将任何输入施加到相关处理器 IO 或外设之前, VDDSHVx IO 电源必须存在有效的电源电压。

无论处理器 IO 或外设的使用情况如何, 都必须连接 VDDSHVx IO 电源和相关的 CAP_VDDsx 电容器。

6.1.1.3 VPP 电源 (电子保险丝 ROM 编程)

在电子保险丝编程期间, 处理器 VPP (电子保险丝 ROM 编程电源) 必须保持在 ROC 范围内, 这一点非常重要。建议使用由更高输入电压电源 (2.5V 或 3.3V) 供电的 LDO, 因为该 LDO 将能够通过其串联导通晶体管来补偿压降, 并在高负载电流瞬态期间保持正确的工作电压。建议在处理器 VPP 引脚附近使用本地大容量电容器来支持 LDO 瞬态响应。

使用负载开关或配置为开关的 FET 从具有 +/-5% 变化的另一个电源轨为 VPP 供电可能会出现问題, 因为高负载电流瞬变且 VPP 电源轨具有相同的电源电压范围要求。此拓扑未考虑通过负载开关的压降。如果电路板设计人员使用变化较小的电源, 则可以选择负载开关, 以便确保电源变化加上通过负载开关的压降不会超过 VPP 的建议工作范围。

更多信息, 请参阅 [\[常见问题解答\] AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1 定制电路板硬件设计 - 有关 VPP 电子保险丝编程电源选择和应用的](#)问题。这是通用常见问题解答, 也可用于 AM62A7/AM62A3 和 AM62P/AM62P-Q1 系列处理器。

6.1.1.4 部分 IO 模式 (低功耗) 配置的电源连接

6.1.1.4.1 使用部分 IO

建议将 VDD_CANUART 和 VDDSHV_CANUART 连接到常开型电源。

6.1.1.4.2 不使用部分 IO

VDD_CANUART 应连接到与 VDD_CORE 相同的电源, VDDSHV_CANUART 应连接到任何有效的 IO 电源。

6.1.1.4.3 电源时序数据表参考

请参阅处理器特定数据表以下部分中与部分 IO 相关的注释:

上电时序

上电时序 - 电源/信号分配

下电时序

下电时序 - 电源/信号分配

此外, 请参阅处理器特定数据表的 *部分 IO 电源时序* 部分。

6.1.1.5 其他信息

对于初始 PCB 原型构建, 建议放置与内核电源及其他电源轨一致的 $0\ \Omega$ 电阻 (分流器) 或跳线。这有助于在电路板启动和调试期间隔离电源或测量电流。这些电阻在 SK 中的用途是测量电流。

验证添加这些配置对定制电路板性能的影响。

6.1.2 电源轨的电容器

6.1.2.1 AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1

确保已执行 PDN 分析, 并且已为包括双电压 IO 电源轨在内的所有电源轨提供了所需数量的去耦电容器和大容量电容器。

将去耦电容器放置在尽可能靠近电源引脚的位置。较大的大容量电容器可以放置在更远的位置。

使用低 ESL 电容器, 并在安装它们时尽可能缩短布线以降低安装电感。更多信息, 请参阅 [Sitara 处理器配电网络: 实现与分析](#) 应用手册。

当未执行 PDN 分析或结果不可用时, SK 中的大容量电容器和去耦电容器的容值可用作参考。要实现滤波 (铁氧体) 电源, 请遵循器件特定 SK。

6.1.2.2 AM62A7/AM62A3 和 AM62P/AM62P-Q1

可以考虑使用馈通 (3 端子) 电容器 (在 SK-AM62A-LP 和 SK-AM62P-LP SK 上使用) 来优化所用电容器的数量。使用 3 端子电容器可更大限度地减少环路电感, 并有助于优化处理器性能 (主要是 DDR 性能)。

6.1.2.3 其他信息

6.1.2.3.1 AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1 和 AM62A7/AM62A3

当不使用处理器外设 [摄像头串行接口 (CSIRX0)、DDR 子系统 (DDRSS0) 和 USB2.0 (USB0 和 USB1)] 时, 与这些外设相关的电源 (内核、模拟) 有特定的连接要求。有关更多信息, 请参阅器件特定数据表的 *引脚连接要求* 一节。可以优化使用的电源滤波器 (铁氧体) 和电容器 (大容量)。

6.1.2.3.2 AM62P/AM62P-Q1

当不使用处理器外设 [CSI-2 (摄像头串行接口 2) 和 DSI (显示串行接口) 实例 CSIRX0 和 DSITX0)、DDR 子系统 (DDRSS0) 和 USB2.0 (USB0 和 USB1)] 时, 与这些外设相关的电源 (内核、模拟) 有特定的连接要求。有关更多信息, 请参阅器件特定数据表的 [引脚连接要求](#) 一节。可以优化使用的电源滤波器 (铁氧体) 和电容器 (大容量)。

6.1.3 处理器时钟

6.1.3.1 时钟输入

6.1.3.1.1 高频振荡器 (MCU_OSC0_XI/MCU_OSC0_XO)

为确保处理器正常运行, 请选择晶体时钟源或 1.8V LVCMOS 方波数字时钟源。

连接到内部高频振荡器 (MCU_HFOSC0) 的 25MHz 外部晶体是内部基准时钟 HFOSC0_CLKOUT 的默认时钟源。

建议将用于实现振荡器电路的分立式元件尽可能靠近 MCU_OSC0_XI 和 MCU_OSC0_XO 引脚放置。对于晶体, 在选择负载电容器时, 请遵循器件特定数据表的 [MCU_OSC0 晶体电路要求表](#)。

使用 1.8V LVCMOS 方波数字时钟源时, 应根据器件特定数据表建议连接处理器 XO 引脚。

有关时钟选择的信息, 请参阅 [\[常见问题解答\] AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1 定制电路板硬件设计 - 晶体选型相关问题](#)。这是通用常见问题解答, 也可用于 AM62A7/AM62A3 和 AM62P/AM62P-Q1 系列处理器。

备注

25MHz 是当前唯一支持的晶体频率。有关晶体参数的更多详细信息, 请参阅器件特定的数据表。

6.1.3.1.2 低频振荡器 (WKUP_LFOSC0_XI/WKUP_LFOSC0_XO)

WKUP_LFOSC0 的用例有限, 是可选的。根据用例, 选择 32.768kHz 晶体作为时钟源或 1.8V LVCMOS 方波数字时钟源。

有关更多信息, 请参阅 [\[常见问题解答\] AM625 : LFOSC 在器件中的使用](#)。这是通用常见问题解答, 也可用于 AM623/AM625SIP/AM625-Q1/AM620-Q1、AM62A7/AM62A3 和 AM62P/AM62P-Q1 系列处理器。

用于实现振荡器电路的所有分立式元件必须尽可能靠近 WKUP_LFOSC0_XI 和 WKUP_LFOSC0_XO 引脚放置。对于晶振, 所选的负载电容必须处于器件特定数据表的 [WKUP_LFOSC0 晶振电气特性](#) 表中建议的范围内。

如果未使用 WKUP_LFOSC0_XI/XO :

- 建议将 XI 直接连接到 VSS
- 建议将 XO 保持未连接状态

有关连接未使用的 WKUP_LFOSC0 的有关更多信息, 请参阅器件特定数据表的 [未使用 WKUP_LFOSC0](#) 一节。

6.1.3.1.3 EXT_REFCLK1 (主域的外部时钟输入)

EXT_REFCLK1 引脚通过布线连接至时钟多路复用器, 作为计时器模块 (DMTIMER/WDT)、安全子系统 (SMS)、MCAN 和 CPTS (时间戳模块) 的可选输入时钟源之一。如果一个应用需要向这些模块馈送特定的时钟频率, 则可以选择使用 EXT_REFCLK1 (例如: 时间同步或由于时钟质量原因)。

6.1.3.1.4 其他信息

MCU_OSC0_XI/MCU_OSC0_XO 有特定的布线指南。请参阅器件特定数据表中的 [时钟布线指南](#) 一节。AM62x 处理器系列使用同一时钟布线指南。

6.1.3.2 时钟输出

名为 CLKOUT0 和 WKUP_CLKOUT0 的处理器引脚可配置为时钟输出。时钟输出可用作附加器件 (外部外设)。

WKUP_CLKOUT0 是高频振荡器 HFOSC0 的缓冲输出，在上电期间作为 AM62x 处理器系列的默认输出。

对于 AM62Ax 和 AM62Px 处理器系列，WKUP_CLKOUT0 在上电期间被驱动为低电平。

6.1.4 处理器复位

6.1.4.1 外部复位输入

MCU_PORz 是处理器的外部 MCU 域和主域冷复位输入。建议在电源斜坡和振荡器启动期间将 MCU_PORz 拉至低电平。请遵循器件特定数据表的上电时序图中建议的 MCU_PORz 时序。

对于 MCU_PORz (3.3V 容差，失效防护输入)，可施加 3.3V 输入。输入阈值是 1.8V IO 电源电压 (VDDS_OSC0) 的函数。

MCU_RESETz 使用说明：

请参阅器件勘误表公告 i2407 - 复位：MCU_RESETz 置位为低电平时 MCU_RESETSTATz 不可靠

根据器件特定数据表的引脚连接要求一节的说明，连接外部热复位输入 MCU_RESETz 和 RESET_REQz。热复位输入 (LVCMOS 输入) 有输入压摆率要求。由于输入斜坡较慢，因此不建议直接在输入端连接电容器。建议使用基于施密特触发的去抖电路。有关实现去抖逻辑的信息，请参阅器件特定 SK 原理图。

6.1.4.2 外部复位状态输出

PORz_OUT 是主域 POR (冷复位) 状态输出，RESETSTATz 是主域热复位状态输出，MCU_RESETSTATz 是 MCU 域热复位状态输出。

RESETSTATz 可用于通过复位功能 (eMMC、OSPI、EPHY) 或 SD 卡电源开关来复位板载存储器或外设。PORz_OUT 还可用于在上电期间锁存硬件搭接配置，包括锁存以太网 PHY 引脚搭接配置。

在上电期间，建议对 PORz_OUT 和 RESETSTATz 输出使用下拉电阻，从而使连接器件的复位生效 (保持连接器件处于复位状态)。

建议在不使用时将复位状态输出连接到测试点以进行测试或将来增强。可选择提供一个下拉电阻，并且此下拉电阻可以是 DNI。

备注

MCU_RESETz 和 MCU_RESETSTATz 有特定的用例建议。请参阅器件特定勘误表中的公告 i2407。

6.1.4.3 其他信息

用于配置处理器引导的 BOOTMODExx 输入必须保持在已知状态，以便选择器件特定 TRM 中定义的合适引导模式配置，直至 PORz_OUT 的上升沿期间锁存引导模式配置。

6.1.5 引导模式的配置 (针对处理器)

引导模式输入不具有在处理器上电或复位期间激活的内部上拉或下拉电阻。建议连接外部上拉或下拉电阻以设置所需的引导模式。

如果使用 DIP 开关，建议使用 470 Ω (上拉电阻) 和 47 Ω (下拉电阻) 的电阻分压比来提高噪声性能。

当仅使用电阻配置引导模式时，标准电阻 (上拉或下拉的值相同) 值示例：由于将使用上拉或下拉电阻，因此建议使用 10k Ω 或类似电阻。

建议将上拉或下拉电阻连接到标记为“保留”或未使用的引导模式引脚。

对于 AM62x 系列处理器，BOOTMODE 14 和 BOOTMODE 15 引脚为保留引脚。

对于 AM62Ax 系列处理器，BOOTMODE 14 和 BOOTMODE 15 引脚为保留引脚。

对于 AM62Px 系列处理器，BOOTMODE 14 引脚为保留引脚，BOOTMODE 15 引脚用于 POST (硬件上电自检) 功能。建议为 BOOTMODE 15 引脚添加上拉和下拉电阻配置。

为实现调试、设计灵活性和未来增强功能，强烈建议为所有具有配置功能的引导模式引脚添加上拉和下拉电阻配置。为每个引导模式引脚安装上拉或下拉电阻。不建议也不允许将引导模式引脚直接接地或连接到 IO 电源轨，因为这些 IO 具有备用配置，可能会被软件有意或无意地配置为输出。

引导模式输入引脚不具有失效防护功能，当通过外部输入或基板驱动引导模式配置时，需要考虑这一点。

根据应用要求，可以使用仅在断言复位 (MCU_PORz) (低电平) 时才驱动的缓冲器来向处理器提供引导配置。

如果在正常运行期间将引导模式引脚配置为输出，建议在缓冲器的输出端使用串联电阻 (约 1k Ω)。如需实现的更多信息，请参阅器件特定 SK。

6.1.5.1 处理器引导模式输入隔离缓冲器用例和优化

在 SK 中，引导模式引脚 BOOTMODE [15:00] 通过两个缓冲器 (隔离缓冲器) 置为有效。当处理器锁存引导模式信号 (在 PORz_OUT 上升沿附近) 时，缓冲器可确保 SYSBOOT 拉电阻 (使用电阻配置的引导模式) 控制信号电平。由于引导模式信号通常用于处理器上电之后的其他功能并连接到其他连接器件或外设，因此需要将引导模式配置电阻与所连接的其他外设隔离，以便这些外设不会与预期的引导模式配置 (信号电平) 相冲突。

仅当 PORz_OUT 由处理器驱动为低电平时，才会启用缓冲器。PORz_OUT 变为高电平后，缓冲器输出为高阻态，因此信号不会被引导模式电阻拉动或影响。

为了优化设计 (包括 BOM)，可以根据用例优化或删除这些缓冲器。可选择引导模式拉电阻值，使其不会影响附加器件的运行。

6.1.5.2 引导模式选择

如需配置处理器引导模式，请参阅器件特定 TRM 的 *初始化* 一章中的 *ROM 代码引导模式表*。

6.1.5.2.1 USB 引导模式注意事项

USB0 接口支持引导。当 USB0 配置为 DFU 引导模式时，建议不要将 3.3V 电源 (永久或开关式) 连接到 USB0_VBUS 引脚。不允许将永久电源 (相当于分压器值) 连接到 USB0_VBUS 引脚。

根据器件特定数据表中的建议，建议通过 USB 连接器连接的主机的 5V 电源 (开关式) 通过电阻分压器连接到处理器 USB0_VBUS 引脚。如果定制电路板设计中的 VBUS 电势不会高于 5.5V，且电源为板载电源，则可删除齐纳二极管，将两个电阻合并为一个 20k Ω 电阻，用于 *USB VBUS 检测分压器/钳位电路*。

6.1.5.3 其他信息

从外部输入驱动引导模式配置时，建议在处理器 POR (冷复位) 期间使引导模式配置输入保持稳定。

使用以太网引导和 RGMII 时，设计必须实现一个 EPHY，默认情况下在 EPHY RX 数据路径上启用 RGMII_ID 模式并在 TX 数据路径上禁用 RGMII_ID 模式 (处理器在 TX 输出上实现 RGMII_ID)。处理器 ROM 与 EPHY 无关，不会以编程方式在附加的 EPHY 上启用/禁用 RGMII_ID 模式。通常，这是通过 EPHY 上的引脚搭接实现的。

应选择一个能够通过引脚搭接来设置 RGMII 内部 TX 延迟的 EPHY，请参阅器件特定 SK。有关更多信息，请参阅器件特定勘误表的公告文章 *i2329 MDIO : MDIO 接口损坏 (CPSW 和 PRU-ICSS)*。

6.2 使用 JTAG 和 EMU 进行电路板调试

使用 JTAG 和 EMU

建议根据器件特定数据表的 *引脚连接要求* 一节的说明连接 JTAG (TDI、TCK、TMS 和 TRSTn) 和 EMU (EMU0 和 EMU1) 信号。

建议为 TDO (靠近处理器引脚) 信号连接一个串联电阻 (22 Ω)。当信号连接到外部连接器时，建议为所有 JTAG 和 EMU 信号添加外部 ESD 保护。EMU 0/1 信号支持冷复位 (MCU_PORz) 后的引导顺序调试。

TDO 上拉为可选项，取决于所使用的目标。

请参阅器件特定 TRM 的 *片上调试* 一章。

未使用 JTAG 和 EMU

如需连接 JTAG 和 EMU 信号，请参阅器件特定数据表的 *引脚连接要求* 一节。

在定制电路板设计期间，为支持早期原型调试，TI 建议至少配置一个连接到测试点的最小 JTAG 端口 (包括 EMU0/1) 或配置一个接头封装。如果需要，JTAG 元件在电路板的量产版本中可以是 DNI 状态。此外，还需提供相应配置，以便根据 *引脚连接要求* 一节添加建议拉电阻以及外部 ESD 保护。

6.2.1 其他信息

当 JTAG 接口连接到一个以上器件时，建议对时钟和信号进行缓冲。即使对于单个器件的实现，也建议进行时钟缓冲。有关实现的信息，请参阅器件特定 SK。

如果使用跟踪操作，请将 TRC_x 信号直接连接到仿真连接器。所有 TRC_x 信号都与其他信号进行引脚多路复用。可以使用跟踪功能或 GPMC 接口。用于跟踪功能的 TRC_x 信号的连接 (电路板引线) 必须很短并进行偏差匹配。跟踪信号位于 VDDSHV3 双电压 IO 域上，并且可能具有与其他 JTAG 信号不同的电源电压。更多有关 TRC/EMU 设计和布局的建议，请参阅 *仿真和跟踪接头技术参考手册*。XDS 目标连接指南中提供了有关此信息的摘要。

如果使用边界扫描，请将 EMU0 和 EMU1 引脚直接连接到 JTAG 连接器。

要确保 JTAG 接口的正确实施，请参阅 *仿真和跟踪接头技术参考手册* 和 *XDS 目标连接指南*。

7 处理器外设

7.1 IO 组的电源连接

7.1.1 AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1 和 AM62A7/AM62A3

每个双电压 IO 域 (VDDSHVx [x=0..6]、VDDSHV_MCU 和 VDDSHV_CANUART) 为一组固定的 IO (外设) 供电。3.3V 或 1.8V 电源电压可连接到每个双电压 IO 域。

VDDSHV4、VDDSHV5 和 VDDSHV6 旨在支持上电、下电或不依赖于其他电源轨的动态电压变化。这是支持 UHS-I SD 卡所必需的功能。

请注意连接到 IO 电源轨的处理器 IO (SDIO 或 LVCMOS) 可用的输出缓冲器类型。

7.1.2 AM62P/AM62P-Q1

每个双电压 IO 域 (VDDSHVx [x = 0..3, 5..6]、VDDSHV_MCU 和 VDDSHV_CANUART) 为一组固定的 IO (外设) 供电。3.3V 或 1.8V 电源电压可连接到每个双电压 IO 域。

VDDSHV5 和 VDDSHV6 旨在支持上电、下电或不依赖于其他电源轨的动态电压变化。这是支持 UHS-I SD 卡所必需的功能。

请注意连接到 IO 电源轨的处理器 IO (SDIO 或 LVCMOS) 可用的输出缓冲器类型。

7.2 存储器接口 (DDRSS (DDR4/LPDDR4)、MMCSD (eMMC/SD/SDIO)、OSPI/QSPI 和 GPMC)

7.2.1 DDR 子系统 (DDRSS)

请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM62A/AM62P 定制电路板硬件设计的设计建议/常见错误 - DDR4/LPDDR4 存储器接口。](#)

7.2.1.1 DDR4 SDRAM (双倍数据速率 4 同步动态随机存取存储器)

7.2.1.1.1 AM625/AM623/AM625-Q1/AM620-Q1

有关实现指南和布线拓扑，请参阅 *AM62x DDR 电路板设计和布局布线指南*。

7.2.1.1.1.1 接口配置

允许的存储器配置为 1 x 16 位或 2 x 8 位。

1 x 8 位存储器配置不是有效配置。

根据所选的存储器大小验证 DDRSS 存储库组 (DDR0_BG0、DDR0_BG1) 的连接。请参阅 *AM62x DDR 电路板设计和布局布线指南* 的采用 8 位 SDRAM 器件实现 DDR4 一节。

根据存储器选择 (单列或双列) 验证 DDRSS 片选 (DDR0_CS0_n、DDR0_CS1_n) 的连接。

7.2.1.1.1.2 布线拓扑和端接

当使用单个存储器 (DDR4) 器件 (1 X 16 位) 时, 可考虑点对点拓扑。

点对点拓扑实现总结:

- 地址和控制信号无需外部端接 (VTT)。
- 对于差分时钟 (DDR0_CK0、DDR0_CK0_n), 建议使用交流 (差分) 端接 (2 个 R 串联 (值 = Z_0 - 单端阻抗) 和一个滤波电容器 (0.01 μ F 或存储器制造商推荐的值), 该电容器连接到两个电阻和 VDDSD_DDR (DDR PHY IO 电源) 的中心。有关单端阻抗值和 DDR4 点对点连接的信息, 请参阅 *AM62x DDR 电路板设计和布局布线指南* 以及器件特定 SK。
- VREFCA (VDDSD_DDR/2) 是用于存储器 (DDR4) 器件的控制、命令和地址输入的基准电压。VREFCA 可以使用电阻分压器 (连接到 VDDSD_DDR 和 VSS 的 2 个电阻 (建议电阻值为 1 k Ω , 1%)) 以及与两个电阻并联的滤波电容器 (建议值为 0.1 μ F) 从 VDDSD_DDR 导出。VREFCA 引脚连接额外的去耦电容器 (靠近存储器 (DDR4) 器件)。

或者, 针对地址和控制信号, 为单个存储器 (DDR4) 器件添加 VTT 端接, 并使用灌电流/拉电流 DDR 端接稳压器生成 VTT 电源也是一种可接受的方法。

使用两个存储器 (DDR4) 器件 (2 X 8 位) 时, 建议遵循飞越式拓扑。

飞越式拓扑实现总结:

- 建议为地址、控制和时钟信号使用外部端接 (VTT)。
- 建议使用灌电流/拉电流 DDR 端接稳压器生成 VTT 电源。
- 灌电流/拉电流 DDR 端接稳压器生成基准电压 VREFCA (VDDSD_DDR/2)。
- 为基准电压添加去耦电容器。

7.2.1.1.1.3 用于控制和校准的电阻

为 DDR0_RESET0_n (DDR_RESET#)、DDR0_CKE0 (DDR_CKE, 可选) 连接下拉电阻并为 DDR0_ALERT_n (DDR_ALERTn) 连接上拉电阻 (靠近存储器 (DDR4) 器件)。为 DDR4 器件 TEN (测试使能) 提供下拉电阻 (靠近存储器 (DDR4) 器件)。有关实现和电阻值, 请参阅器件特定 SK。

为 DDR0_CAL0 连接推荐电阻 (靠近处理器) 并为 ZQn (n=0..1) 连接推荐电阻 (靠近存储器 (DDR4) 器件)。有关建议的连接、电阻值和容差, 请参阅器件特定数据表和 *AM62x DDR 电路板设计和布局布线指南*。

7.2.1.1.1.4 电源轨的电容器

验证是否为处理器 DDR 电源轨和存储器 (DDR4) 器件电源轨提供了足够的大容量电容器和去耦电容器。

如果没有可用的建议, 请遵循器件特定 SK 实现。

7.2.1.1.1.5 数据位或字节交换

在定制电路板设计过程中, 如果需要进行位交换, 则允许在数据字节内进行位交换, 以及在某些限制条件下交换 0/1 字节。DM 和 DQS 位不能与任何其他信号交换。不允许对地址位或控制位进行位交换。

有关更多信息, 请参阅 *AM62x DDR 电路板设计和布局布线指南* DDR4 电路板设计和布局布线指南一章中的位交换一节。

建议根据位交换的变化更新原理图, 以供今后参考或重复使用。

7.2.1.1.1.6 VTT 端接原理图参考

使用两个存储器 (DDR4) 器件 (2 x 8 位) 时, 每个器件将连接到每个数据字节。地址/控制信号将以飞越式拓扑连接, 并采用 VTT 端接。

请参阅 [AM64x Sitara 处理器评估模块](#) 了解如何实现 VTT 端接。

建议执行板级仿真以确保适当的信号完整性。

7.2.1.1.2 AM625SIP

不适用。由于该器件集成了 LPDDR4，DDRSS0 引脚已重新分配，并且器件特定数据表 (AM625SIP - AM6254 具有集成 LPDDR4 SDRAM 的 Sitara™ 处理器) 的 [引脚属性和信号描述](#) 一节中提供了 DDRSS0 引脚的连接建议。

7.2.1.1.3 AM62A7/AM62A3

当前不受支持。

7.2.1.1.4 AM62P/AM62P-Q1

当前不受支持。

7.2.1.2 LPDDR4 SDRAM (低功耗双倍数据速率 4 同步动态随机存取存储器)

7.2.1.2.1 AM625/AM623/AM625-Q1/AM620-Q1

有关实现指南和布线拓扑，请参阅 [AM62x DDR 电路板设计和布局布线指南](#)。

7.2.1.2.1.1 接口配置

允许的存储器配置为 1 X 16 位。

7.2.1.2.1.2 布线拓扑和端接

时钟 (CK)、地址、控制 (ADDR_CTRL) 和数据信号遵循点对点拓扑。

VTT 端接不适用于 LPDDR4。地址/控制信号所需的端接由内部 (片上) 处理。

7.2.1.2.1.3 用于控制和校准的电阻

为 DDR0_RESET0_n (LPDDR4_RESET_N) 连接下拉电阻 (靠近存储器 (LPDDR4) 器件)。有关实现和电阻值，请参阅器件特定 SK。

为 DDR0_CAL0 连接推荐电阻 (靠近处理器)、为 ODT_CA_A 连接推荐电阻 (靠近存储器 (LPDDR4) 器件) 并为 ZQ 连接推荐电阻 (靠近存储器 (LPDDR4) 器件)。有关建议的连接、电阻值和容差，请参阅器件特定数据表、SK 原理图和 [AM62x DDR 电路板设计和布局布线指南](#)。

7.2.1.2.1.4 电源轨的电容器

验证是否为处理器 DDR 电源轨和存储器 (LPDDR4) 器件电源轨提供了足够的大容量电容器和去耦电容器。

如果没有可用的建议，请遵循器件特定 SK 实现。

7.2.1.2.1.5 数据位或字节交换

在定制电路板设计过程中，如果需要位交换，则允许在数据字节内进行位交换，以及交换 0/1 字节。不允许地址位交换。

建议根据位交换的变化更新原理图，以供今后参考或重复使用。

7.2.1.2.2 AM625SIP

AM625SIP 处理器内部集成了 LPDDR4 寄存器。DDSSS0 引脚已重新分配，以提供所需的电源和外部校准电阻 (DDR_ZQ)。

有关连接电源和校准电阻 (包括值、容差和电阻电源连接) 的信息，请参阅器件特定数据表 (AM625SIP - AM6254 具有集成 LPDDR4 SDRAM 的 Sitara 处理器)。

7.2.1.2.3 AM62A7/AM62A3 和 AM62P/AM62P-Q1

有关实现指南和布线拓扑，请参阅 [AM62Ax/AM62Px LPDDR4 电路板设计和布局布线指南](#)。

7.2.1.2.3.1 接口配置

允许的存储器配置为 1 x 32 位或 1 x 16 位。

1 x 8 位存储器配置不是有效配置。

7.2.1.2.3.2 布线拓扑和端接

使用 32 位单列/双列 LPDDR4 时，地址、CKE 和 CK 信号布线遵循平衡“T”拓扑布线。

使用 16 位单列 LPDDR4 时，遵循点对点拓扑。根据 [AM62Ax/AM62Px LPDDR4 电路板设计和布局布线指南](#) 建议，连接未使用的数据选通引脚 (DDR0_DQS2..3 和 DQS2..3_n)。

LPDDR4 的数据信号连接拓扑结构是点对点的，分为不同的字节通道。

VTT 端接不适用于 LPDDR4。地址/控制信号所需的端接由内部 (片上) 处理。

7.2.1.2.3.3 用于控制和校准的电阻

为 DDR0_RESET0_n (LPDDR4_RESET_N) 连接下拉电阻 (靠近存储器 (LPDDR4) 器件)。有关建议的连接和电阻值，请参阅器件特定 SK 原理图和 [AM62Ax/AM62Px DDR 电路板设计和布局布线指南](#)。

为 DDR0_CAL0 连接推荐电阻 (靠近处理器)、为 ODT_CA_A..B 连接推荐电阻 (靠近存储器 (LPDDR4) 器件) 并为 ZQn (n=0..1) 连接推荐电阻 (靠近存储器 (LPDDR4) 器件)。有关建议的连接、电阻值和容差，请参阅器件特定数据表、SK 原理图和 [AM62Ax/AM62Px DDR 电路板设计和布局布线指南](#)。

7.2.1.2.3.4 电源轨的电容器

验证是否为处理器 DDR 电源轨和存储器 (LPDDR4) 器件电源轨提供了足够的大容量电容器和去耦电容器。

如果没有可用的建议，请遵循器件特定 SK 实现。

7.2.1.2.3.5 数据位或字节交换

在定制电路板设计过程中，如果需要进行位交换，则允许在数据字节内进行位交换，以及在某些限制条件下进行跨字节交换。不支持地址位和控制位交换。

有关更多信息，请参阅 [AM62Ax/AM62Px LPDDR4 电路板设计和布局布线指南](#) 的通道、字节和位交换一节。

建议根据位交换的变化更新原理图，以供今后参考或重复使用。

7.2.2 多媒体卡/安全数字 (MMCSD)

该处理器支持三个 MMCSD 实例。MMCSD 主机控制器提供了一个连接 1 个 eMMC (8 位) 实例和 2 个 SD/SDIO (4 位) 实例的接口。

7.2.2.1 MMC0 - eMMC (嵌入式多媒体卡) 接口

请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM62A/AM62P 定制电路板硬件设计的设计建议/常见错误 - eMMC 存储器接口](#)

7.2.2.1.1 AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1 和 AM62A7/AM62A3

有关更多信息，请参阅器件特定数据表的 MMC0 - eMMC/SD/SDIO 接口一节。

7.2.2.1.1.1 IO 电源

用于 MMC0 接口的处理器 IO 由 VDDSHV4 (双电压 IO) 电源轨 (IO 组 4 的 IO 电源) 供电。

VDDSHV4 旨在支持上电、下电或不依赖于其他电源轨的动态电压变化。

建议将连接器件的 VDDSHV4 和 IO 电源轨连接到同一电源。

连接器件的 VDD (内核电压) 可由独立电源供电。

7.2.2.1.1.2 eMMC (连接器件) 复位

建议使用双输入与门逻辑来实现器件复位。与门的一个输入连接到处理器通用输入/输出 (GPIO) 引脚。与门输入提供上拉电阻和 0Ω 配置，以隔离 GPIO 用于测试或调试。与门的另一个输入是主域热复位状态输出 (RESETSTATz) 信号。

如果不使用“与运算”逻辑且使用处理器主域热复位状态输出 (RESETSTATz) 来复位连接器件，请确保连接器件的 IO 电压电平与 RESETSTATz IO 电压电平匹配。建议使用电平转换器来匹配 IO 电压电平。

7.2.2.1.1.3 信号端接

提供以下端接：

- 为 MMC0_CLK 信号连接串联电阻 (0Ω，靠近处理器)，为 MMC0_CLK 信号连接外部下拉电阻 (靠近 eMMC 器件)。
- 为数据线路 (MMC0_DAT0) 连接外部上拉电阻器 (靠近 eMMC 器件)。默认情况下，eMMC 器件 (只要 eMMC 器件符合 eMMC 标准) 为数据信号 MMC0_DAT1..7 启用了上拉电阻。进入 4 位模式时，eMMC 器件会关断其 MMC0_DAT1..3 上拉电阻，进入 8 位模式时则关断 MMC0_DAT1..7 上拉电阻。在更改模式时，eMMC 主机软件应打开相应的 DAT 上拉电阻。
- 为 MMC0_CMD 信号连接上拉电阻并为 DS 信号连接带 TP (可选) 的下拉电阻 (靠近 eMMC 器件)。

7.2.2.1.1.4 电源轨的电容器

验证是否为 VDDSHV4 (双电压 IO) 电源轨和附加器件 (内核和 IO 电源) 提供了大容量电容器和去耦电容器。

如果没有可用的建议，请遵循器件特定 SK 实现。

7.2.2.1.2 AM62P/AM62P-Q1

有关更多信息，请参阅器件特定数据表的 *MMC0 - eMMC 接口* 一节。

7.2.2.1.2.1 使用 MMC0

7.2.2.1.2.1.1 IO 电源

处理器的 MMC0 接口由 VDD_MMC0 (0.85V)、VDD_0P85_DLL_MMC0 (0.85V) 和 VDDS_MMC0 (1.8V) 电源供电。

建议将连接器件的 VDDS_MMC0 和 IO 电源轨连接到同一电源。

连接器件的 VDD (内核电压) 可由独立电源供电。

7.2.2.1.2.1.2 eMMC (连接器件) 复位

建议使用双输入与门逻辑来实现器件复位。与门的一个输入连接到处理器通用输入/输出 (GPIO) 引脚。与门输入提供上拉电阻和 0Ω 配置，以隔离 GPIO 用于测试或调试。与门的另一个输入是主域热复位状态输出 (RESETSTATz) 信号。

如果不使用“与运算”逻辑且使用处理器主域热复位状态输出 (RESETSTATz) 来复位连接器件，请确保连接器件的 IO 电压电平与 RESETSTATz IO 电压电平匹配。建议使用电平转换器来匹配 IO 电压电平。

7.2.2.1.2.1.3 信号端接

提供以下端接：

- 为 MMC0_CLK 信号连接串联电阻 (0Ω，靠近处理器)
- 在 MMC0_CALPAD (靠近处理器) 和 VSS 之间连接一个电阻器。有关建议电阻值和容差，请参阅器件特定数据表。

备注

因为 PHY 包括 eMMC 所需的内部拉电阻并动态控制这些拉电阻，所以 MMC0 不需要外部拉电阻。

在复位期间和复位后，由处理器 eMMC PHY 在内部启用 DAT0..7 和 CMD 的上拉电阻。在复位期间和复位后由 SS (使用 MUXMODE 选择的子系统决定输出缓冲器状态) 为 DS 启用下拉电阻，且时钟输出 (CLK) 驱动为低电平。

MMC0 引脚没有关联的 PADCONFIG 寄存器。与 MMC0 引脚关联的内部上拉电阻由 MMC0 主机和 PHY 动态控制。

eMMC 数据、CMD、DS 和 CLK 信号不需要提供外部拉电阻。

7.2.2.1.2.1.4 电源轨的电容器

验证是否为 MMC0 电源轨和连接器件 (内核和 IO 电源) 提供了大容量电容器和去耦电容器。

如果没有可用的建议，请遵循器件特定 SK 实现。

7.2.2.1.2.2 不使用 MMC0

MMC0 接口信号不具有备选功能。不使用 MMC0 时，接口信号和 MMC0 电源有特定的连接要求。

有关连接接口信号和 MMC0 电源轨的信息，请参阅器件特定数据表的 *引脚连接要求* 一节。

7.2.2.1.3 有关 eMMC PHY 的额外信息

请参阅器件特定数据表的 *信号说明*、*MMC*、*MAIN 域* 一节中的注释。

备注

不同处理器系列上使用的 eMMC 控制器和 PHY IP 的实现方式可能有所不同。请注意接口，包括迁移到其他处理器系列时建议的端接。

建议查看器件特定数据表、TRM，并遵循针对器件特定处理器系列和连接器件的连接建议。

可以根据需要遵循器件特定 SK 实现。

7.2.2.2 MMC0 - SD (安全数字) 卡接口

MMC0 接口上没有 CD (卡检测) 和 WP (写保护) 引脚。此接口可用于连接固定的 SDIO 器件 (板载)。有关更多信息，请参阅器件特定数据表 (AM62x 和 AM62Ax) 的 *MMC0 - eMMC/SD/SDIO 接口* 一节。

7.2.2.3 MMC1/MMC2 - SD (安全数字) 卡接口

有关更多信息，请参阅器件特定数据表的 *MMC1/MMC2 - SD/SDIO 接口* 一节。

7.2.2.3.1 IO 电源

处理器 MMC1 (CMD、CLK 和数据) 接口 IO 由 VDDSHV5 (双电压 IO) 电源轨 (IO 组 5 的 IO 电源) 供电，MMC2 (CMD、CLK、数据、CD 和 WP) 接口 IO 由 VDDSHV6 (双电压 IO) 电源轨 (IO 组 6 的 IO 电源) 供电。

VDDSHV5 和 VDDSHV6 旨在支持上电、下电或不依赖于其他电源轨的动态电压变化。

VDDSHV5 和 VDDSHV6 电源必须始终默认为 3.3V，并允许在软件准备好更改电源电压时更改为 1.8V。

当配置为 SD 卡接口时，建议对 VDDSHV5 和 VDDSHV6 电源轨使用单独的电源 (LDO 或类似电源)。

处理器 MMC1 SD 卡检测 (CD) 和写保护 (WP) 信号由 VDDSHV0 (双电压 IO) 电源轨 (IO 组 0 的 IO 电源) 供电。建议将 MMC1_SDCD、MMC1_SDWP 的上拉电阻从 SD 卡连接到同一电源轨 VDDSHV0。

7.2.2.3.2 SD 卡电源复位和引导配置

建议配置由软件启用 (控制) 的电源开关 (负载开关) 为 SD 卡电源 (VDD) 供电。一个固定的 3.3V 电源 (连接到处理器的 IO 电源) 连接作为电源开关的输入。

使用电源开关可以对 SD 卡进行下电上电 (因为这是复位 SD 卡的唯一方法) , 并将 SD 卡恢复到默认状态。

建议使用三输入与门逻辑来实现 SD 卡电源开关使能复位逻辑。与门的一个输入连接到处理器通用输入/输出 (GPIO) 引脚。与门输入提供上拉电阻和 0 Ω 配置, 以隔离 GPIO 用于测试或调试。与门的另外两个输入连接到主域 POR (冷复位) 状态输出 (PORz_OUT) 或主域热复位状态输出 (RESETSTATz) 信号。

如果 SD 卡配置为引导器件, 请确保为 SD 卡电源供电的外部电源开关默认为 ON (供电状态) 。

有关实现的详细信息, 请参阅器件特定 SK。

7.2.2.3.3 信号端接

提供以下端接:

- 为 MMC1_CLK 和 MMC2_CLK 连接串联电阻 (0 Ω , 靠近处理器), 为 MMC1_CLK 和 MMC2_CLK 连接外部下拉电阻 (靠近器件或 SD 卡插槽) 。
- 为连接到相应双电压 IO (MMC1 = VDDSHV5、MMC2 = VDDSHV6) 电源轨的数据线路 (MMC1_DAT0..3 和 MMC2_DAT0..3) 和 CMD 信号 (MMC1_CMD 和 MMC2_CMD) 添加外部上拉电阻器 (靠近器件或 SD 卡插槽) 。
- 为连接到 VDDSHV0 (双电压 IO) 电源轨的 MMC1_SDCD 和 MMC1_SDWP 信号添加外部上拉电阻器 (靠近器件或 SD 卡插槽) 。
- 为连接到 VDDSHV6 (双电压 IO) 电源轨的 MMC2_SDCD 和 MMC2_SDWP 信号添加外部上拉电阻器 (靠近器件或 SD 卡插槽) 。

7.2.2.3.4 ESD 保护

建议对数据、时钟和控制信号提供外部 ESD 保护 (内部 ESD 保护不能满足板级或系统级 ESD 要求) 。

7.2.2.3.5 电源轨的电容器

验证是否为 VDDSHV5 和 VDDSHV6 (双电压 IO) 电源轨和连接器件提供了大容量电容器和去耦电容器。

如果没有可用的建议, 请遵循器件特定 SK 实现。

备注

请遵循对于数据和控制信号的器件特定连接建议。建议将时钟输出的串联电阻放置在靠近处理器引脚的位置。

7.2.2.4 其他信息

请参阅器件特定数据表的 *信号说明*、*MMC*、*MAIN 域* 一节中的注释。

7.2.3 八路串行外设接口 (OSPI) 和四路串行外设接口 (QSPI)

有关详细信息, 请参阅器件特定数据表的 *OSPI/QSPI/SPI 电路板设计和布局布线指南* 一节。

请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM62A/AM62P 定制电路板硬件设计的设计建议/常见错误 - OSPI/QSPI 存储器接口](#)

7.2.3.1 IO 电源

用于 OSPI/QSPI 接口的处理器 IO 由 VDDSHV1 (双电压 IO) 电源轨 (IO 组 1 的 IO 电源) 供电。

建议将连接器件的 VDDSHV1 和 IO 电源轨连接到同一电源。

连接器件的 VDD (内核电压) 可由独立电源供电。

7.2.3.2 OSPI/QSPI 复位

建议使用双输入与门逻辑来实现器件复位。与门的一个输入连接到处理器通用输入/输出 (GPIO) 引脚。与门输入提供上拉电阻和 0 Ω 配置，以隔离 GPIO 用于测试或调试。与门的另一个输入是主域热复位状态输出 (RESETSTATz) 信号。

如果不使用“与运算”逻辑且使用处理器主域热复位状态输出 (RESETSTATz) 来复位连接器件，请确保连接器件的 IO 电压电平与 RESETSTATz IO 电压电平匹配。建议使用电平转换器来匹配 IO 电压电平。

7.2.3.3 信号端接

提供以下配置：

- OSPI0_CLK 和 OSPI0_LBCLKO 连接串联电阻 (0 Ω) (靠近处理器)，OSPI0_CLK 连接外部下拉电阻 (靠近连接器件)。
- CS 引脚和 INT# 引脚连接外部上拉电阻 (靠近连接器件)。
- 数据线 (DAT0:7) 连接外部上拉电阻 (靠近处理器)。根据连接器件内部拉电阻的可用性，组装外部拉电阻。

7.2.3.4 环回时钟

验证所需的环回时钟配置。可以使用 OSPI0_LBCLKO (OSPI 环回时钟输出) 和 OSPI0_DQS (OSPI 数据选通或环回时钟输入) 进行不同的时钟环回配置。有关以下环回配置，请参阅器件特定数据表：

- 无环回、内部 PHY 环回和内部焊盘环回

外部电路板级环回

处理器 DQS 或环回时钟与连接存储器器件的 DS 数据选通搭配使用

如果器件中有 DS (读取数据选通) 引脚，请将器件的 DS 引脚连接到处理器的 OSPI0_DQS 引脚。建议将 OSPI0_LBCLKO 引脚保持未连接状态。

如果当前未使用 DS 引脚，则将处理器的 OSPI0_LBCLKO 输出引脚连接到处理器的 OSPI0_DQS 输入引脚，以配置外部环回。

如果不使用外部环回，建议将 OSPI0_LBCLKO 和 OSPI0_DQS 引脚保持未连接状态。

备注

为支持传统 x1 命令，处理器 OSPI 接口引脚的 D0 和 D1 必须连接到 QSPI/OSPI 存储器器件引脚的 D0 和 D1。

不允许数据位交换。

7.2.3.5 连接多个器件的接口

当前不支持将 OSPI 接口连接到多个存储器器件。建议将 OSPI (处理器) 连接到单个存储器器件。如果 OSPI 连接到多个存储器器件，该接口将创建一条拆分的数据总线，这可能会严重降低高速条件下的信号完整性。为了高速访问 OSPI，建议使用一条点对点数据总线。

7.2.3.6 电源轨的电容器

验证是否为 VDDSHV1 (双电压 IO) 电源轨和连接器件 (内核和 IO 电源) 提供了大容量电容器和去耦电容器。

如果没有可用的建议，请遵循器件特定 SK 实现。

7.2.4 通用存储器控制器 (GPMC)

7.2.4.1 IO 电源

用于 GPMC 接口的处理器 IO 由 VDDSHV3 (双电压 IO) 电源轨 (IO 组 1 的 IO 电源) 供电。

建议将连接器件的 VDDSHV3 和 IO 电源轨连接到同一电源。

连接器件的 VDD (内核电压) 可由独立电源供电。

7.2.4.2 GPMC 接口

验证连接到 GPMC 接口的器件数量。

建议在同步模式下将 GPMC 接口连接到单个器件。使用多个器件 (即使用多个 CSn) 时需要拆分板载 GPMC 时钟 (和其他接口信号) , 这会导致信号完整性问题。

在异步模式下连接多个器件 (不推荐) 时, 建议进行详细的时序分析。在异步模式下连接多个器件时, 必须将控制信号路由到多个器件。拆分路由和负载 (布线长度和器件数量) 问题会影响定制电路板的性能。

7.2.4.3 存储器 (连接的器件) 复位

如果在使用 GPMC 时使用 NAND/NOR 闪存, 许多通过 GPMC 连接的存储器可能没有复位引脚。

如果复位引脚可用, 请查看复位要求并将复位引脚连接到相关的复位源。

7.2.4.4 信号端接

为 GPMC0_CLK 提供串联电阻 (0 Ω , 靠近处理器) 。

建议在 GPMC0_CS0..3 (取决于配置) 上使用一个外部上拉电阻, 以便在处理器保持复位时或复位后且在软件配置 PADCONFIG 寄存器来启用 Tx 缓冲器之前将信号保持在高电平。

7.2.4.4.1 GPMC NAND

NAND 闪存的高电平有效就绪/低电平有效繁忙 (R/B#) 输出为漏极开路, 并连接到 GPMC0_WAIT0 和 GPMC0_WAIT1 信号 (取决于配置) 。建议提供上拉电阻 (建议值为 4.7k Ω) (靠近器件) 。

7.2.4.5 电源轨的电容器

验证是否为 VDDSHV3 (双电压 IO) 电源轨和附加器件 (内核和 IO 电压) 提供了大容量电容器和去耦电容器。

如果没有可用的建议, 请遵循器件特定 SK 实现。

7.3 外部通信接口 (以太网 (CPSW3G)、USB2.0、PRUSS、UART 和 CAN)

7.3.1 使用 CPSW3G (通用平台 3 端口千兆位以太网交换机) 的以太网接口

CPSW3G 支持以下接口 :

RGMII (10/100/1000)

RMII (10/100)

7.3.1.1 IO 电源

处理器千兆位以太网介质访问控制器 (GEMAC) IO (用于以太网接口) 由 VDDSHV2 (双电压 IO) 电源轨 (IO 组 2 的 IO 电源) 供电。

建议将连接器件的 VDDSHV2 和 IO 电源轨连接到同一电源。

连接器件的 VDD (内核电压) 可由独立电源供电。

7.3.1.2 以太网 PHY 复位

建议使用三输入与门逻辑来实现器件复位。与门的一个输入连接到处理器通用输入/输出 (GPIO) 引脚。与门输入提供上拉电阻和 0 Ω 配置, 以隔离 GPIO 用于测试或调试。与门的另一个输入是主域 POR (冷复位) 状态输出 (PORz_OUT) 或主域热复位状态输出 (RESETSTATz) 信号。

如果使用双输入与门, 则可根据用例将 PORz_OUT 或 RESETSTATz 作为其中一个输入进行连接, 将处理器 GPIO 输入作为第二个输入进行连接。当使用多个 EPHY 时, 建议提供单独复位 EPHY 的配置。

建议根据 EPHY 复位引脚配置, 在 “与运算” 逻辑的输出端使用上拉或下拉电阻。电路板设计人员需要确保 EPHY 在相应时钟有效后保持在复位状态, 持续指定的最短复位保持时间。

如果不使用“与运算”逻辑且使用处理器主域热复位状态输出 (RESETSTATz) 来复位连接器件，请确保连接器件的 IO 电压电平与 RESETSTATz IO 电压电平匹配。建议使用电平转换器来匹配 IO 电压电平。

7.3.1.3 以太网 PHY 引脚配置 (strap)

许多 TI EPHY 在复位期间将它们的输出配置为输入，并在处理器从复位状态释放时在这些输入上采集配置（通过电阻进行引脚搭接）信息。可能需要在这些也连接到处理器 IO 的输入 (IO) 上应用适当的上拉或下拉电阻。器件特定 SK 上使用的 TI EPHY 结合使用了上拉和下拉电阻，从而可以使用每个引脚来配置多种配置模式。默认情况下，处理器输入缓冲器和内部上拉或下拉电阻处于禁用状态，这样就尽可能减少了 EPHY 向处理器输入缓冲器施加 1/2 Vs 电势的问题。启用任何相关的处理器输入缓冲器之前，需要将 EPHY 从复位状态配置为正常状态，以确保 EPHY 驱动有效的逻辑状态。

7.3.1.4 以太网 PHY (和 MAC) 运行和媒体独立接口 (MII) 时钟

验证根据接口用于以太网 PHY 和 MAC 的时钟输入选项。

7.3.1.4.1 晶体

如果使用晶体作为 EPHY 的时钟源，建议将晶体（时钟）规格与处理器晶体（时钟）规格相匹配，以优化性能。

7.3.1.4.2 振荡器

使用外部时钟 (LVCMOS) 振荡器作为处理器和 EPHY 的时钟源时，建议为处理器和 EPHY 使用单个振荡器。建议为处理器和 EPHY 使用双输出相位对齐缓冲器。请务必按照器件特定数据表中的建议连接处理器的 XO。请参阅器件特定 SK 了解实现方式。

此外，查看是否有需要遵循的 EPHY 晶体 XO 连接建议。

7.3.1.4.3 处理器时钟输出 (CLKOUT0)

为了优化设计，处理器时钟输出 (CLKOUT0) 可用作 EPHY 的时钟输入。时钟输出在内部进行缓冲，适用于点对点时钟拓扑。建议在 CLKOUT0 的源极侧安装一个串联电阻，以尽量减少反射。

RGMII EPHY 需要一个与任何其他信号不同步的 25MHz 时钟输入。因此，该信号不会有任何时序要求，但需要确保 EPHY 不在其时钟输入端接收任何非单调转换。

RMII EPHY 时钟选项随 EPHY 控制器（主器件）和器件（从器件）配置的不同而变化。

当配置为控制器时，RMII EPHY（大多数）需要与任何其他信号不同步的 25MHz 输入时钟。25MHz 时钟信号没有与处理器相关的任何时序要求，但确保 EPHY 不会在其时钟输入上接收任何非单调转换非常重要。

RMII EPHY 为 MAC 提供 50MHz 时钟输出。在此用例中，相对于 EPHY，50MHz 数据传输时钟会延迟传递至 MAC。这将转换时钟数据时序关系，从而可能减小时序裕量。如果此延迟过大，这对某些设计来说可能会有问题。

配置为器件时，MAC 和 EPHY 使用一个与发送和接收数据同步的 50MHz 公共时钟。50MHz 时钟在 RMII 规范中定义为供 MAC 和 EPHY 使用的通用数据传输时钟信号，这种情况下，转换预计会同时到达 MAC 和 EPHY 器件引脚。这样可以为发送和接收数据传输提供更好的时序裕量。同样，需要确保 MAC 和 EPHY 不会在其时钟输入端接收任何非单调转换。为了确保时钟信号完整性，强烈建议通过双输出相位对齐缓冲器来路由该时钟信号。建议使用与 1/2 数据信号长度等长的信号布线来连接时钟缓冲器输出，其中一个时钟输出连接到 MAC，另一个连接到 EPHY。

对于 RMII 接口，建议的配置是器件特定 TRM 中所述的 RMII 接口典型应用（外部时钟源）。如果使用器件特定 TRM 中所述的 RMII 接口典型应用（内部时钟源）配置，则必须在板级或系统级验证性能。建议提供用于初始性能测试和比较的外部时钟。已在处理器和 EPHY 上使用 25MHz 时钟验证了以太网性能 (RGMII)。

可以使用 CLKOUT0 信号功能为 EPHY 提供 25MHz 或 50MHz 时钟输入。然而，这需要软件配置时钟输出。如果电路板设计需要支持以太网引导，则无法使用此配置。只要更改配置，该时钟就可能出现故障。

根据所选处理器，一旦器件从复位中释放 (MCU_PORz 0 -> 1)，处理器就会自动开始向 WKUP_CLKOUT0 引脚提供器件参考时钟 (MCU_OSC0，默认启用)。该处理器时钟输出在开始切换后不会出现故障。但是，第一个高电平脉冲或低电平脉冲可能很短，因为复位是与 HFOSC0 时钟异步释放的。

电路板设计人员需要确保 EPHY 在相应时钟有效后保持在复位状态，持续指定的最短复位保持时间。

TI 不定义处理器时钟输出的性能，因为时钟性能受每种定制电路板设计所特有的许多变量的影响。电路板设计人员必须使用实际 PCB 延迟、最小/最大输出延迟特性和每个器件的最小设置/保持要求来验证所有外设的时序，以确认是否有足够的时序裕量。

7.3.1.5 MAC (数据、控制和时钟) 接口信号端接

建议对以太网 MAC 接口信号使用串联电阻 (22 Ω)。使用尽可能小的封装 (0402 或更小) 并尽可能靠近源极放置。首先，将用于 TX 信号的串联电阻 (22 Ω) 放置在处理器引脚附近。对于 RX 信号，可以使用 EPHY 内部串联电阻。建议在 RX 信号上提供外部串联电阻 (0 Ω) 配置。

EPHY 的中断输出可以连接到处理器 EXTINTn (中断) 引脚。建议为 EXTINTn 连接一个靠近处理器的上拉电阻。当 PCB 布线已连接且未由外部输入主动驱动时，建议连接外部上拉电阻。EXTINTn 是一种开漏输出类型缓冲器失效防护 IO。

7.3.1.6 MAC (介质访问控制器) 到 MAC 接口

对于需要进行无 EPHY (MAC 到 MAC) 连接的应用，建议使用 RGMII 接口 (请与 TI 联系以了解官方是否支持)，因为时钟可进行源同步。

7.3.1.7 MDIO (管理数据输入/输出) 接口

用于 MDIO 接口的处理器 IO 由 VDDSHV2 (双电压 IO) 电源轨 (IO 组 2 的 IO 电源) 供电。

建议为 MDIO0_MDIO 信号连接外部上拉电阻 (靠近器件)。

在配置 MDIO 接口之前，请参阅器件特定勘误表的公告文章 *i2329 MDIO : MDIO 接口损坏 (CPSW 和 PRU-ICSS)*。

7.3.1.8 包括磁性元件在内的以太网 MDI (介质相关接口)

如果在处理器板上实现了包括磁性元件和 RJ45 连接器在内的 EPHY 和 MDI 接口，请遵循器件特定 SK 中的 MDI 接口、磁性元件建议、外部 ESD 保护和 RJ45 连接器屏蔽连接。

7.3.1.9 电源轨的电容器

验证是否为 VDDSHV2 (双电压 IO) 电源轨和连接器件 (内核和 IO 电源) 提供了大容量电容器和去耦电容器。

如果没有可用的建议，请遵循器件特定 SK 实现。

7.3.2 通用串行总线 (USB2.0)

处理器提供 2 个可配置为主机、器件或 DRD (双角色器件) 的 USB2.0 接口。

建议按照器件特定数据表的 *USB 设计指南* 一节连接 USBn_VBUS (n=0..1)。器件特定数据表的 *建议运行条件* 一节中定义了 USBn_VBUS 引脚的电源电压范围。当 VBUS 电源电压电平为 5V 时，所施加的标称电压值等于电阻分压器输出。

USBn_ID 功能由任一处理器 GPIO 支持。

备注

USBn_VBUS 为失效防护输入。失效防护输入仅在 VBUS 电源通过建议的 *USB VBUS 检测分压器/钳位电路* 连接时才有效。

7.3.2.1 使用 USBn (0..1)

建议将 USB 电源 VDDA_CORE_USB (USB0 和 USB1 内核电源)、VDDA_1P8_USB (USB0 和 USB1 1.8V 模拟电源) 和 VDDA_3P3_USB (USB0 和 USB1 3.3V 模拟电源) 连接到器件特定数据表中推荐的电源轨。

直接连接 USBn_DM (n=0..1) 和 USBn_DP (n=0..1) 信号 (无需任何串联电阻或电容器)。使用不包含任何残桩或测试点的布线对这些信号进行布线。

在 USBn_RCALIB (n=0..1) (靠近处理器) 和 VSS 之间连接一个电阻器。有关建议电阻值和容差, 请参阅器件特定数据表。

7.3.2.1.1 USB 主机接口

建议提供一个电源开关来控制外部连接器件的 VBUS 电源, 并防止电源开关输入电源过载。

电源开关输出连接到 USB Type-A 连接器。建议将一个电容器 ($>120\ \mu\text{F}$) 连接到靠近连接器的 VBUS 电源。

带内部下拉电阻的 USBn_DRVVBUS (n=0..1) 信号用于启用 VBUS 电源开关。建议在电源开关使能 (EN) 引脚附近使用外部下拉电阻。USBn_VBUS 的连接 (VBUS 电源输入, 包括分压器/钳位) 是可选的。

如果使用的电源开关具有 OC (过流) 指示输出, 则上拉 OC 指示输出并连接到处理器 IO (输入)。

7.3.2.1.2 USB 器件接口

VBUS 电源由外部主机供电。器件运行的 USB 标准建议将 $<10\ \mu\text{F}$ 的电容器连接到靠近 USB B 型连接器的 VBUS。

在连接到 USBn_VBUS 引脚之前, 请按照器件特定数据表的 *USB VBUS 设计指南* 一节调节 USB VBUS 电压 (USB 接口连接器附近的电源)。

根据用例, 如果完全确定电路板不会遇到高于 5.5V (板载供电) 的 VBUS 信号电势, 则可以删除齐纳二极管。

7.3.2.1.3 USB 双角色器件接口

如果定制电路板设计中使用了 USB Micro-AB 连接器, 则来自该连接器的 USBn_ID 信号可路由到处理器 GPIO 引脚。这个连接器可以连接到任何可用的 GPIO 引脚。该 GPIO 引脚在电路板器件树文件中指定, 包括 GPIO 引脚的引脚多路复用 (pinmux) 设置。

备注

不支持完全兼容的 USB On-The-Go (OTG) 特性。ID 引脚未进行外部键合。

7.3.2.1.4 USB Type-C

如果定制电路板设计使用 USB Type-C 连接器, 则不需要连接 USBn_ID 信号。DRD 模式开关由 USB Type-C 配套器件控制。

DRP (双角色端口) 需要一个控制器, 主要用于根据协商的角色切换电源。在器件不是由 Type-C 连接器供电的 Type-C 实现方案 (仅限器件模式、USB2.0) 中, 无需 Type-C 控制器。

- 连接器上的 CC 引脚应该通过 $5.1\text{k}\Omega$ 电阻独立接地。
- USB DP 和 USB DM 连接器引脚应在 PCB 上短接 (DM=B7:A7, DP=B6:A6)。无论电缆方向如何, 这都能实现 USB2.0 连接。尽量缩短产生的残桩。

此外, 请务必遵循 USBn_VBUS 输入缩放建议。有关更多详细信息, 请参阅器件特定数据表的 *USB VBUS 设计指南* 一节。

AM62 SK USB0 接口设计可用作实现 USB Type-C 接口的参考。

7.3.2.2 不使用 USBn (0..1)

当不使用 USB0 和/或 USB1 时, 接口信号和 USB 电源有特定的连接要求。

有关连接接口信号和 USB 电源引脚的信息, 请参阅器件特定数据表的 *引脚连接要求* 一节。

建议通过单独的 $0\ \Omega$ 电阻将 USB 电源 (VDDA_CORE_USB、VDDA_1P8_USB 和 VDDA_3P3_USB) 连接到 VSS。

如果使用 USB0 或 USB1 进行未来扩展, 请使用尽可能短的布线来连接信号 (USBn_DM、USBn_DP、USBn_RCALIB 和 USBn_VBUS), 并连接至测试点或连接器。此外, 建议提供连接所需的 USB 电源的配置。

7.3.2.3 其他信息

将 USBn_DM 和 USBn_DP 信号直接从处理器连接到 USB 集线器上游端口。然后，集线器根据需要将这些信号分配到下行端口。由于每个集线器的实施要求不同，最好遵循集线器制造商的建议。

有关 USB2.0 接口的更多信息，请参阅 [\[常见问题解答\] AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1 定制电路板硬件设计 - USB2.0 接口](#)。这是通用常见问题解答，也可用于 AM62A7/AM62A3 和 AM62P/AM62P-Q1 系列处理器。

7.3.3 可编程实时单元子系统 (PRUSS)

7.3.3.1 AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1

有关 PRUSS 特性和支持的功能的可用性，请参阅器件特定数据表的 *器件比较* 一节。

凭借 PRU 内核的可编程特性及其对引脚、事件和所有处理器资源的访问权限，设计人员可以灵活地实现快速实时响应、专用数据处理操作以及定制外设接口，并灵活地减轻器件其他处理器内核的任务负载。

PRUSS 具有大量可用的 IO 信号。大多数这些 IO 在处理器级别与其他功能信号进行多路复用。PRUSS 引脚允许使用 PADCONFIGx 寄存器进行多路复用。

在原理图设计过程中确认接口连接支持所需的功能。

要了解 PRUSS 支持的功能，请参阅器件特定数据表和 TRM。

7.3.3.2 AM62A7/AM62A3 和 AM62P/AM62P-Q1

不支持

7.3.4 通用异步收发器 (UART)

验证 UART 接口应用要求 (外部接口或调试) 和配置 (2 线或 4 线带流量控制)。有关支持的 UART 实例数，请参阅器件特定数据表。

使用外部收发器时，请确保外部接口信号电平与双电压 IO 电源电压电平匹配。

建议在接口信号上配置串联电阻 (靠近源极) 用于隔离或调试。建议在 UART 接收引脚 (UART0..6_RXD、MCU_UART0..1_RXD) 上添加上拉电阻。

如果处理器的接口信号直接连接到外部连接器，建议使用外部 ESD 保护。

UART 接口经常连接错误。确保按如下方式连接信号：

- TX ---> RX
- RX ---> TX

如果使用了其他接口信号，请验证连接。

7.3.5 控制器局域网 (CAN)

有关支持的 CAN 实例数，请参阅器件特定数据表。处理器的 CAN 接口包括外部 CAN 收发器。

使用外部收发器时，请确保外部接口信号电平与双电压 IO 电源电压电平匹配。

确保在 CAN 收发器处提供了所需的端接。

建议在接口信号上配置串联电阻 (靠近源极) 用于隔离或调试。

7.4 板载同步通信接口 (MCSPI、MCASP 和 I2C)

7.4.1 多通道串行外设接口 (MCSPI) 和多通道音频串行端口 (MCASP)

为时钟输出 SPI0..2_CLK (MCSPI 0..2) 和 MCU_SPI0..1_CLK (MCU_MCSPI 0..1) 提供串联电阻 (22 Ω ，靠近处理器)。

为发送时钟输出 MCASP0...2_ACLKX 和发送帧同步信号 MCASP0...2_AFSX 提供串联电阻 (22 Ω , 靠近处理器)。

为接收时钟输出 MCASP0..2_ACLKR 和接收帧同步信号 MCASP0..2_AFSR 提供串联电阻 (22 Ω , 靠近连接器件)。

上电期间禁用处理器 IO 缓冲器。验证是否为片选信号 SPI0..2_CS0..3 (MCSPI 0..2) 和 MCU_SPI0..1_CS0..3 (MCU MCSPI 0..1) 提供了外部并联拉电阻 (靠近连接器件)。用于器件时钟和数据输入的拉电阻取决于用例, 需要在选择连接器件时进行验证。

7.4.2 内部集成电路 (I2C)

验证应用是否需要一个完全符合 I2C 规范的接口。MCU_I2C0 和 WKUP_I2C0 是真正的开漏输出型缓冲器, 具有失效防护且完全符合 I2C 规范。这些器件可以支持 3.4Mbps I2C 运行 (当 IO 缓冲器 (接口) 在 1.8V 下运行时)。

备注

对于具有开漏输出类型缓冲器 (MCU_I2C0 和 WKUP_I2C0) 的 I2C 接口, 无论使用何种外设和 IO 配置, 都建议使用外部上拉。

请参阅器件特定数据表的 [引脚连接要求](#) 一节。建议使用 4.7k Ω 或类似的上拉电阻。

当这些开漏输出型缓冲器 I2C 接口被拉至 3.3V 电源时, 输入具有指定的压摆率限制。可使用 RC 来限制压摆率。有关具体实现, 请参阅 [入门套件 SK-AM62P-LP](#)。

有关更多信息, 请参阅此检查清单文档的 [将电源轨连接到上拉电阻](#) 一节。

如果需要额外的 I2C 接口, 可以使用 I2C0..3 接口。

I2C0..3 接口使用 LVCMOS 来模拟开漏输出型缓冲器, 并且不完全符合 I2C 规范, 尤其是下降沿的速度很快 (< 2ns)。连接到这些端口的任何器件都必须能够在下降时间更短的情况下正常运行。这些接口支持 100kHz 和 400kHz 工作频率。建议针对这些 I2C 信号使用上拉电阻。上拉电阻的位置并不重要, 但连接很重要。建议使用尽可能短的残桩连接上拉电阻。

最好为 I2C 接口信号配备串联电阻 (0 Ω)。对于 I2C0..3 接口, 可以使用串联电阻来控制下降沿压摆率。该值取决于定制电路板设计并可在测试后最终确定。

欲了解更多信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1 定制电路板硬件设计 - I2C 接口](#)

[\[常见问题解答\] AM62A7/AM62A3 定制电路板硬件设计 - I2C 接口](#)

[\[常见问题解答\] AM62P/AM62P-Q1 定制电路板硬件设计 - I2C 接口](#)

[\[常见问题解答\] AM62A7-Q1 : MCU_I2C0 和 WKUP_I2C0 的内部拉电阻配置寄存器](#)

如果计划使用 TI 提供的软件, 请务必将推荐的处理器 I2C (AM62x - TPS65219 为 I2C0) 接口连接到 PMIC , 因为这是用于 PMIC 控制的 I2C 接口。

备注

当使用 I2C3 接口时, 请参阅器件特定数据表 [时序和开关特性](#)、[外设](#)、[I2C](#) 一节中的 I2C3 注释 (可以多路复用到多个引脚)。

备注

定制电路板设计期间, 请参阅器件特定数据表的 [时序和开关特性](#)、[I2C](#) 部分的 [例外情况](#)。

7.5 用户接口 (CSIRX0、DPI、OLDI、DSI)、GPIO 和硬件诊断

7.5.1 摄像头串行接口 (CSI-Rx (CSI-2 端口、CSIRX0 实例))

有关支持的数据速率，请参阅器件特定数据表。

7.5.1.1 使用 CSIRX0

处理器 CSIRX0 接口由 CSIRX0 (AM62Px 为 CSIRX0 和 DSITX0) 核心电源 VDDA_CORE_CSIRX0 (AM62Px 为 VDDA_CORE_CSI_DSI 和 VDDA_CORE_DSI_CLK) 和 CSIRX0 (AM62Px 为 CSIRX0 和 DSITX0) 1.8V 模拟电源 VDDA_1P8_CSIRX0 (AM62Px 为 VDDA_1P8_CSI_DSI) 供电。

在 CSI0_RXRCALIB (靠近处理器) 和 VSS 之间连接一个电阻器。有关建议电阻值和容差，请参阅器件特定数据表。

7.5.1.2 不使用 CSIRX0

不使用时，CSIRX0 对接口信号和电源有特定的连接要求。

有关连接接口信号、电源 (内核和模拟) 的信息，请参阅器件特定数据表的 *引脚连接要求* 一节。

使用边界扫描功能时，CSIRX0 (AM62Px 为 CSIRX0 和 DSITX0) 电源 ((VDDA_CORE_CSIRX0 和 VDDA_1P8_CSIRX0) 、 (AM62Px 为 VDDA_CORE_CSI_DSI、VDDA_CORE_DSI_CLK 和 VDDA_1P8_CSI_DSI)) 需要连接到推荐的电源轨。建议在电源引脚上使用去耦电容器。大容量电容器和铁氧体是可选项。

不使用边界扫描功能时 (AM62P 为 DSITX0)，建议通过单独的 0Ω 电阻将 CSIRX0 (AM62Px 为 CSIRX0 和 DSITX0) 电源 ((VDDA_CORE_CSIRX0 和 VDDA_1P8_CSIRX0) 、 (AM62Px 为 VDDA_CORE_CSI_DSI、VDDA_CORE_DSI_CLK 和 VDDA_1P8_CSI_DSI)) 连接到 VSS。不建议组装去耦电容器、大容量电容器和铁氧体。

7.5.2 显示子系统

7.5.2.1 显示并行接口 (DPI)

7.5.2.1.1 AM625/AM623/AM625SIP/AM625-Q1 和 AM62A7/AM62A3 和 AM62P/AM62P-Q1

7.5.2.1.1.1 IO 电源

处理器 DPI 接口由 VDDSHV3 (双电压 IO) 电源轨 (IO 组 3 的 IO 电源) 供电。

7.5.2.1.1.2 DPI (连接器件) 复位

建议使用双输入与门逻辑来实现器件复位。与门的一个输入连接到处理器通用输入/输出 (GPIO) 引脚。与门输入提供上拉电阻和 0Ω 配置，以隔离 GPIO 用于测试或调试。与门的另一个输入是主域热复位状态输出 (RESETSTATz) 信号。

如果不使用“与运算”逻辑且使用处理器主域热复位状态输出 (RESETSTATz) 来复位连接器件，请确保连接器件的 IO 电压电平与 RESETSTATz IO 电压电平匹配。建议使用电平转换器来匹配 IO 电压电平。

7.5.2.1.1.3 连接

验证显示 (RGB) 连接。

接口支持包括 12、16、18 和 24 位 RGB 有源矩阵显示。当仅将 16 位数据连接到 18 位面板 (BGR565 到 BGR666) 时，请将 D0-D4 连接到 LCD 上的 B1-B5，将 D5-D10 连接到 LCD 上的 G0-G5，并将 D11-D15 连接到 LCD 上的 R1-R5。在 18 位面板上，连接 B0->B5，R0->R5。

7.5.2.1.1.4 信号端接

为 VOUT0_PCLK (像素时钟输出) 提供连接串联电阻 (0Ω ，靠近处理器) 的配置。如果空间不受限制，建议为所有其他控制和数据引脚添加串联电阻 (0Ω)。

7.5.2.1.1.5 电源轨的电容器

验证是否为 VDDSHV3 (双电压 IO) 电源轨和连接器件提供了大容量电容器和去耦电容器。

如果没有可用的建议，请遵循器件特定 SK 实现。

7.5.2.1.2 AM620-Q1

不支持。

7.5.2.2 开放式 LVDS 显示接口 (OLDI)

有关支持的显示分辨率，请参阅器件特定数据表。

7.5.2.2.1 AM625/AM623/AM625SIP/AM625-Q1 和 AM62P/AM62P-Q1

7.5.2.2.1.1 使用 OLDIO

7.5.2.2.1.1.1 IO 电源

处理器 OLDI 接口由 VDDA_1P8_OLDIO (OLDIO 1.8V 模拟电源轨) 供电。

7.5.2.2.1.1.2 OLDI (连接器件) 复位

建议使用双输入与门逻辑来实现器件复位。与门的一个输入连接到处理器通用输入/输出 (GPIO) 引脚。与门输入提供上拉电阻和 0 Ω 配置，以隔离 GPIO 用于测试或调试。与门的另一个输入是主域热复位状态输出 (RESETSTATz) 信号。

如果不使用“与运算”逻辑且使用处理器主域热复位状态输出 (RESETSTATz) 来复位连接器件，请确保连接器件的 IO 电压电平与 RESETSTATz IO 电压电平匹配。建议使用电平转换器来匹配 IO 电压电平。

7.5.2.2.1.1.3 OLDI 接口兼容性

要验证电压电平兼容性，请参阅器件特定数据表的 *OLDI LVDS (OLDI) 电气特性* 一节。

7.5.2.2.1.1.4 电源轨的电容器

验证是否为 VDDA_1P8_OLDIO 电源轨提供了所需的大容量电容器和去耦电容器。

如果没有可用的建议，请遵循器件特定 SK 实现。

7.5.2.2.1.2 不使用 OLDIO

不使用时，OLDIO 对接口信号有特定的连接要求。关于接口信号的连接，请参阅器件特定数据表的 *引脚连接要求* 一节。

建议使用有效的 1.8V 电源为 OLDIO 1.8V 模拟电源轨 (VDDA_1P8_OLDIO) 供电。铁氧体和大容量电容器是可选项。

7.5.2.2.1.3 其他信息

建议将这些信号作为从处理器到连接器 (显示) 的点对点接口进行连接。确保没有残桩。

确保任何电路板级实现都符合 *IEEE1596.3* 标准和 *ANSI/TIA/EIA644-A* 标准 (低电压差分信号 (LVDS) 接口 电路的电气特性) 的物理层定义。

7.5.2.2.2 AM620-Q1 和 AM62A7/AM62A3

不支持。

7.5.2.3 显示串行接口 (DSI)

有关支持的显示分辨率，请参阅器件特定数据表。

7.5.2.3.1 AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1 和 AM62A7/AM62A3

不支持

7.5.2.3.2 AM62P/AM62P-Q1

7.5.2.3.2.1 使用 DSITX0

处理器 DSITX0 接口由 CSIRX0 和 DSITX0 内核电源 (VDDA_CORE_CSI_DSI 和 VDDA_CORE_DSI_CLK) 以及 CSIRX0 和 DSITX0 1.8V 模拟电源 VDDA_1P8_CSI_DSI 供电。

在 DSI0_TXRCALIB (靠近处理器) 和 VSS 之间连接一个电阻器。有关建议电阻值和容差, 请参阅器件特定数据表。

7.5.2.3.2.2 不使用 DSITX0

不使用时, DSITX0 对接口信号和电源有特定的连接要求。

有关连接接口信号、电源 (内核和模拟) 的信息, 请参阅器件特定数据表的 *引脚连接要求* 一节。

使用边界扫描功能时, CSIRX0 和 DSITX0 电源 (VDDA_CORE_CSI_DSI、VDDA_CORE_DSI_CLK 和 VDDA_1P8_CSI_DSI) 需要连接到推荐的电源轨。建议在电源引脚上使用去耦电容器。大容量电容器和铁氧体是可选项。

当不使用边界扫描功能和 CSIRX0 时, 建议通过单独的 $0\ \Omega$ 电阻将 CSIRX0 和 DSITX0 电源 (VDDA_CORE_CSI_DSI、VDDA_CORE_DSI_CLK 和 VDDA_1P8_CSI_DSI) 连接到 VSS。不建议组装去耦电容器、大容量电容器和铁氧体。

7.5.3 通用输入/输出 (GPIO)

7.5.3.1 GPIO 上提供 CLKOUT

默认情况下, AM62x 系列处理器的 WKUP_CLKOUT0 上提供缓冲的 MCU_OSC0_XO。对于 AM62Ax 和 AM62Px 系列处理器, MCU_OSC0_XO 可配置为 WKUP_CLKOUT0。

7.5.3.2 连接和外部缓冲

建议添加串联电阻 (值待定, 取决于用例) 以限制电流。当需要更高 (高于数据表规定值) 的电流源时, 建议从外部缓冲 GPIO 输出。

7.5.3.3 其他信息

除非另有说明, 否则未使用的接口上的引脚或焊盘通常可以保留为无连接状态。许多 IO 都有一个 *焊盘配置寄存器* 可用于控制 IO 的输入功能 (每个 `conf_<module>_<pin>` 寄存器中的 `RXENABLE` 字段)。更多详细信息, 请参阅器件特定 TRM 的 *控制模块* 一章。在初始化期间, 软件可尽快禁用设计中未连接的 IO 接收缓冲器 (即 `RXENABLE=0`)。当相关引脚悬空时, 需要确保软件不会意外启用 IO 接收器 (通过设置 `RXENABLE` 位)。

备注

如需了解配置某些未使用的引脚的具体指导信息, 请参阅器件特定数据表的 *引脚连接要求* 一节。

备注

如需了解有关配置 IO 的具体指导信息, 请参阅器件特定 TRM 的 *焊盘配置寄存器* 一章。

7.5.4 板载硬件诊断

7.5.4.1 使用处理器监测板载电源电压

电压监控引脚可用于监控外部电源轨。VMON_1P8_SOC 和 VMON_3P3_SOC 可以直接连接至 1.8V 或 3.3V。VMON_VSYS 通过外部分压器进行连接, 可灵活监控任何电源轨。

7.5.4.1.1 使用电压监测引脚

建议通过一个外部电阻分压器 ($0.45V \pm 3\%$) 将为电路板供电的主电压 (如 3.3V、5V 或其他电压电平) 连接到 VMON_VSYS 引脚, 以提供早期电源故障指示。建议在电阻分压器输出端实现噪声滤波器 (电容器), 因为 VMON_VSYS 具有最小迟滞和对瞬态的高带宽响应, 如器件特定数据表的 *系统电源监视器设计指南* 一节所述。

将 VMON_1P8_SOC 和 VMON_3P3_SOC 引脚直接连接到各自的电源。有关允许的电源电压范围，请参阅器件特定数据表的 *建议运行条件* 部分。

备注

对于 VMON_VSYS，当遵循器件特定数据表的 *系统电源监测设计指南* 一节中的建议时，失效防护条件有效。

对于 VMON_1P8_SOC 和 VMON_3P3_SOC 引脚，当连接的电源电压在器件特定数据表的 *建议运行条件* 或 *绝对最大额定值* 范围内时，失效防护条件有效。

7.5.4.1.2 不使用电压监测引脚

建议使用 VMON_VSYS 进行早期电源故障指示。不使用时，请通过单独的 0Ω 电阻将 VMON_VSYS 和 VMON_3P3_SOC 引脚连接到 VSS，并添加用于未来扩展的测试点。

建议将 VMON_1P8_SOC 引脚连接到各自的电源。将此引脚接地会使内部 1.8V 电源短路，不允许这样做。

7.5.4.2 内部温度监测

温度监测器（传感器）放置在处理器的预期热点附近。您可以在 Linux 中读取片上温度传感器并执行热管理。请参阅 [E2E 主题](#)。

处理器上的电压和热管理器 (VTM) 模块通过提供对片上温度传感器的控制来支持处理器的电压和热管理。

该处理器支持 WKUP 域中的单个 VTM 模块，即 VTM0。VTM0 有两个关联的温度监测器：Temp_Sensor_Main_0 和 Temp_Sensor_Main_1，每个监测器都位于处理器裸片中的热点附近。

对于 VTM 模块的温度测量精度，TI 不提供任何规格或保证。为了便于指示，我们提供了 $\pm 7^{\circ}\text{C}$ 的精度，并且执行了内部表征以确认测量值处于指定范围内。

7.5.4.3 错误信号输出 (MCU_ERRORn) 的连接

建议根据器件特定数据表的 *引脚连接要求* 一节连接 MCU_ERRORn 信号以进行测试，或将该信号用于其他板级功能。

7.5.4.4 高频振荡器 (MCU_OSC0) 时钟丢失检测

该处理器支持通过 HFOSC0 时钟丢失检测电路来检测 HFOSC0_CLK 故障（停止）情况。专用硬件逻辑使用 CLK_12M_RC 时钟来监测 HFOSC0 时钟。当 HFOSC0_CLK 停止切换的时长达到 9 个 CLK_12M_RC 时钟周期时，会检测到 HFOSC0 时钟停止丢失情况。如果设置了 CTRLMMR_MCU_PLL_CLKSEL [8] CLKLOSS_SWCH_EN，则参考时钟将从 HFOSC0_CLKOUT 切换到 CLK_12M_RC，允许该处理器以较慢的时钟运行。

在时钟丢失情况下，该处理器通过 MCU_ERRORn 引脚（将该引脚驱动为低电平）向外部器件报告错误。恢复机制取决于外部器件（例如由 PMIC 执行操作）。

例如，执行完整的电路板下电上电循环以查看电路板是否恢复。如果电路板未恢复，则该处理器必须指示用户采取替代措施或执行板级测试，例如检查板级系统时钟、外部晶体或电源轨。

7.6 验证电路板级设计问题

7.6.1 使用 Pinmux 工具的处理器引脚配置

建议使用 TI [SysConfig-PinMux](#) 工具验证所有处理器外设和 IO 配置，以确保配置了有效的 IOSET。

有关更多信息，请参阅 SysConfig-PinMux 工具提供的 PinmuxConfigSummary.csv 文件。

7.6.2 原理图配置

验证为替代功能或测试提供的所有电路选项（这些选项不是电路板正常运行所必需的或可能影响定制电路板性能）是否标记为 DNI。

7.6.3 将电源轨连接到上拉电阻

将信号上拉电阻连接到错误的 IO 电源轨可能会导致处理器 IO 电源轨之间发生泄漏，影响定制电路板性能/处理器可靠性。每个信号都有一个相关的 IO 电源轨（例如：VDDSHVx [x=0..6]）。有关更多信息，请参阅器件特定数据表中的 *引脚属性* 表。

例如，如果需要在任何多路复用模式（EHRPWM1_A、GPIO1_17 等）下上拉 SPI0_CLK 信号，请将所连接的信号电源轨上拉至 VDDSHV0。

7.6.4 外设（子系统）时钟输出

对于任何具有时钟输出的处理器外设，请配置相应 CTRLMMR_MCU_PADCONFIGx/CTRLMMR_PADCONFIGy 寄存器的 RXACTIVE 位。该位配置是时钟输出正常工作的必需条件。

7.6.5 一般调试

7.6.5.1 电路板启动、测试或调试的时钟输出

处理器上提供以下时钟输出，仅用于测试和调试。

- OBSCLK0、MCU_OBSCLK0（推荐）：观察时钟输出
OBSCLK0、MCU_OBSCLK0 是观察时钟输出，仅用于测试和调试目的。OBSCLK 引脚可用于选择多个不同时钟之一作为输出。我们不希望将该信号用作任何外部器件的时钟源。如数据表中所述，该信号仅用于测试和调试目的。
- SYSCLKOUT0（可选）：SYSCLK0 进行 4 分频，然后作为 LVCMOS 时钟信号 (SYSCLKOUT0) 从处理器发出
- MCU_SYSCLKOUT0（可选）：MCU_SYSCLK0 进行 4 分频，然后作为 LVCMOS 时钟信号 (MCU_SYSCLKOUT0) 从处理器发出

如果未使用指定为 OBSCLK0（在 AM62x 中的两个引脚上可用）、OBSCLK0..1（在 AM62Ax 和 AM62Px 中）、MCU_OBSCLK0、SYSCLKOUT0、MCU_SYSCLKOUT0 的处理器引脚，则提供一个测试点用于测试或调试。建议在这些焊盘上添加拉电阻。

如果使用了这些引脚，可在布线上插入一个测试点，并可提供用于将这些信号与连接器件进行隔离的配置，从而进行测试或调试。

系统时钟输出引脚（MCU_SYSCLKOUT0 和 SYSCLKOUT0）通过硬接线连接到专用时钟资源。

7.6.5.2 其他信息

建议为 MCU_RESETSTATz、RESETSTATz 和 PORz_OUT 提供测试点，以便在不使用时进行测试或调试。

对于具有警报输出、未使用过流指示输出或 PG（电源正常）输出的其他板载器件（直流/直流转换器、LDO 或传感器），提供上拉和测试点用于测试或后续增强。

8 布局注释（已添加到原理图中）

建议为处理器外设添加必要的设计注释（例如：USB2.0 接口、以太网接口、摄像头接口、显示 (OLDI0) 接口 (AM625/AM623/AM625SIP/AM625-Q1/AM62P/AM62P-Q1)、显示 (DSITX0) 接口 (AM62P/AM62P-Q1)、eMMC、SD 以及其他可用的处理器外设）。添加的注释可能包括电路板引导模式配置、串联和并联电阻的放置、去耦和大容量电容器的放置。

考虑将所需或适用的设计说明添加到处理器连接的器件和板载器件。这有助于理解实现原理。

标记所有差分信号和关键信号并指定目标阻抗（根据需要）。请参阅以下示例：

- 有关 LPDDR4 时钟、地址和控制信号的建议目标阻抗，请参阅 *AM62Ax/AM62Px DDR 电路板设计和布局布线指南*。
- USB2.0 数据线的差分阻抗必须在 90 Ω 标称值的额定容差范围内。
- CSI-Rx、DSITX 和 OLDI 信号的差分阻抗必须在 100 Ω 标称值的额定容差范围内。

9 定制电路板设计仿真

存储器 (DDR4/LPDDR4) 的基线驱动阻抗和 ODT 设置源自对 SK 执行的信号完整性 (SI) 仿真。

由于配置值可能不同，建议对定制设计进行仿真。

要了解高速 LPDDR4 接口的基本系统级电路板提取、仿真和分析方法，请参阅 [AM62Ax/AM62Px LPDDR4 电路板和布局布线指南](#) 应用手册的 [LPDDR4 电路板设计仿真](#) 一章。

使用 SysConfig 上的 [DDR 寄存器配置工具](#) 可调节驱动强度。

有关更多信息，请参阅 [\[常见问题解答\] AM62A7 或 AM62A3 定制电路板硬件设计 - 处理器 DDR 子系统和器件寄存器配置](#)。这是通用常见问题解答，也可用于 AM625/AM623/AM625-Q1/AM620-Q1 和 AM62P/AM62P-Q1 系列处理器。

10 其他参考内容

其他参考资料包括处理器的常见问题解答和 [硬件设计指南](#)。连接器件 (包括 PMIC 和 EPHY) 的原理图。

10.1 有关 AM6xx 处理器系列的常见问题解答

以下常见问题解答总结了定制电路板设计期间可以参考的关键配套资料：

[\[常见问题解答\] AM64x、AM62x、AM62Ax、AM62Px 定制电路板硬件设计 - 原理图设计和原理图审阅期间用于参考的配套资料](#)

备注

在查看 SK PDF 原理图时，查找常见问题解答链接，点击这些链接了解更多信息。

10.2 常见问题解答 - 处理器产品系列

我们根据客户互动、咨询和学习，创建了常见问题解答，以便在电路板设计期间为客户提供支持。请参阅下面已创建的常见问题解答列表。客户可在定制电路板设计期间参考该列表以及其他可用设计配套资料 (包括 [硬件设计指南](#) 和 [原理图设计和审阅检查清单](#))。

[\[常见问题解答\] AM625、AM623、AM625SIP、AM625-Q1、AM620-Q1 定制电路板硬件设计 - 与处理器配套资料、功能、外设、接口和入门套件相关的常见问题解答](#)

[\[常见问题解答\] AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1 定制电路板硬件设计 - 与处理器配套资料、功能、外设、接口和入门套件相关的常见问题解答](#)

[\[常见问题解答\] AM62P、AM62P-Q1 定制电路板硬件设计 - 与处理器配套资料、功能、外设、接口和入门套件相关的常见问题解答](#)

请参阅下面的常见问题解答，其中列出了所有可用的常见问题解答，包括与软件相关的常见问题解答：

[\[常见问题解答\] AM62x、AM62Ax 和 AM62P 常见问题解答列表](#)

10.3 处理器连接器件

[TPS65219 原理图、布局检查清单](#)

[TPS65931211-Q1 适用于 AM62A 的 PMIC 用户指南](#)

[以太网 PHY PCB 设计布局检查清单](#)

11 总结

此 [原理图设计和审阅检查清单](#) 可用作原理图设计和审阅过程中的使用指南。本文档中提供的建议有助于简化设计、减少错误、缩短调试时间，并可能更大程度地减少日后重新设计电路板的工作。

12 参考资料

12.1 AM625/AM623/AM625SIP/AM625-Q1/AM620-Q1

- 德州仪器 (TI) : [AM62x Sitara™ 处理器数据表](#)
- 德州仪器 (TI) : [AM625SIP - 具有集成 LPDDR4 SDRAM 的 AM6254 Sitara™ 处理器](#)
- 德州仪器 (TI) : [AM62x Sitara 处理器技术参考手册](#)
- 德州仪器 (TI) : [AM62x 器件勘误表](#)
- 德州仪器 (TI) : [AM62x 系列处理器硬件设计指南](#)
- 德州仪器 (TI) : [入门套件 SK-AM62B-P1](#)
- 德州仪器 (TI) : [入门套件 SK-AM62-LP](#)
- 德州仪器 (TI) : [入门套件 SK-AM62-SIP](#)
- 德州仪器 (TI) : [AM62x 功耗](#)
- 德州仪器 (TI) : [AM62x 最大电流额定值](#)
- 德州仪器 (TI) : [AM62x 功耗估算工具](#)
- 德州仪器 (TI) : [使用 TPS65219 PMIC 为 AM62x 供电](#)
- 德州仪器 (TI) : [使用 TPS65219 PMIC 为 AM625SIP 供电](#)
- 德州仪器 (TI) : [AM62x 的分立式电源解决方案](#)
- 德州仪器 (TI) : [AM625/AM623 \(ALW\) PCB 设计迂回布线](#)
- 德州仪器 (TI) : [AM625-Q1/AM620-Q1 \(AMC\) PCB 设计迂回布线](#)
- 德州仪器 (TI) : [AM625SIP \(AMK\) PCB 设计迂回布线](#)
- 德州仪器 (TI) : [AM625/AM623/AM625-Q1/AM620-Q1 DDR 电路板设计和布局布线指南](#)
- 德州仪器 (TI) : [PRU-ICSS 特性比较](#)
- 德州仪器 (TI) : [AM625SIP 处理器如何通过集成 LPDDR4 加快开发](#)

12.2 AM62A7/AM62A3/AM62A7-Q1/AM62A3-Q1

- 德州仪器 (TI) : [AM62Ax Sitara™ 处理器数据表](#)
- 德州仪器 (TI) : [AM62Ax Sitara 处理器技术参考手册](#)
- 德州仪器 (TI) : [AM62Ax 器件勘误表](#)
- 德州仪器 (TI) : [入门套件 SK-AM62A-LP](#)
- 德州仪器 (TI) : [AM62A7/AM62A3 系列处理器硬件设计指南](#)
- 德州仪器 (TI) : [AM62Ax 最大电流额定值](#)
- 德州仪器 (TI) : [AM62Ax 功耗估算工具](#)
- 德州仪器 (TI) : [适用于 AM62Ax 的 PMIC 解决方案](#)
- 德州仪器 (TI) : [AM62Ax PCB 设计迂回布线](#)
- 德州仪器 (TI) : [AM62Ax/AM62Px LPDDR4 电路板设计和布局布线指南](#)

12.3 AM62P/AM62P-Q1

- 德州仪器 (TI) : [AM62Px Sitara™ 处理器数据表](#)
- 德州仪器 (TI) : [AM62Px Sitara 处理器技术参考手册](#)
- 德州仪器 (TI) : [AM62Px 器件勘误表](#)
- 德州仪器 (TI) : [入门套件 SK-AM62P-LP](#)
- 德州仪器 (TI) : [AM62P/AM62P-Q1 系列处理器硬件设计指南](#)
- 德州仪器 (TI) : [AM62Px PCB 设计迂回布线](#)
- 德州仪器 (TI) : [AM62Ax/AM62Px LPDDR4 电路板设计和布局布线指南](#)

12.4 所有处理器系列通用

- 德州仪器 (TI) : [Sitara 处理器配电网络：实施与分析](#)
- 德州仪器 (TI) : [高速接口布局布线指南](#)
- 德州仪器 (TI) : [高速布局指南](#)
- 德州仪器 (TI) : [Jacinto 7 高速接口布局指南](#)
- 德州仪器 (TI) : [DSP 和 Arm 应用处理器热设计指南](#)
- 德州仪器 (TI) : [仿真和跟踪头技术参考手册](#)
- 德州仪器 (TI) : [XDS 目标连接指南](#)

- [IEEE1596.3](#)
- [ANSI/TIA/EIA644-A 标准 \(低压差分信号 \(LVDS\) 接口电路的电气特性 \)](#)
- 德州仪器 (TI) : [通用硬件设计/BGA PCB 设计/BGA 去耦](#)
- 德州仪器 (TI) : [MSL 等级和回流曲线](#)
- 德州仪器 (TI) : [湿敏等级搜索](#)
- 德州仪器 (TI) : [KeyStone 器件时钟设计指南](#)
- 德州仪器 (TI) : [KeyStone II 器件硬件设计指南](#)
- 德州仪器 (TI) : [TIDA-01413 - ADAS 8 通道传感器融合集线器参考设计](#)
- 德州仪器 (TI) : [Jacinto™ 7 DDRSS 寄存器配置工具](#)
- 德州仪器 (TI) : [使用 IBIS 模型进行时序分析](#)

12.5 可用常见问题解答主列表 - 按处理器系列

提供了常见问题解答主列表，可用于快速查看所选处理器或处理器系列的可用常见问题解答列表。

[\[常见问题解答\] AM625、AM623、AM625SIP、AM625-Q1、AM620-Q1 定制电路板硬件设计 - 与处理器配套资料、功能、外设、接口和入门套件相关的常见问题解答](#)

[\[常见问题解答\] AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1 定制电路板硬件设计 - 与处理器配套资料、功能、外设、接口和入门套件相关的常见问题解答](#)

[\[常见问题解答\] AM62P、AM62P-Q1 定制电路板硬件设计 - 与处理器配套资料、功能、外设、接口和入门套件相关的常见问题解答](#)

12.6 常见问题解答，包括软件相关的常见问题解答

[\[常见问题解答\] AM62x、AM62Ax 和 AM62P 常见问题解答列表](#)

12.7 有关连接器件的常见问题解答

[\[常见问题解答\] TPS65219：为 Sitara AM62x MPU 供电的 PMIC 与分立式解决方案的优势](#)

[\[常见问题解答\] DP83869-EP：以太网合规性测试失败](#)

13 术语

BOM - 物料清单

CAN - 控制器局域网

CPPI - 通信端口编程接口

CPSW3G - 通用平台 3 端口千兆位以太网交换机

CSIRX - 相机流媒体接口接收器

DFU - 器件固件升级

DNI - 不要安装

DPI - 显示并行接口

DRD - 双角色设备

DSI - 显示串行接口

E2E - 工程师对工程师

ECC - 纠错码

EMC - 电磁兼容性

EMI - 电磁干扰

eMMC - 嵌入式多媒体卡

EMU - 仿真控制

EOS - 电过应力

ESD - 静电放电

ESL - 有效串联电感

ESR - 有效串联电阻

FAQ - 常见问题解答

FET - 场效应晶体管

GEMAC - 千兆位以太网介质访问控制器

GPIO - 通用输入/输出

GPMC - 通用存储器控制器

HS-RTDX - 高速实时数据交换

I2C - 内部集成电路

IBIS - 输入/输出缓冲器信息规范

IEP - 工业以太网外设

JTAG - 联合测试行动组

LDO - 低压降

LVC MOS - 低压互补金属氧化物半导体

LVDS - 低电压差分信号

MAC - 介质访问控制器

MCASP - 多通道音频串行端口

MCSPi - 多通道串行外设接口

MCU - 微控制器单元

MDI - 介质相关接口

MDIO - 管理数据输入/输出

MMC - 多媒体卡

MMCSd - 多媒体卡/安全数字

ODT - 片上终端

OLDI - 开放式 LVDS 显示接口

OSPI - 八线串行外设接口

PCB - 印刷电路板

PDN - 配电网络

PET - 功耗估算工具

PMIC - 电源管理集成电路

POR - 上电复位

PRUSS - 可编程实时单元子系统

QSPI - 四线串行外设接口
RGMII - 简化千兆位媒体独立接口
RMII - 简化媒体独立接口
ROC - 建议运行条件
SD - 安全数字
SDIO - 安全数字输入输出
SPI - 串行外设接口
TCK - 测试时钟输入
TDI - 测试数据输入
TDO - 测试数据输出
TEN - 测试使能
TMS - 测试模式选择输入
TRM - 技术参考手册
TRSTn - 复位
UART - 通用异步接收器/发送器
USB - 通用串行总线
WKUP - 唤醒
XDS - 扩展开发系统

14 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from JANUARY 1, 2024 to FEBRUARY 29, 2024 (from Revision D (January 2024) to Revision E (February 2024))		Page
• 更新了节 1.3.1		3
• 更新了节 4.1		5
• 更新了节 4.1.1.1		5
• 更新了节 5.1		7
• 更新了节 5.2.1.6		8
• 更新了节 5.2.2		8
• 添加了节 5.2.2.1		8
• 添加了节 5.2.2.2		8
• 更新了节 6.1.1.1		10
• 更新了节 6.1.1.1.1		11
• 更新了节 6.1.1.1.2		11
• 更新了节 6.1.1.1.3		11
• 更新了节 6.1.1.2.1		11
• 更新了节 6.1.1.2.2		12
• 更新了节 6.1.1.2.3		12
• 更新了节 6.1.1.4.2		13
• 添加了节 6.1.1.4.3		13
• 更新了节 6.1.3.1.1		14
• 更新了节 6.1.3.1.2		14

• 更新了节 6.1.4.1	15
• 更新了节 6.1.4.2	15
• 更新了节 6.1.5	15
• 更新了节 7.1.1	17
• 更新了节 7.1.2	17
• 更新了节 7.2.1.2.3.3	20
• 更新了节 7.2.2.1	20
• 更新了节 7.2.2.1.1.3	21
• 更新了节 7.2.2.1.2.1.3	21
• 添加了节 7.2.2.1.3	22
• 更新了节 7.2.3	23
• 更新了节 7.3.1	25
• 更新了节 7.3.2.1	27
• 更新了节 7.4.2	30
• 更新了节 7.5.1.1	31
• 更新了节 7.5.2.3.2.1	33
• 更新了节 8	35
• 添加了节 10.1	36
• 更新了节 12.1	37
• 更新了节 12.4	37
• 更新了节 12.5	38
• 添加了节 12.6	38

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司