

# Application Note

## AM273x 硬件设计指南



Mike Pridgen

### 摘要

本应用手册旨在为硬件设计人员提供指南，帮助他们基于 AM273x 系列 MCU 器件创建 PCB 系统。本文档将 AM273x 评估模块 (EVM) TMS273GPEVM 的器件特定原理图和 PCB 布局建议及示例与 [AM273x Sitara™ 微控制器数据表](#)、[AM273x Sitara™ 微控制器技术参考手册](#) 以及其他配套文档和工具结合使用，如节 12 所示。

本应用手册中讨论的工程配套资料和源代码可通过以下链接下载：<https://www.ti.com/cn/lit/zip/sprad61>。

### 内容

|                               |    |
|-------------------------------|----|
| <b>1 引言</b> .....             | 4  |
| 1.1 首字母缩写词.....               | 5  |
| <b>2 电源</b> .....             | 5  |
| 2.1 分立式直流/直流电源解决方案.....       | 5  |
| 2.2 集成的 PMIC 电源解决方案.....      | 5  |
| 2.3 电源去耦和滤波.....              | 6  |
| 2.4 功耗.....                   | 8  |
| <b>3 计时</b> .....             | 9  |
| 3.1 晶体和振荡器输入选项.....           | 9  |
| 3.2 输出时钟生成.....               | 10 |
| 3.3 晶体选择和并联电容.....            | 10 |
| 3.4 晶体放置和布线.....              | 10 |
| <b>4 复位</b> .....             | 11 |
| <b>5 自举</b> .....             | 11 |
| 5.1 SOP 信号实现.....             | 11 |
| 5.2 QSPI 存储器控制器实现.....        | 12 |
| 5.3 ROM QSPI 引导要求.....        | 14 |
| <b>6 JTAG 仿真器和跟踪</b> .....    | 14 |
| <b>7 多路复用外设</b> .....         | 15 |
| <b>8 数字外设</b> .....           | 15 |
| 8.1 通用数字外设布线指南.....           | 15 |
| <b>9 层堆叠</b> .....            | 16 |
| 9.1 TMS273GPEVM 层堆叠.....      | 16 |
| 9.2 四层 ZCE 示例层堆叠.....         | 17 |
| 9.3 四层 NZN 示例层堆叠.....         | 18 |
| <b>10 过孔</b> .....            | 19 |
| <b>11 BGA 电源扇出和去耦放置</b> ..... | 19 |
| 11.1 接地回路.....                | 19 |
| 11.2 1.2V 内核数字电源.....         | 23 |
| 11.3 3.3V 数字和模拟电源.....        | 28 |
| 11.4 1.8V 数字和模拟电源.....        | 35 |
| <b>12 参考文献</b> .....          | 40 |
| <b>13 修订历史记录</b> .....        | 41 |

### 插图清单

|   |   |
|---|---|
| 图 1-1. 典型的 AM273x 系统方框图 (基于 TMS273GPEVM 设计) ..... | 4 |
|---|---|

|   |    |
|---|----|
| 图 2-1. AM273x PMIC 示例解决方案.....  | 5  |
| 图 2-2. AM273x PMIC 3.3V 前置稳压器实施.....                                  | 6  |
| 图 2-3. AM273x PMIC 实施.....  | 6  |
| 图 2-4. AM273x GPEVM 摘录 - 1.2V 电源去耦示意图.....                            | 7  |
| 图 2-5. AM273x GPEVM 摘录 - 1.8V 数字 I/O 去耦示意图.....                       | 7  |
| 图 2-6. AM273x GPEVM 摘录 - 3.3 数字 I/O 去耦示意图.....                        | 8  |
| 图 2-7. AM273x GPEVM 摘录 - SRAM 去耦示意图.....                              | 8  |
| 图 2-8. AM273x GPEVM 摘录 - 附加的去耦示意图.....                                | 8  |
| 图 3-1. 摘自 AM273x GPEVM 原理图.....                                       | 9  |
| 图 3-2. 摘自 AM273x GPEVM 布局 - 晶体布局和接地环结构.....                           | 10 |
| 图 5-1. 摘自 AM273x GPEVM 原理图 - SOP[4:0] 功能和 SOP 路径.....                 | 12 |
| 图 5-2. 摘自 AM273x GPEVM 原理图 - AM273x QSPI 控制器和 GD25B64CWAG NOR 闪存..... | 13 |
| 图 5-3. AM273x QSPI - 布线规则图.....                                       | 13 |
| 图 6-1. MIPI-60 JTAG 和 16 位跟踪实施示例.....                                 | 15 |
| 图 9-1. AM273 GPEVM 层堆叠.....   | 16 |
| 图 9-2. AM273 ZCE 四层示例层堆叠.....   | 17 |
| 图 9-3. AM273 NZN 四层示例层堆叠.....   | 18 |
| 图 11-1. AM273 GPEVM 摘录 - AM273x BGA 第 1 层下的接地覆铜和过孔.....               | 20 |
| 图 11-2. AM273 GPEVM 摘录 - AM273x BGA 第 10 层下的接地覆铜和过孔.....              | 20 |
| 图 11-3. ZCE 4 层示例摘录 - AM273x BGA 第 1 层下的接地覆铜和过孔.....                  | 21 |
| 图 11-4. ZCE 4 层示例摘录 - AM273x BGA 第 4 层下的接地覆铜和过孔.....                  | 21 |
| 图 11-5. NZN 4 层示例摘录 - AM273x BGA 第 1 层下的接地覆铜和过孔.....                  | 22 |
| 图 11-6. NZN 4 层示例摘录 - AM273x BGA 第 4 层下的接地覆铜和过孔.....                  | 23 |
| 图 11-7. AM273 GPEVM 摘录 - 来自 PMIC、电源平面过孔和 BGA 过孔的 1.2V 内核电源输出.....     | 24 |
| 图 11-8. AM273 GPEVM 摘录 - 1.2V 内核电源平面和过孔进入 BGA.....                    | 25 |
| 图 11-9. AM273 GPEVM 摘录 - 1.2V 内核电源去耦安装, 第 10 层.....                   | 25 |
| 图 11-10. ZCE 4 层示例摘录 - 来自源和 BGA 过孔的 1.2V 内核电源输出.....                  | 26 |
| 图 11-11. ZCE 4 层示例摘录 - 1.2V 内核电源去耦安装, 第 4 层.....                      | 26 |
| 图 11-12. NZN 4 层示例摘录 - 来自源和 BGA 过孔的 1.2V 内核电源输出.....                  | 27 |
| 图 11-13. NZN 4 层示例摘录 - 1.2V 内核电源去耦安装, 第 4 层.....                      | 28 |
| 图 11-14. AM273 GPEVM 摘录 - 第 6 层上的 3.3V 数字和模拟电源平面.....                 | 29 |
| 图 11-15. AM273 GPEVM 摘录 - 3.3V 数字 I/O 和模拟 I/O BGA 引脚排列.....           | 30 |
| 图 11-16. AM273 GPEVM 摘录 - 3.3V 去耦.....                                | 31 |
| 图 11-17. ZCE 4 层示例摘录 - 第 2 层和第 3 层上的 3.3V 数字和模拟电源平面以及 BGA 过孔.....     | 32 |
| 图 11-18. ZCE 4 层示例摘录 - 3.3V 去耦.....                                   | 33 |
| 图 11-19. NZN 4 层示例摘录 - 第 2 层和第 3 层上的 3.3V 数字和模拟电源平面以及 BGA 过孔.....     | 34 |
| 图 11-20. NZN 4 层示例摘录 - 3.3V 去耦.....                                   | 35 |
| 图 11-21. AM273 GPEVM 摘录 - 1.8V 数字电源过孔扇出和平面布线第 6 层.....                | 36 |
| 图 11-22. AM273 GPEVM 摘录 - 1.8V 电源过孔扇出和平面布线第 6 层.....                  | 36 |
| 图 11-23. AM273 GPEVM 摘录 - 第 10 层上的 1.8V 电源去耦.....                     | 37 |
| 图 11-24. ZCE 4 层示例摘录 - 1.8V 电源过孔扇出和平面布线第 3 层.....                     | 37 |
| 图 11-25. ZCE 4 层示例摘录 - 第 4 层上的 1.8V 电源去耦.....                         | 38 |
| 图 11-26. NZN 4 层示例摘录 - 1.8V 电源过孔扇出和平面布线第 3 层.....                     | 39 |
| 图 11-27. NZN 4 层示例摘录 - 第 4 层上的 1.8V 电源去耦.....                         | 40 |

## 表格清单

|                                   |    |
|-----------------------------------|----|
| 表 1-1. 本文中使用的首字母缩写词.....          | 5  |
| 表 2-1. AM273x 建议的每电源网去耦.....      | 7  |
| 表 2-2. AM273x 估算峰值功耗.....         | 9  |
| 表 5-1. SOP 和功能模式信号映射.....         | 11 |
| 表 5-2. AM273x QSPI - 建议的布线规则..... | 13 |
| 表 5-3. 与 AM273x 兼容的 QSPI 器件.....  | 14 |
| 表 9-1. TMDS273GPEVM 层利用情况.....    | 17 |
| 表 9-2. ZCE 四层示例层利用情况.....         | 18 |
| 表 9-3. NZN 四层示例层利用情况.....         | 18 |
| 表 10-1. AM273x 硬件过孔类型.....        | 19 |

## 商标

所有商标均为其各自所有者的财产。

## 1 引言

AM273x 系列微控制器是基于 Arm Cortex-R5F 和 C66x 浮点 DSP 内核的高度集成、高性能微控制器。借助这款器件，原始设备制造商 (OEM) 和原始设计制造商 (ODM) 能够充分利用完全集成式混合处理器解决方案的灵活性，从而使兼具强大软件支持和丰富用户界面的高性能产品快速推向市场。图 1-1 中显示了基于 AM273x 的典型设计。此图摘自 AM273x EVM (TMDS273GPEVM) 系统方框图。如下所示，AM273x 器件为设计人员提供了范围广泛的数字连接、音频、雷达和模拟传感器反馈选项。

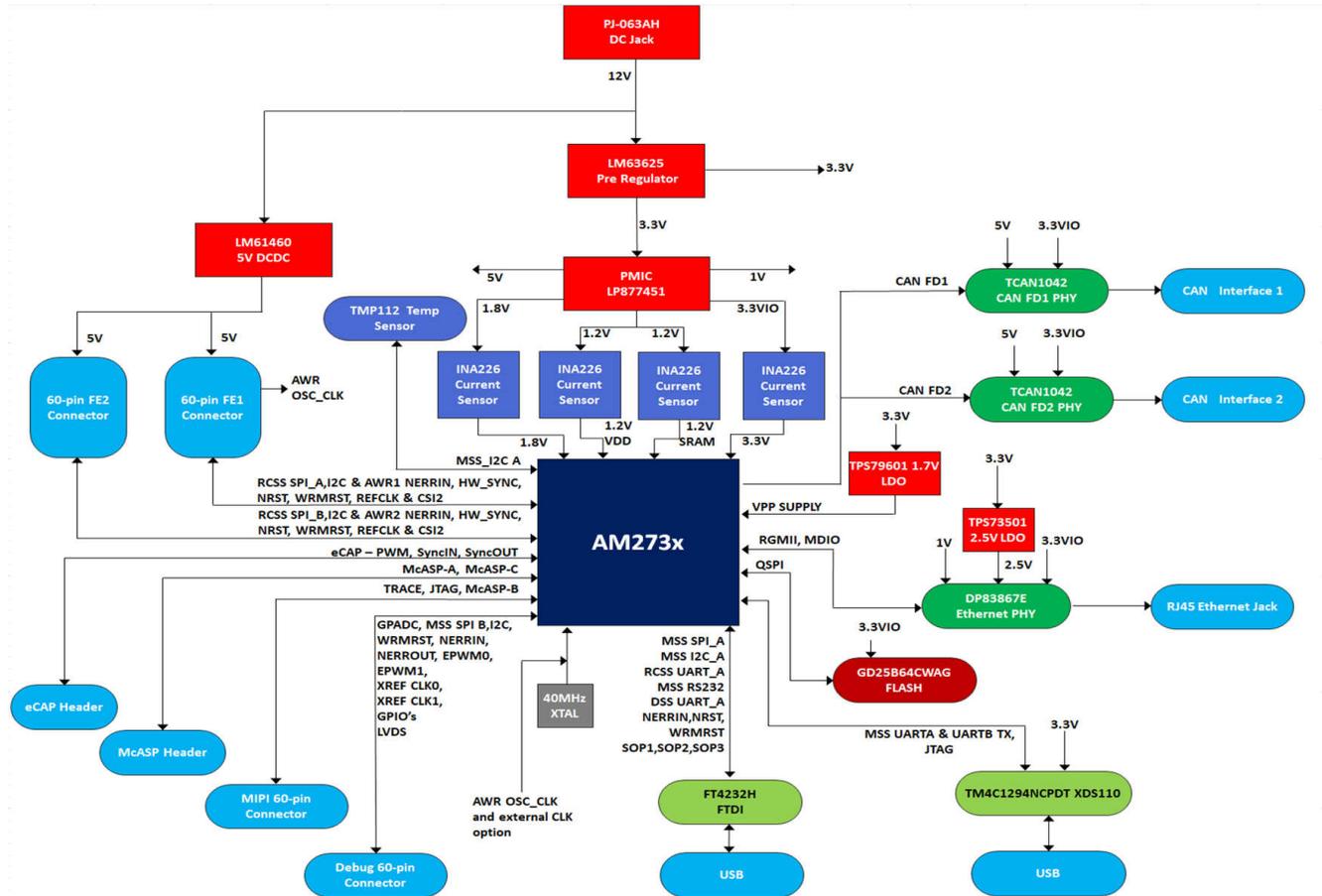


图 1-1. 典型的 AM273x 系统方框图 (基于 TMDS273GPEVM 设计)

为了使用 AM273x MCU 上提供的众多内核外设和引脚多路复用选项快速实现有效的系统，应参考本文档以及其他重要的 AM273x 配套资料。其中包括：

- [AM273x Sitara™ 微控制器数据表 \[11\]](#) 是所有器件引脚排列和引脚级多路复用选项的主要资源。
- 在启动新的 AM273x 引脚排列和利用驱动程序时，应使用 [SYSCONFIG \[44\]](#) 引脚多路复用规划工具。
- [AM273x Sitara™ 微控制器技术参考手册 \[22\]](#) 文档从概念、使用和编程模型的角度详细介绍了每个内核和外设子系统。
- [AM273x MCU-SDK \[7\]](#) 将数据表和技术参考手册与软件系统和外设使用示例结合在一起。

## 1.1 首字母缩写词

表 1-1. 本文档中使用的首字母缩写词

| 首字母缩写词 | 说明  |
|--------|---|
| EVM    | 硬件模块。参考 TI PCB 元件，例如 AM273x GP EVM (TMDS273GPEVM) |
| PDN    | 配电网络。为 AM273x MCU 电源引脚等负载提供稳压电源的有源和无源器件。          |
| EMI    | 电磁干扰  |
| PI     | 电源完整性   |
| SI     | 信号完整性   |
| 材料清单   | 物料清单  |

## 2 电源

### 2.1 分立式直流/直流电源解决方案

为支持分立式直流/直流电源解决方案，可以为 AM273x 所需的每个电源轨选择单独的电源转换器 IC。选择的电源转换器 IC 应确保每个 IC 都能够支持所生成的电源轨的电流需求。每个电源轨的电源正常信号应组合成单个 PG 信号，该信号连接到 AM273x 上的 nRESET 引脚。

### 2.2 集成的 PMIC 电源解决方案

AM273x GP EVM 集成了基于电源管理集成电路 (PMIC) 的电源解决方案，可用作某些系统的参考解决方案。该解决方案包含一个 LM63625 电压转换器前置稳压器和一个 LP877451 PMIC，用于生成 MCU 内核、SRAM、系统数字和模拟 I/O 电源。TPS73501 低压降 (LDO) 稳压器用于以太网 PHY。

PMIC 和直流/直流稳压器上提供的电源正常生成电路应组合成一条线路，用于驱动 AM273x 器件的复位 (nRESET)。

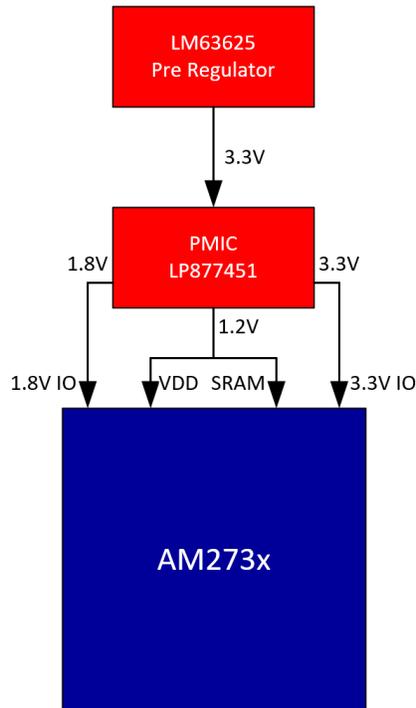


图 2-1. AM273x PMIC 示例解决方案

### 3V3 SUPPLY REFERENCE

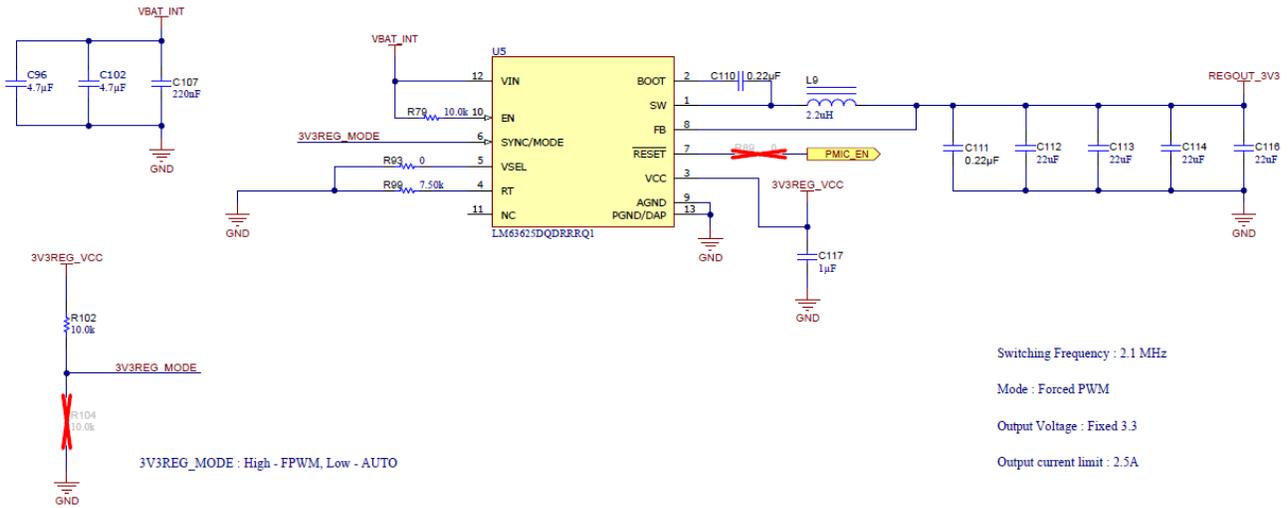


图 2-2. AM273x PMIC 3.3V 前置稳压器实施

### PMIC REFERENCE

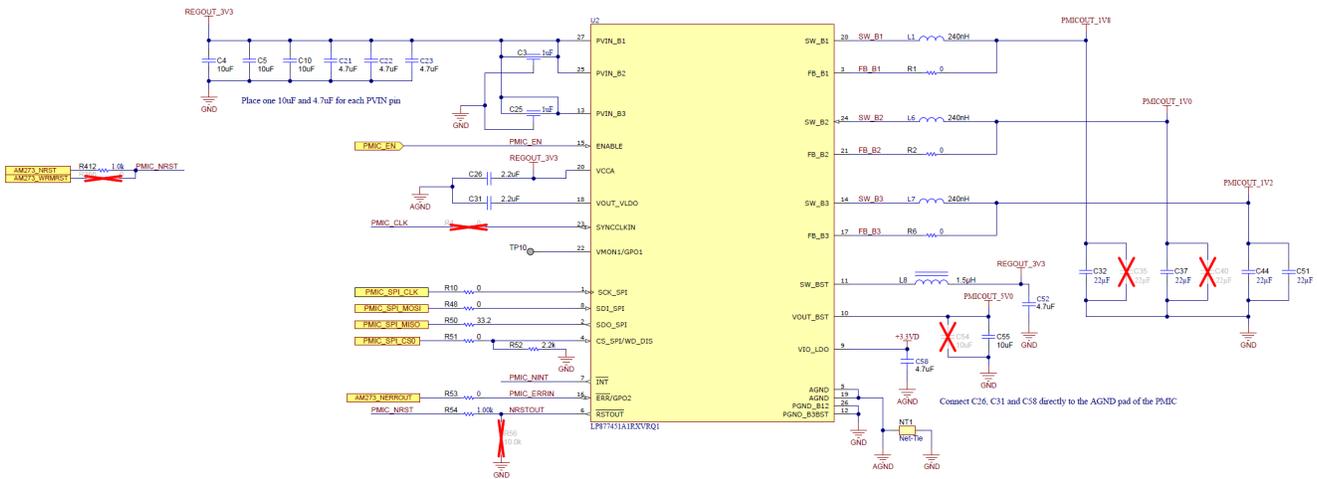


图 2-3. AM273x PMIC 实施

### 2.3 电源去耦和滤波

表 2-1 描述了 AM273x 所需的初始 BGA 去耦和电源滤波。这些特性基于 AM273 GPEVM PCB 和 AM273x 封装在上述瞬态用例中的初始仿真反馈。

以下各节以及 AM273x EVM 原理图和布局中介绍的去耦网络是任何 AM273x PCB 设计的合理起点。节 11 中提供了去耦网络的附加放置指导。但是，由于特定的 PCB 布线差异以及由此产生的平面电容和去耦安装电感以及其他寄生效应，强烈建议设计人员仿真和测量其特定的配电网络性能。理想情况下，仿真和测量应在目标应用软件处于活动状态和适用于系统的预期操作环境条件下进行。

表 2-1. AM273x 建议的每电源网去耦

| 器件电源          | 数量 | 备注   | 器件型号                 | 制造商         |
|---------------|----|--|----------------------|-------------|
| 1.2V VDD_CORE | 2  | 2.2 $\mu$ F, 6.3V, $\pm$ 10%, X7R, AEC-Q200 1 级, 0603  | GCM188R70J225KE22D   | Murata (村田) |
|               | 5  | 0.22 $\mu$ F, 16V, $\pm$ 10%, X7R, AEC-Q200 1 级, 0402  | GCM155R71C224KE02D   | Murata (村田) |
|               | 3  | 0.01 $\mu$ F, 50V, $\pm$ 10%, X7R, AEC-Q200 1 级, 0402  | CGA2B3X7R1H103K050BB | TDK         |
| 1.2V SRAM     | 1  | 0.22 $\mu$ F, 16V, $\pm$ 10%, X7R, AEC-Q200 1 级, 0402  | GCM155R71C224KE02D   | Murata (村田) |
|               | 2  | 0.1 $\mu$ F, 16V, $\pm$ 10%, X7R, 0402                 | GCM155R71C104KA55D   | Murata (村田) |
| 1.8V IO 电源    | 4  | 0.22 $\mu$ F, 16V, $\pm$ 10%, X7R, AEC-Q200 1 级, 0402  | GCM155R71C224KE02D   | Murata (村田) |
| 3.3V IO 电源    | 1  | 2.2 $\mu$ F, 6.3V, $\pm$ 10%, X7R, AEC-Q200 1 级, 0603  | GCM188R70J225KE22D   | Murata (村田) |
|               | 6  | 0.22 $\mu$ F, 16V, $\pm$ 10%, X7R, AEC-Q200 1 级, 0402  | GCM155R71C224KE02D   | Murata (村田) |
| 1.8V ADC 电源   | 1  | 0.22 $\mu$ F, 16V, $\pm$ 10%, X7R, AEC-Q200 1 级, 0402  | GCM155R71C224KE02D   | Murata (村田) |
| 1.8V 时钟电源     | 1  | 0.22 $\mu$ F, 16V, $\pm$ 10%, X7R, AEC-Q200 1 级, 0402  | GCM155R71C224KE02D   | Murata (村田) |
| 1.8V CSI 电源   | 1  | 0.22 $\mu$ F, 16V, $\pm$ 10%, X7R, AEC-Q200 1 级, 0402  | GCM155R71C224KE02D   | Murata (村田) |
| 1.8V LVDS 电源  | 1  | 0.22 $\mu$ F, 16V, $\pm$ 10%, X7R, AEC-Q200 1 级, 0402  | GCM155R71C224KE02D   | Murata (村田) |
| VNWA 电源       | 1  | 0.1 $\mu$ F, 16V, $\pm$ 10%, X7R, 0402                 | GCM155R71C104KA55D   | Murata (村田) |
| 带隙电源          | 1  | 0.047 $\mu$ F, 50V, $\pm$ 10%, X7R, AEC-Q200 1 级, 0402 | CGA2B3X7R1H473K050BB | TDK         |
| VPP 电源        | 1  | 0.1 $\mu$ F, 16V, $\pm$ 10%, X7R, 0402                 | GCM155R71C104KA55D   | Murata (村田) |

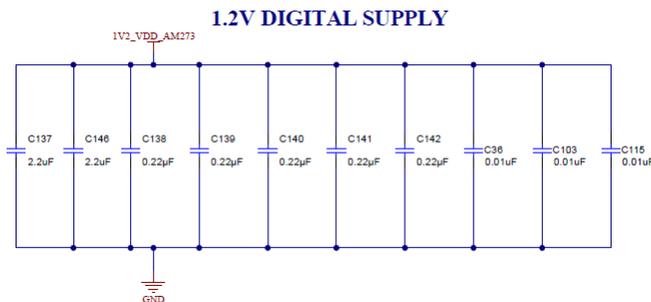


图 2-4. AM273x GPEVM 摘录 - 1.2V 电源去耦示意图

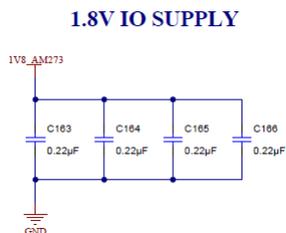


图 2-5. AM273x GPEVM 摘录 - 1.8V 数字 I/O 去耦示意图

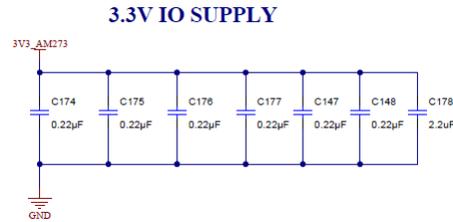


图 2-6. AM273x GPEVM 摘录 - 3.3 数字 I/O 去耦示意图

**SRAM SUPPLY**

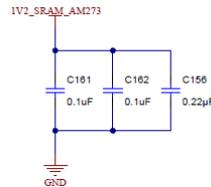
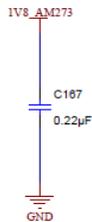
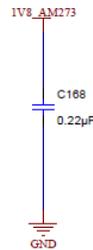


图 2-7. AM273x GPEVM 摘录 - SRAM 去耦示意图

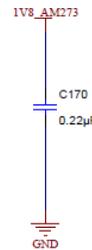
**1.8V ADC SUPPLY**



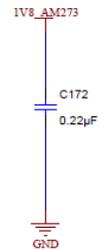
**1.8V CLOCK SUPPLY**



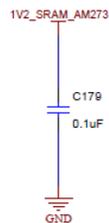
**1.8V CSI SUPPLY**



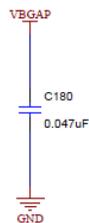
**1.8V LVDS SUPPLY**



**VNWA SUPPLY**



**BANDGAP SUPPLY**



**VPP SUPPLY**

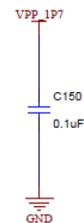


图 2-8. AM273x GPEVM 摘录 - 附加的去耦示意图

## 2.4 功耗

本节概述了 AM273x 在每个器件电源网基础上的最新功耗估算。这些值可能会随着执行更多功率建模和表征而变化。这些数据可用于调整峰值直流/直流转换功率裕度，对 PCB 布局进行 IR 压降分析，以及帮助进行热负载分析。

这些估算基于器件的初始功率仿真。有关最新的表征峰值功率数据，请参阅 [AM273x Sitara™ 微控制器数据表](#)。

此外，还为 AM273x MCU 提供了基于用例的功耗估算工具 (PET)。此工具可以帮助根据特定内核和外设利用率占空比进一步限制峰值功率。

表 2-2. AM273x 估算峰值功耗

| 器件电源         | V         | 平均功耗 (mW)  | 平均电流 (mA)  | 峰值电流 (mA)   | 说明                    |
|--------------|-----------|------------|------------|-------------|-----------------------|
| VDD          | 1.2       | 693        | 576        | 2315        | 1.2V 内核数字电源           |
| VDD_SRAM     | 1.2       | 3          | 3          | 75          | 1.2V SRAM 电源          |
| VIOIN        | 1.8 或 3.3 | 12         | 4          | 74          | 1.8V 或 3.3V 数字 I/O 电源 |
| VIOIN_18     | 1.8       | 0          | 0          | 1           | 1.8V 数字 I/O 电源        |
| VIOIN_18CLK  | 1.8       | 32         | 18         | 18          | 1.8V 时钟电源             |
| VIOIN_18ADC  | 1.8       | 3          | 2          | 2           | 1.8V ADC 电源           |
| VIOIN_18CSI  | 1.8       | 40         | 22         | 23          | 1.8V CSI 电源           |
| VIOIN_18LVDS | 1.8       | 125        | 69         | 70          | 1.8V LVDS 电源          |
| 器件峰值功率       |           | <b>908</b> | <b>694</b> | <b>2578</b> |                       |

### 3 计时

#### 3.1 晶体和振荡器输入选项

AM273x 主时钟接口 CLKM 和 CLKP ( ZCE 引脚 U1 和 V1 , NZN 引脚 N1 和 P2 ) 可以由所连接的晶体或单端振荡器输出提供电源。连接的晶体应该是工作频率为 40MHz 的基本模式晶体。如果从单端振荡器输出运行, CLKP 引脚应连接到振荡器, 而 CLKM 引脚必须接地。在振荡器输入模式下, CLKP 引脚可以连接到 1.8V 直流耦合方波或交流耦合正弦波振荡器。有关完整的晶体和振荡器输入要求, 请参阅 [AM273x Sitara™ 微控制器数据表](#)。

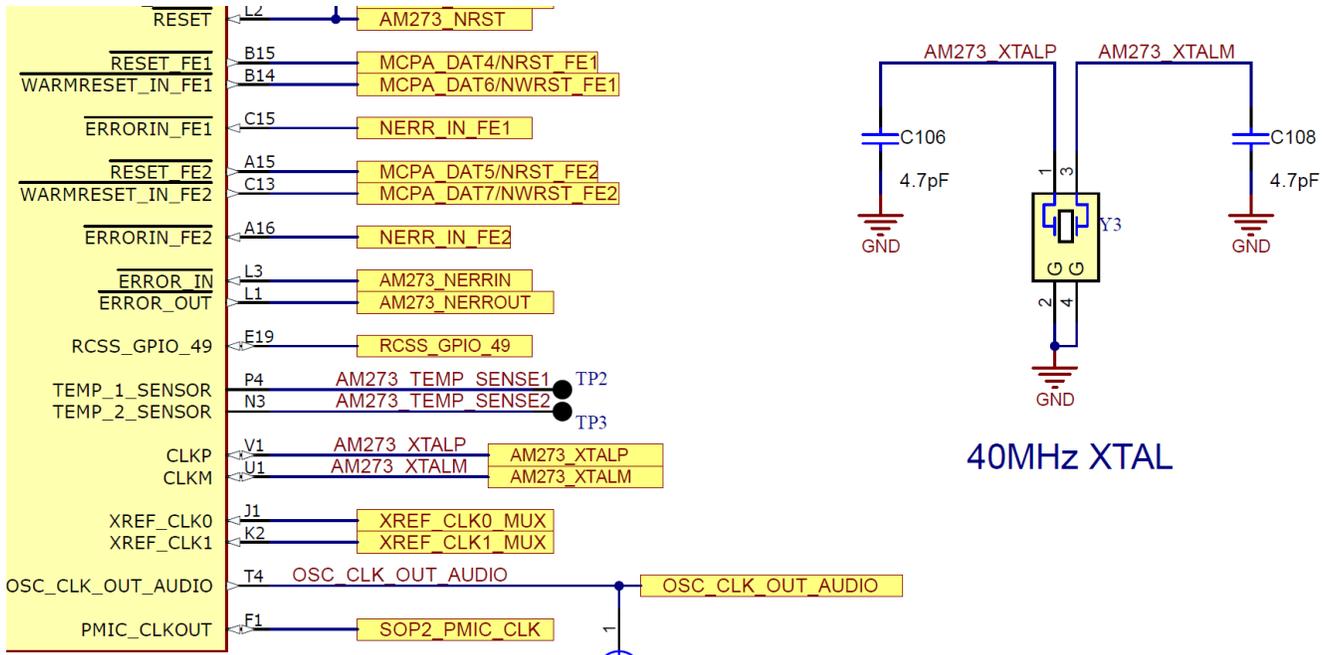


图 3-1. 摘自 AM273x GPEVM 原理图

AM273x 的其他时钟输入包括：

- 两个外部参考时钟输入 XREF\_CLK0 和 XREF\_CLK1 ( ZCE 引脚 J1 和 K2, NZN 引脚 G1 和 G2), 可用作系统同步的专用外设时钟源。
- 两个摄像头子系统 2.0 (CSI2.0) 时钟输入, CSI2\_RX0CLKM/CSI2\_RX0CLKP ( ZCE 引脚 B6 和 A6 ) 用于 CSI2.0 接收器 1, 而 CSI2\_RX1CLKM/CSI2\_RX1CLKP ( ZCE 引脚 A11 和 B11 ) 用于 CSI2.0 接收器 2。

### 3.2 输出时钟生成

AM273x 器件包括四个输出时钟源：

- 振荡器输出参考时钟, OSC\_CLK\_OUT\_AUDIO ( ZCE 引脚 T4, NZN 引脚 R2 )
- PMIC 输出参考时钟, PMIC\_CLKOUT ( ZCE 引脚 F1 )
- LVDS/Aurora 位时钟, LVDS\_CLKM 和 LVDS\_CLKP ( ZCE 引脚 W7 和 V7 )
- LVDS/Aurora 帧时钟, LVDS\_FRCLKM 和 LVDS\_FRCLKP ( ZCE 引脚 W8 和 V8 )

### 3.3 晶体选择和并联电容

在晶体工作模式下, AM273x 可以连接到各种兼容的晶体。根据所选的 PCB 寄生电容和晶体, 需要修改额外的负载电容, 以实现最佳的启动稳定性和频率精度。

有关完整的晶体负载容差, 请参阅 [AM273x Sitara™ 微控制器数据表](#)。

### 3.4 晶体放置和布线

晶体振荡器输入应尽可能靠近 AM273x CLKM/P 焊盘放置, 且晶体和 AM273x 焊盘之间的走线长度更短。短接至本地 VSS 平面的接地环应放置在 CLKM 和 CLKP 走线附近并位于 CLKM 和 CLKP 走线之间, 以帮助防止相邻信号耦合到时钟阻抗较高的晶体输入路径中。

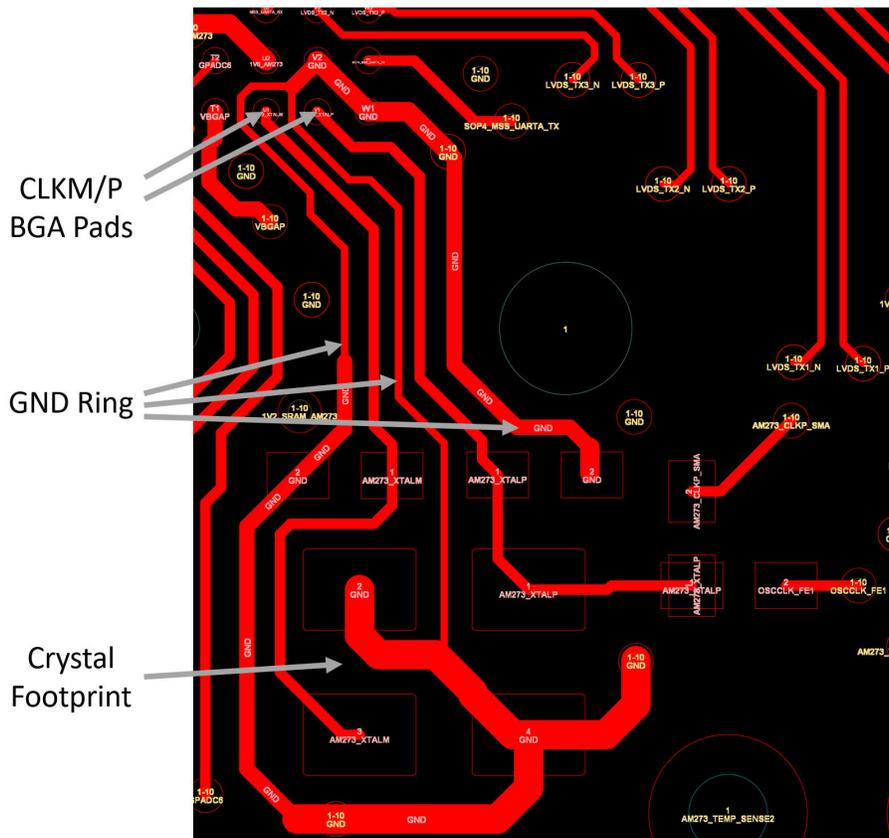


图 3-2. 摘自 AM273x GPEVM 布局 - 晶体布局和接地环结构

## 4 复位

AM273x MCU 有两个硬件复位源：

- **NRESET**：上电复位（逻辑低电平使能）信号，ZCE 引脚 L2，NZN 引脚 J3
  - 上电默认配置将该引脚设置为 LVCMOS、失效防护、开漏输出。
  - 应由关联的 1.2V 内核和 3.3V I/O 稳压器的电源正常电路或 PMIC 复位输出驱动
- **WARM\_RESET**：热复位输入和复位状态输出信号，ZCE 引脚 K1，NZN 引脚 H3
  - 上电默认配置将该引脚设置为 LVCMOS 开漏输出，内部上拉状态为禁用
  - 当器件进入复位状态时，该信号驱动为逻辑低电平。
  - 当器件完全脱离复位时，该信号驱动为逻辑高电平。

**NRESET** 用于在系统初始启动时保持为逻辑低电平。一旦验证了为 AM273x 电源引脚供电的每个稳压器或 PMIC 均在标称输出电压下工作，就可以将 **NRESET** 信号调至逻辑高电平。此操作将启动 AM273x 引导 ROM 执行，以对 **SOP** 引脚进行采样开始。AM273x GPEVM 实施通过 LP877451A PMIC 的 **nRSTOUT** 引脚实现上述目标。建议对 **PORZ** 信号使用弱下拉电阻器，以便在系统启动前将信号保持为低电平。如果 1.2V 或 3.3V 轨电源低于标称工作范围，则应将 **PORz** 强制为低电平。

有关上电复位和断电复位时序要求的完整说明，请参阅 [AM273x Sitara™ 微控制器数据表](#)。

**WARMRSTN** 引脚是一个多用途软件复位输入和硬件复位状态引脚。在上电默认配置中，该引脚配置为开漏输出，需要一个外部上拉电阻器连接到 **VIOIN 1.8V/3.3V I/O** 电压轨。在此模式下，**WARMRSTN** 可用作 MCU 复位指示器，并可用于驱动所连接外设 IC（如以太网 PHY 和存储器）的复位输入。

**WARMRSTN** 也可由软件配置为软件复位。AM273x 器件上还提供了其他软件复位源。更多有关复位功能的信息，请参阅 [AM273x Sitara™ 微控制器技术参考手册](#) 中的复位一章。

由于此引脚默认为开漏配置，如果设计中同时需要复位状态输出模式和软件复位输入模式，则建议使用开漏缓冲器来驱动可选的复位输入状态。

## 5 自举

启动电源 (**SOP**) 信号用于将所选引导模式锁存到 AM273x 器件中。在 **NRESET** 上升沿（低电平到高电平逻辑转换）期间，对 **SOP[4:0]** 信号进行采样。产生的 5 位用于选择 **XTAL** 频率并将引导 ROM 分支到所选的引导模式。并非所有组合都受支持。有关 **SOP** 引脚状态和支持的引导模式的完整说明，请参阅 [AM273x Sitara™ 微控制器数据表](#)。

### 5.1 SOP 信号实现

每个 **SOP[n]** 信号也与不同的外设功能模式信号复用。有关更多信息，请参阅 [AM273x Sitara™ 微控制器数据表](#) 中的信号说明表。SOP 信号描述摘录如下。

表 5-1. SOP 和功能模式信号映射

| 引脚编号 - ZCE | 引脚编号 - NZN | 初级侧引脚复用信号       | SOP 模式信号 |
|------------|------------|-----------------|----------|
| D6         | C6         | TDO             | SOP[0]   |
| E17        | C14        | MSS_MIBSPIB_CS2 | SOP[1]   |
| F1         | D3         | PMIC_CLKOUT     | SOP[2]   |
| V9         | P4         | MSS_UARTB_TX    | SOP[3]   |
| W2         | R4         | MSS_UARTA_TX    | SOP[4]   |

由于这种 **SOP**/功能模式多路复用，在原理图和布局中必须格外小心，以确保 **SOP** 模式选择电阻器、跳线或开关路径的布线方式使得 **SOP** 模式分支不会向功能模式信号路径提供电感残桩。如果不注意这一点，可能会导致正常运行期间接口无法正常工作。

### AM273x SOP REFERENCE

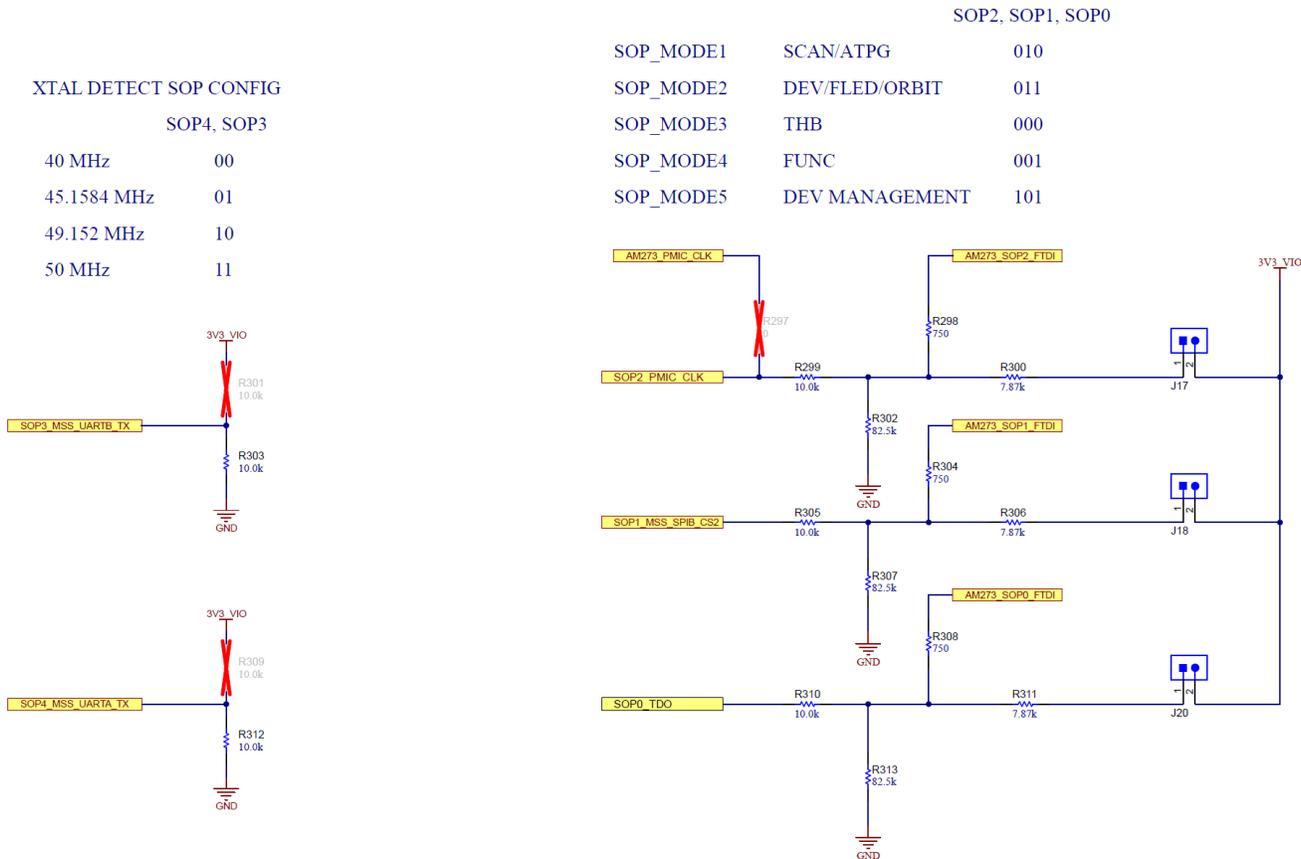


图 5-1. 摘自 AM273x GPEVM 原理图 - SOP[4:0] 功能和 SOP 路径

在 AM273x GPEVM 设计中，通过在 SOP[2:0] 的 SOP 信号路径中包含一个 10KΩ 电阻器来实现此 SOP 模式隔离。对于 SOP[4:3]，将 SOP 位设置为 0 的 10KΩ 下拉电阻器不会影响 UART TX 线路的功能，因此不需要隔离 10KΩ 电阻器。理想情况下，电阻器的放置位置应使一个焊盘尽可能接近 AM273x BGA 焊盘，并与功能模式路径一致。这将创建一个布局，其中断开 SOP 路径所需的额外残桩长度只会对信号的功能模式运行产生更小程度的影响。

### 5.2 QSPI 存储器控制器实现

QSPI 存储器是 AM273x MCU 的主要引导存储器位置。此存储器接口的良好信号完整性对于 AM273x MCU 的基本 QSPI 引导操作至关重要。还需要额外的上拉电阻器。

- 包括一个芯片选择上拉电阻器，以确保器件通常处于读取/写入禁用状态，直到 AM273x QSPI 控制器在新的读取/写入事务开始时将芯片选择驱动为低电平。
- 包括一个上拉电阻器，用于在默认情况下禁用写保护模式
- 包括一个上拉电阻器，用于在默认情况下禁用保持模式

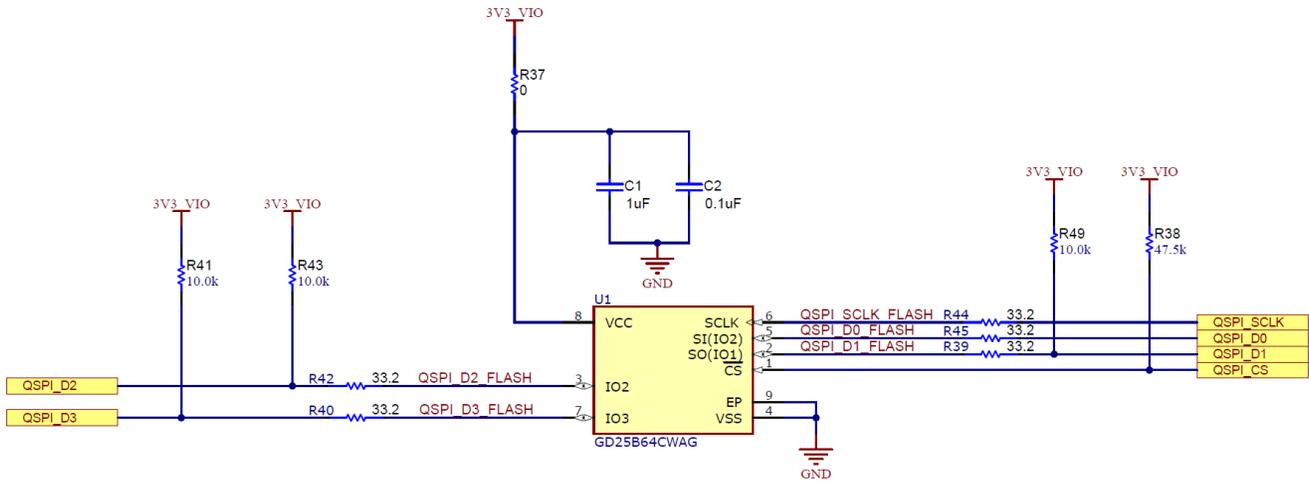


图 5-2. 摘自 AM273x GPEVM 原理图 - AM273x QSPI 控制器和 GD25B64CWAG NOR 闪存

图 5-3 和表 5-2 中提供了 QSPI 存储器接口的附加布线指南。这些指南应用作最大布线和偏斜匹配限制。

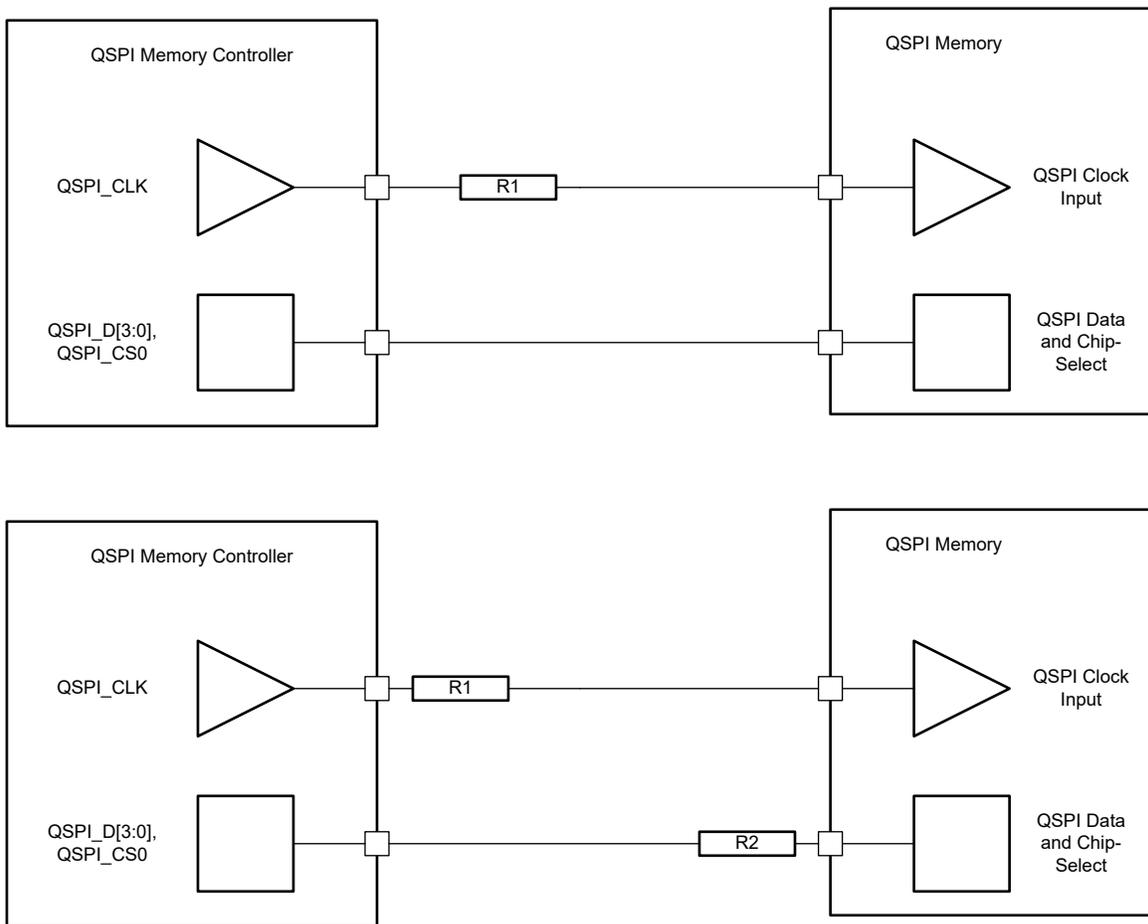


图 5-3. AM273x QSPI - 布线规则图

表 5-2. AM273x QSPI - 建议的布线规则

| 规格编号 | 规格                                 | 值   | 单位 |
|------|------------------------------------|-----|----|
| 1    | QSPI_CLK、QSPI_CS0、QSPI_D[3:0] 最大延迟 | 450 | ps |
| 2    | QSPI_CLK 至 QSPI_D[3:0] 最大偏斜        | 50  | ps |

表 5-2. AM273x QSPI - 建议的布线规则 (续)

| 规格编号 | 规格   | 值          | 单位       |
|------|--|------------|----------|
| 3    | 近似最大布线距离   | 3214       | mil      |
| 4    | 近似最大布线偏斜   | 357        | mil      |
| 5    | 串联端接电阻器 (上图中的 R1) 应靠近 AM273x 的 QSPI_CLK 发送引脚放置, 以控制时钟线路的上升时间和反射。 | 可变, 0 到 40 | $\Omega$ |
| 6    | 串联端接电阻 (上图中的 R2) 应靠近所连接存储器的 QSPI 数据引脚放置, 以控制数据线路的上升时间和反射。        | 可变, 0 到 40 | $\Omega$ |

**备注**

假设  $50\ \Omega$  FR4 微带或带状线传输线路中的传播延迟典型值为  $140\text{ps/inch}$ , 计算出的近似布线距离。应使用 2D 场求解器或适当的封闭式近似阻抗公式, 以找出特定的给定层叠和布线的更精确的传播延迟。

建议将 QSPI 存储器并置于 AM273x BGA 封装附近, 这样可以实现使延迟裕度和偏斜裕度达到更大的布线。如图 5-3 所示, 还建议在 QSPI 控制器时钟发送引脚附近添加一个串联端接电阻器。同样, 也应在 QSPI 器件的数据引脚上添加串联端接。在读取四倍读取操作 (将是存储器更常用的工作模式) 期间, 这有助于在数据线路上创建受控良好的边沿。

**5.3 ROM QSPI 引导要求**

对于 AM273x 器件, ROM 代码需要以下 QSPI 闪存特性:

- 闪存器件应与 AM273x 器件提供的 3.3V LVCMOS 信号电平兼容
- 确保闪存器件设置为禁用写保护模式和禁用保持模式。
  - 这通常是闪存器件的 D1 和 D2 引脚上的上拉电阻器选项。
  - 确保应用了适当的上拉电阻器, 以便选择正确的工作状态。
- 闪存器件能够支持四路输出快速读取 (操作码 0x6B)
- 闪存必须能够在单一模式下支持快速读取 (操作码 0x0B)
- 在前面提到的读取操作期间, 器件应允许 8 个“虚拟”时钟周期来设置初始地址
- 默认情况下, 闪存必须支持 3 字节 (24 位) 寻址模式
- 闪存大小应在 2.5MB-4MB 范围内, 但不建议超过 16MB 范围以确保正确操作

以下闪存器件列表已通过 AM273x MCU 兼容性测试。有关上述兼容性要求, 请查看特定闪存器件的特定数据表。

表 5-3. 与 AM273x 兼容的 QSPI 器件

| 制造商             | 闪存器件                   |
|-----------------|------------------------|
| Infineon (英飞凌)  | S25FL128S/S25FL256S 系列 |
| Winbond         | W25Q 系列                |
| GigaDevice      | GD25 系列                |
| 旺宏电子 (Macronix) | MX25xxx35 系列           |

**备注**

AM273x GPEVM 上使用了来自 GigaDevice 的 GD25B64CWAG 器件。

**6 JTAG 仿真器和跟踪**

AM273x MCU 支持多种不同类别的 JTAG 仿真器, 无论是否具有额外的 ARM 跟踪捕获功能。

为方便开箱即用, TMDS273GPEVM 使用 TI TM4C MCU 实现了具有 JTAG 和辅助 UART-USB 桥接器的板载 XDS110 仿真器。然而, 对于实际的定制系统, 应该实施更简单的 JTAG/跟踪调试接头。这允许在开发过程中根据需要将外部 JTAG 和跟踪仓体连接到系统。然后, 可以完全移除或拔下接头, 以实现系统的全面生产, 从而节省成本。

一种常见的 JTAG 和跟踪实施是 [5] 中显示的 MIPI 业界通用 MIPI-60。这一方案基于 Samtec QSH-030-01-L-D-A。此实施与 TI XDS560v2 JTAG/跟踪仓体以及其他第三方 JTAG/跟踪仓体兼容。可在 [6] 中找到其它 TI JTAG 调试器连接。

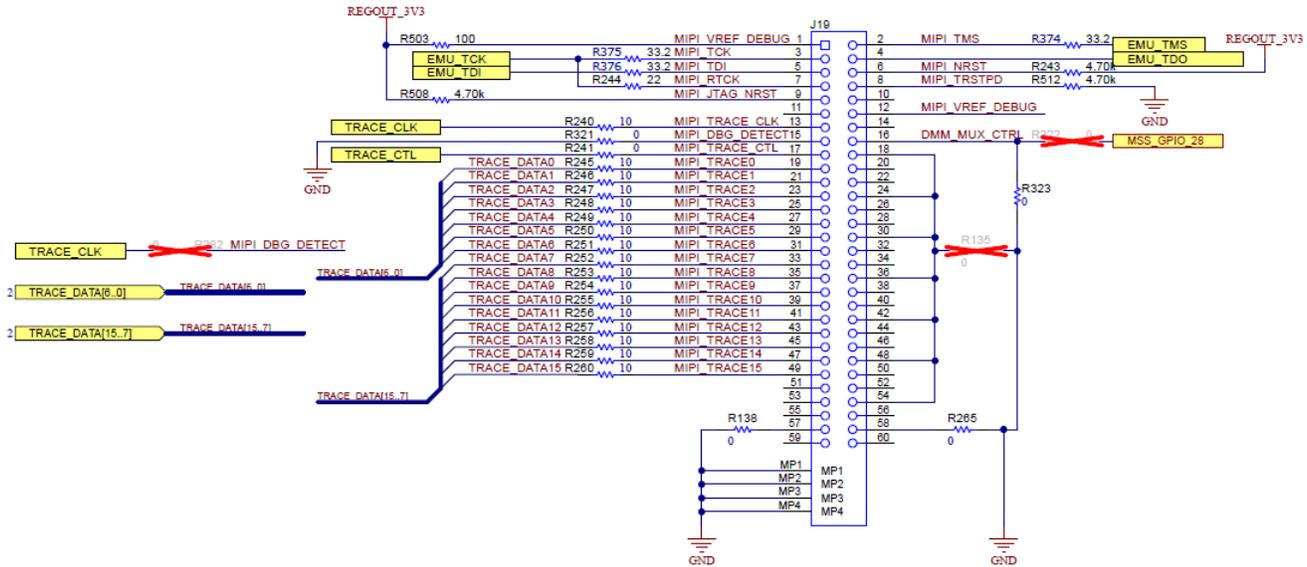


图 6-1. MIPI-60 JTAG 和 16 位跟踪实施示例

其他非 TI JTAG 调试和跟踪系统仍在测试中。计划在本文档的未来修订版中提供进一步的指导。

## 7 多路复用外设

由于 AM273x MCU IOMUX 上存在大量的多路复用数字 I/O，设计人员应充分利用 TI 系统配置工具 (SYSCONFIG) 来试验和规划不同的引脚多路复用方案，然后再将设计提交到硬件。然后，生成的 SYSCONFIG 引脚多路复用配置可用于原理图捕获、布局和软件驱动程序创建。

如需了解更多详情，请参阅 <https://www.ti.com.cn/tool/SYSCONFIG>。

## 8 数字外设

### 8.1 通用数字外设布线指南

在整个 AM273x PCB 设计中，应遵循以下通用布线建议。45nm LVCMOS 工艺 I/O 可产生相对较快的边沿速率。如果没有针对传输线路效应进行规划，这可能会导致严重的过冲/下冲，即使 PCB 上的迹线相对较短也是如此。

这些不受控制的电平转换会导致连接的 I/O 出现过压/欠压情况，从而损坏相关元件。此外，这些不受控制的转换可能会过度辐射，从而导致串扰和 EMI 合规性问题。

为缓解这些问题：

- 将所有数字 I/O 布线为受控阻抗传输线路（微带/带状线）
- 将串联端接放置在每个 AM273x 发送引脚和所连接的相关 IC 的发送引脚附近
  - 应在新 PCB 硬件唤醒期间验证这些端接电阻器的值和性能。
  - 在某些情况下，可能不需要这些端接电阻器，但只有在测试后才能将其从设计中移除或去除
- 在相邻的层上使用实心接地回路平面进行布线
- 使用接地回路环围绕持续开关信号（时钟、EPWM）进行布线
- 使用接地回路环围绕敏感模拟信号（ADC/DAC 通道、VREF）进行布线

## 9 层堆叠

AM273x MCU 采用 ZCE0285A 285 焊球、0.65mm 间距、19 x 19 NFBGA 阵列 [1] 封装（其中特意移除部分焊球）或采用 NZN0225 225 焊球 0.8mm 间距 15 x 15 完整 NFBGA 阵列封装。通过在 ZCE 封装上策略性地移除焊球，可以在封装下方放置更多且更大的过孔，从而简化迂回布线。NZN 封装上的间距越大，迂回布线中的迹线就可以越大，间隙布线规则就可以越宽松。

### 9.1 TMS273GPEVM 层堆叠

在 AM273 GPEVM 中，采用 10 层堆叠设计，以将所有电源引脚和信号引脚完全布线到 EVM 的 ZCE 封装器件上。

| #  | Name           | Material      | Type        | Weight | Thickness | Dk   |
|----|----------------|---------------|-------------|--------|-----------|------|
|    | Top Overlay    |               | Overlay     |        |           |      |
|    | Top Solder     | Solder Resist | Solder Mask |        | 2mil      | 3.9  |
| 1  | Top Layer      |               | Signal      | 1oz    | 1.85mil   |      |
|    | Dielectric 1   | FR-4 High Tg  | Prepreg     |        | 3.696mil  | 3.79 |
| 2  | GND1           |               | Signal      | 1oz    | 1.26mil   |      |
|    | Dielectric 2   | FR-4 High Tg  | Core        |        | 6mil      | 4.46 |
| 3  | SIG1           |               | Signal      | 1oz    | 1.26mil   |      |
|    | Dielectric 3   | FR-4 High Tg  | Prepreg     |        | 7.104mil  | 3.79 |
| 4  | GND2           |               | Signal      | 1oz    | 1.26mil   |      |
|    | Dielectric 4   | FR-4 High Tg  | Core        |        | 4mil      | 4.4  |
| 5  | PWR1           |               | Signal      | 1oz    | 1.26mil   |      |
|    | Dielectric 5   | FR-4          | Prepreg     |        | 5.292mil  | 3.79 |
| 6  | PWR2           |               | Signal      | 1oz    | 1.26mil   |      |
|    | Dielectric 6   | FR-4 High Tg  | Core        |        | 4mil      | 4.4  |
| 7  | GND3           |               | Signal      | 1oz    | 1.26mil   |      |
|    | Dielectric 7   | FR-4 High Tg  | Prepreg     |        | 7.104mil  | 3.79 |
| 8  | SIG2           |               | Signal      | 1oz    | 1.26mil   |      |
|    | Dielectric 8   | FR-4 High Tg  | Core        |        | 6mil      | 4.46 |
| 9  | GND4           |               | Signal      | 1oz    | 1.26mil   |      |
|    | Dielectric 9   | FR-4 High Tg  | Prepreg     |        | 3.696mil  | 3.79 |
| 10 | Bottom Layer   |               | Signal      | 1oz    | 1.85mil   |      |
|    | Bottom Solder  | Solder Resist | Solder Mask |        | 2mil      | 3.9  |
|    | Bottom Overlay |               | Overlay     |        |           |      |

图 9-1. AM273 GPEVM 层堆叠

可实现更低层数的层叠解决方案，尤其是在考虑部分信号扇出设计时。当利用层数较少的设计时，信号返回路径以及电源和接地层设计将变得更具挑战性，以确保性能可靠和辐射发射更小。

#### 9.1.1 TMS273GPEVM 关键层叠特性

- 标准 62mil 总厚度
- L1、L3、L8 和 L10 上的 4 个可选受控阻抗布线层。

- 所有信号层和电源层都具有相邻的接地基准，以实现受控阻抗规划和 EMI 性能
- L5 电源和 L4 GND 回路层之间以及 L6 电源和 L7 GND 回路层之间的更小电介质厚度可实现更佳的平面电容性能，有助于实现电源完整性和 EMI。
- 具有所有穿孔过孔层转换的扇出示例 - 无需微过孔或焊盘中的过孔。

表 9-1. TMD5273GPEVM 层利用情况

| 层编号        | 备注                 |
|------------|--------------------|
| 覆铜 1 (顶部)  | 顶层安装和信号布线          |
| 覆铜 2       | 接地回路平面             |
| 覆铜 3       | 嵌入式微带/带状线信号布线和电源布线 |
| 覆铜 4       | 接地回路平面             |
| 覆铜 5       | 电源布线               |
| 覆铜 6       | 电源布线               |
| 覆铜 7       | 接地回路平面             |
| 覆铜 8       | 嵌入式微带/带状线信号布线和电源布线 |
| 覆铜 9       | 接地回路平面             |
| 覆铜 10 (底部) | 底层安装和信号布线          |

## 9.2 四层 ZCE 示例层堆叠

<https://www.ti.com/cn/lit/zip/sprad61> 中显示了采用四层 0.65mm 间距 ZCE 封装的概念验证、完整信号、迂回布线。

| # | Name           | Material      | Type        | Weight | Thickness | Dk  |
|---|----------------|---------------|-------------|--------|-----------|-----|
|   | Top Overlay    |               | Overlay     |        |           |     |
|   | Top Solder     | Solder Resist | Solder Mask |        | 0.394mil  | 3.3 |
| 1 | Top Layer      |               | Signal      | 1oz    | 1.378mil  |     |
|   | Dielectric 1   | FR-4 High Tg  | Prepreg     |        | 3.937mil  | 4.3 |
| 2 | GND            |               | Signal      | 1oz    | 1.378mil  |     |
|   | Dielectric 2   | FR-4 High Tg  | Core        |        | 47.244mil | 4.3 |
| 3 | Power          |               | Signal      | 1oz    | 1.378mil  |     |
|   | Dielectric 3   | FR-4 High Tg  | Prepreg     |        | 3.937mil  | 4.3 |
| 4 | Bottom Layer   |               | Signal      | 1oz    | 1.378mil  |     |
|   | Bottom Solder  | Solder Resist | Solder Mask |        | 0.394mil  | 3.3 |
|   | Bottom Overlay |               | Overlay     |        |           |     |

图 9-2. AM273 ZCE 四层示例层堆叠

### 9.2.1 ZCE 四层示例关键层叠特性

- 标准 62mil 总厚度
- 只有顶层具有相邻的接地基准以实施受控阻抗规划
- 在第 2 层上使用单个 GND 平面，因为大多数信号都在第 1 层上布线，从而为尽可能多的信号提供更佳的信号返回路径
- 与层数较多的层叠相比，L3 电源和 L2 GND 回路层之间的更大电介质厚度降低了平面电容性能，而可能影响电源完整性和 EMI。
- 具有所有穿孔过孔层转换的扇出示例 - 无需微过孔或焊盘中的过孔。

表 9-2. ZCE 四层示例层利用情况

| 层编号       | 备注                         |
|-----------|----------------------------|
| 覆铜 1 (顶部) | 顶层安装和信号布线                  |
| 覆铜 2      | 接地回路平面, 具有适用于 3.3V 平面部分的开孔 |
| 覆铜 3      | 电源布线                       |
| 覆铜 4 (底部) | 底层安装和信号布线                  |

### 9.3 四层 NZN 示例层堆叠

中显示了采用四层 0.8mm 间距 NZN 封装的概念验证、完整信号、迂回布线。

| # | Name           | Material      | Type        | Weight | Thickness | Dk  |
|---|----------------|---------------|-------------|--------|-----------|-----|
|   | Top Overlay    |               | Overlay     |        |           |     |
|   | Top Solder     | Solder Resist | Solder Mask |        | 0.394mil  | 3.3 |
| 1 | Top Layer      |               | Signal      | 1oz    | 1.378mil  |     |
|   | Dielectric 1   | FR-4 High Tg  | Prepreg     |        | 3.937mil  | 4.3 |
| 2 | GND            |               | Signal      | 1oz    | 1.378mil  |     |
|   | Dielectric 2   | FR-4 High Tg  | Core        |        | 47.244mil | 4.3 |
| 3 | Power          |               | Signal      | 1oz    | 1.378mil  |     |
|   | Dielectric 3   | FR-4 High Tg  | Prepreg     |        | 3.937mil  | 4.3 |
| 4 | Bottom Layer   |               | Signal      | 1oz    | 1.378mil  |     |
|   | Bottom Solder  | Solder Resist | Solder Mask |        | 0.394mil  | 3.3 |
|   | Bottom Overlay |               | Overlay     |        |           |     |

图 9-3. AM273 NZN 四层示例层堆叠

#### 9.3.1 NZN 四层示例关键层叠特性

- 标准 62mil 总厚度
- 只有顶层具有相邻的接地基准以实施受控阻抗规划
- 在第 2 层上使用单个 GND 平面, 因为大多数信号都在第 1 层上布线, 从而为尽可能多的信号提供最佳的信号返回路径
- 与层数较多的层叠相比, L3 电源和 L2 GND 回路层之间的更大电介质厚度降低了平面电容性能, 而可能影响电源完整性和 EMI。
- 具有所有穿孔过孔层转换的扇出示例 - 无需微过孔或焊盘中的过孔。

表 9-3. NZN 四层示例层利用情况

| 层编号       | 备注                         |
|-----------|----------------------------|
| 覆铜 1 (顶部) | 顶层安装和信号布线                  |
| 覆铜 2      | 接地回路平面, 具有适用于 3.3V 平面部分的开孔 |
| 覆铜 3      | 电源布线                       |
| 覆铜 4 (底部) | 底层安装和信号布线                  |

## 10 过孔

AM273 GPEVM 和 ZCE/NZN 4 层迂回布线示例仅通过结构显示 PTH。焊盘中的过孔结构还可用于提供与 BGA 之间的更小去耦电容器安装距离。这会导致更优化的配电网络，但代价是每个 PCB 需要额外的制造周期时间。

**表 10-1. AM273x 硬件过孔类型**

| EVM                  | 过孔类型 | 过孔直径 (mil) | 过孔钻孔 (mil) |
|----------------------|------|------------|------------|
| AM273 GPEVM          | PTH  | 18.000     | 8.000      |
| AM273x ZCE 4 层迂回布线示例 | PTH  | 18.000     | 8.000      |
| AM273 NZN 4 层迂回布线示例  | PTH  | 18.000     | 8.000      |

## 11 BGA 电源扇出和去耦放置

45nm CMOS 技术可实现更快的内核速率和 SRAM 时钟速率，以及适用于 LVCMOS I/O 缓冲器的更快的边沿速率。因此，与以前的 MCU 工艺节点相比，谨慎地布置电源和接地回路对于使用 AM273x 设计实现更佳电源完整性、信号完整性和 EMI 性能至关重要。

建议设计人员遵循 AM273x GPEVM 或 4 层 ZCE 或 NZN 迂回布线设计中实施的类似配电布局，以便在所有工作条件和 EMI 测试条件下实现良好的电源完整性结果。

AM273 GPEVM 代表了迄今为止更优化且经更仔细审查的配电布局示例，本节对此予以介绍。

### 11.1 接地回路

应利用所有可用的接地回路 BGA 焊球，在 AM273x 封装与连接的 PCB 之间建立尽可能更好的电气和热连接。ZCE 封装上的中央 7 x 7 BGA 焊球和 NZN 封装上的 5x6 BGA 焊球大致专用于接地回路，并在 BGA 边沿附近放置一些其他 I/O 返回路径。为了获得更佳热性能，应在 BGA 正下方尽可能多的层上使用实心接地回路平面。

AM273x 包含模拟和数字接地回路引脚。模拟和数字接地回路引脚应短接至 PCB 上的一组公共接地回路平面，以实现更佳的噪声和 EMI 性能，因为这会为所有返回电流创建尽可能低的阻抗路径。不建议将这两条返回路径分开，因为这通常会导致数字和模拟信号路径的返回路径性能降低。

#### 11.1.1 接地回路 - TMDS273GPEVM

在 AM273x GPEVM 上，顶层有一个中央接地覆铜，连接到相邻接地焊盘之间尽可能多的过孔。在底层，这些过孔封闭在与许多去耦电容器封装相连的中央接地覆铜中。

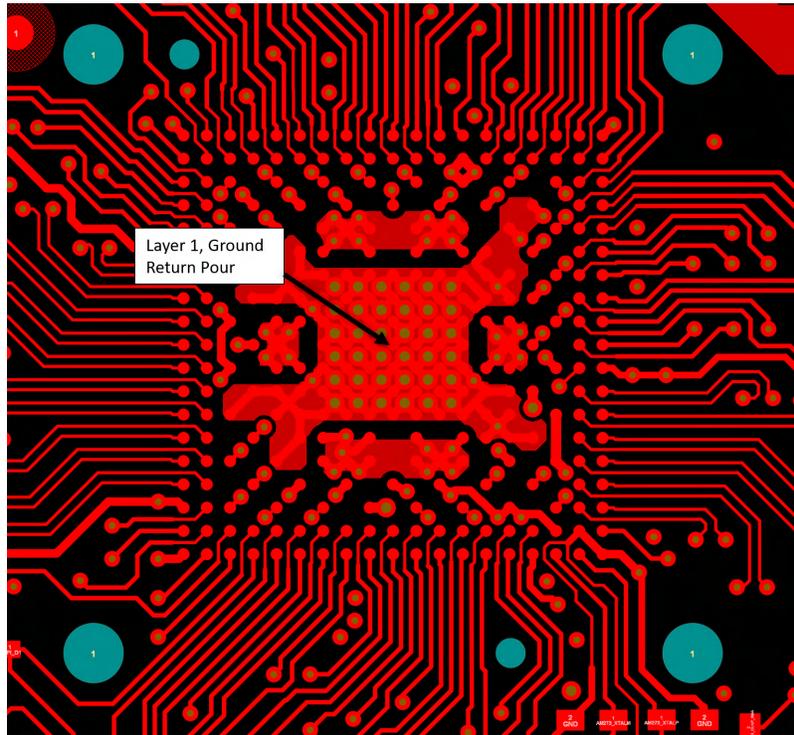


图 11-1. AM273 GPEVM 摘录 - AM273x BGA 第 1 层下的接地覆铜和过孔

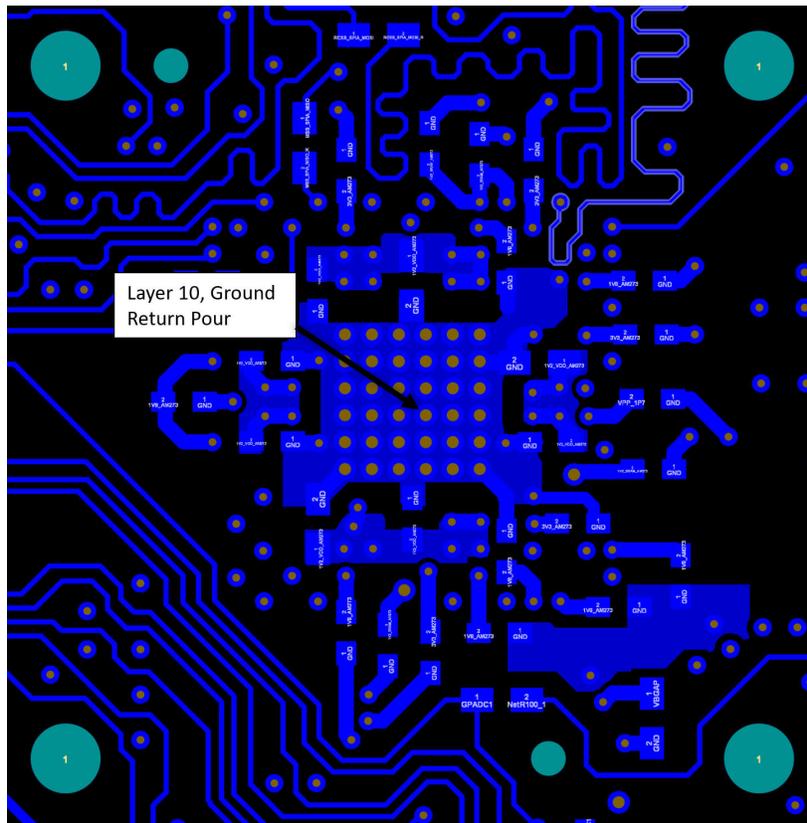


图 11-2. AM273 GPEVM 摘录 - AM273x BGA 第 10 层下的接地覆铜和过孔

### 11.1.2 接地回路 - ZCE 四层示例

在 AM273x ZCE 4 层迂回布线示例中，顶层有一个中央接地覆铜，连接到相邻接地焊盘之间尽可能多的过孔。在底层，这些过孔封闭在与许多去耦电容器封装相连的中央接地覆铜中。

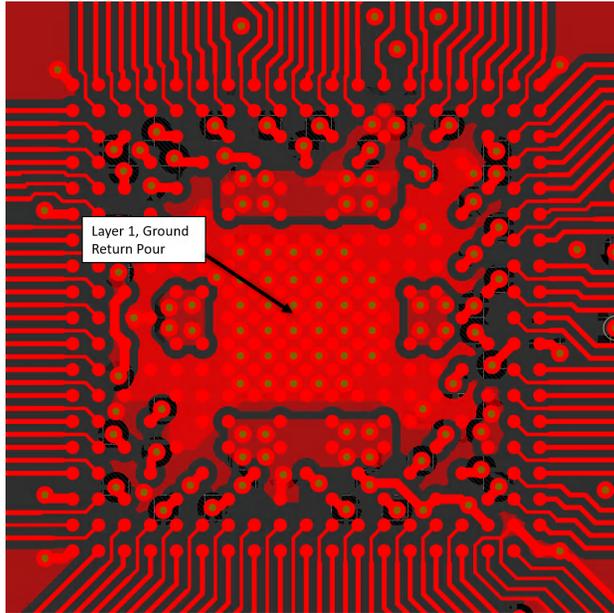


图 11-3. ZCE 4 层示例摘录 - AM273x BGA 第 1 层下的接地覆铜和过孔

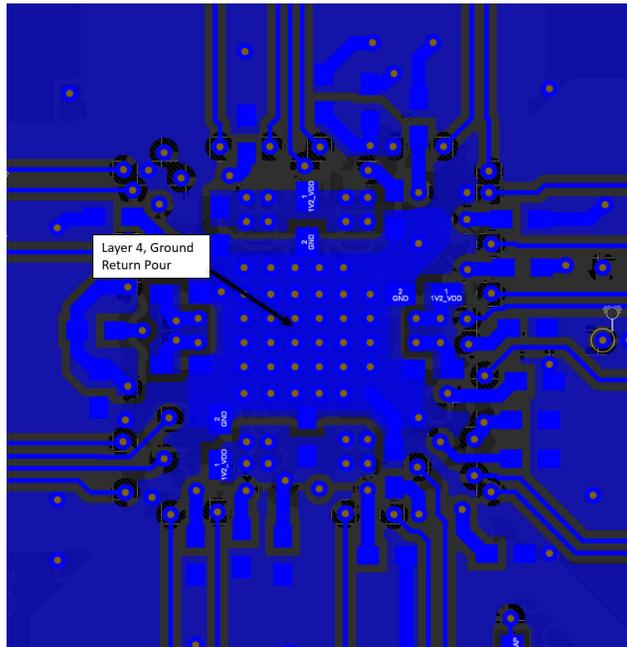


图 11-4. ZCE 4 层示例摘录 - AM273x BGA 第 4 层下的接地覆铜和过孔

### 11.1.3 接地回路 - NZN 四层示例

在 AM273x NZN 4 层迂回布线示例中，顶层有一个中央接地覆铜，连接到相邻接地焊盘之间尽可能多的过孔。在底层，这些过孔封闭在与许多去耦电容器封装相连的中央接地覆铜中。

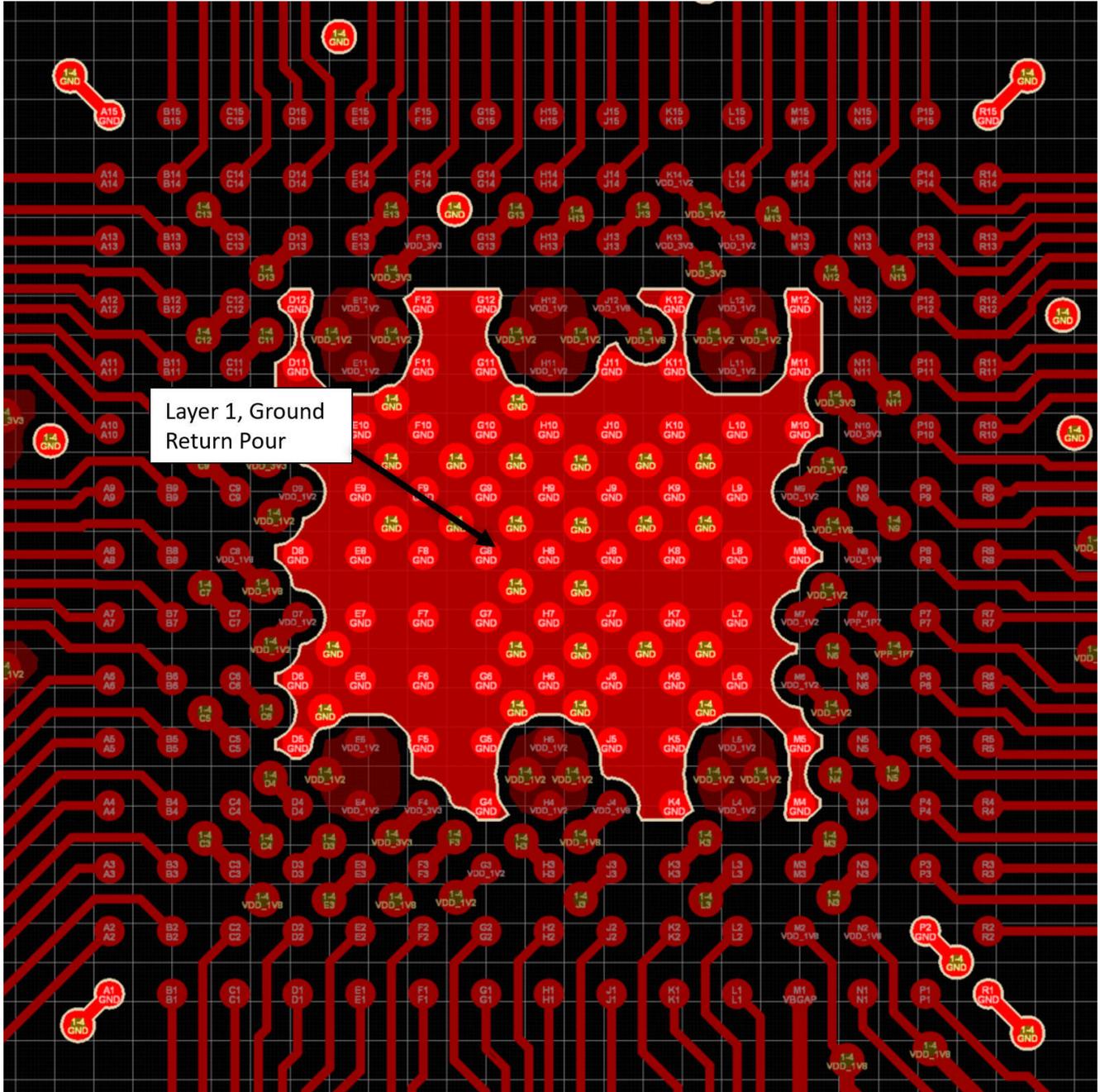


图 11-5. NZN 4 层示例摘录 - AM273x BGA 第 1 层下的接地覆铜和过孔

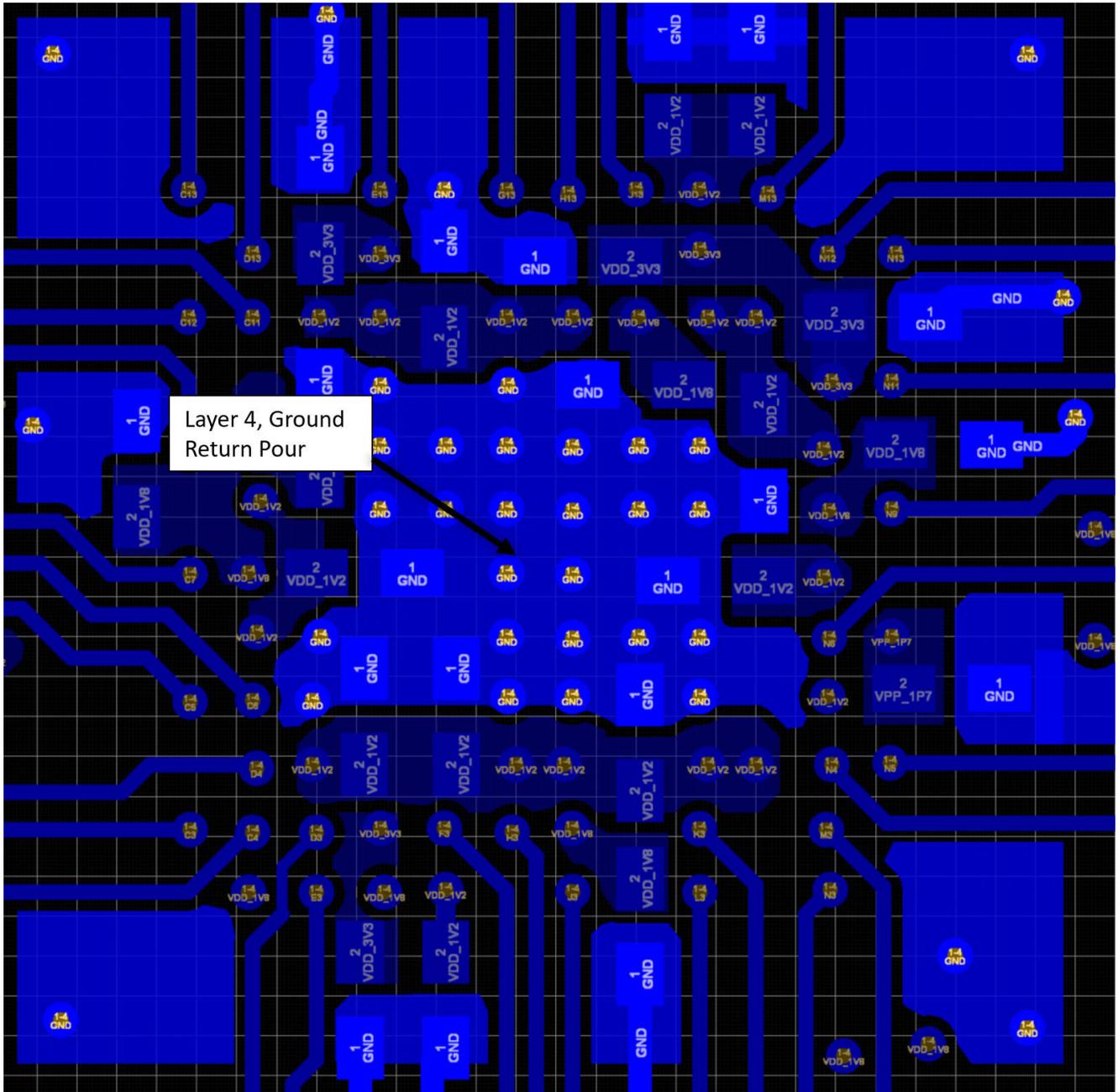


图 11-6. NZN 4 层示例摘录 - AM273x BGA 第 4 层下的接地覆铜和过孔

## 11.2 1.2V 内核数字电源

本节总结了 AM273x 器件的 1.2V 内核数字电源布线的主要元件，该布线从电路板上电源子系统的 1.2V 输出开始，经由电路板电源平面，并终止于 BGA 大容量和每引脚去耦电容器阵列。

### 11.2.1 1.2V 内核数字电源主要布局注意事项

- AM273x 应与 1.2V 内核数字稳压器或 PMIC 并置，以实现从稳压器到 BGA 电源引脚的更小 IR 压降。
- 应对于所有电源和接地回路过孔扇出使用宽 15mil 的迹线。
- 应使用具有紧密耦合接地回路参考平面的专用电源层，以便实现出色的瞬态性能和 EMI 耦合
- 应使用宽电源平面进入 BGA 1.2V 电源引脚区域的中心，以实现更小的 IR 压降和出色的瞬态性能
- 采用较大封装、较低频率的大容量电容应放置在 AM273x BGA 附近，过孔应直接连接到电源平面路径

- 采用较小封装、较高频率的去耦电容应直接放置在 BGA 扇出过孔上，并以尽可能小的狗骨配置连接到电源和接地回路过孔

### 11.2.1.1 1.2V 内核布局 - TMDS273GPEVM

在 AM273 GPEVM 上，1.2V 平面主要位于第 6 层上，在第 1 层上靠近 AM273 器件的位置有一个滤波器和电流检测分流电阻器。通过分流电阻器后，1.2V 平面移至 AM273 下方的第 5 层，此处，过孔连接到顶层的 BGA 焊球焊盘和底层的去耦电容器。

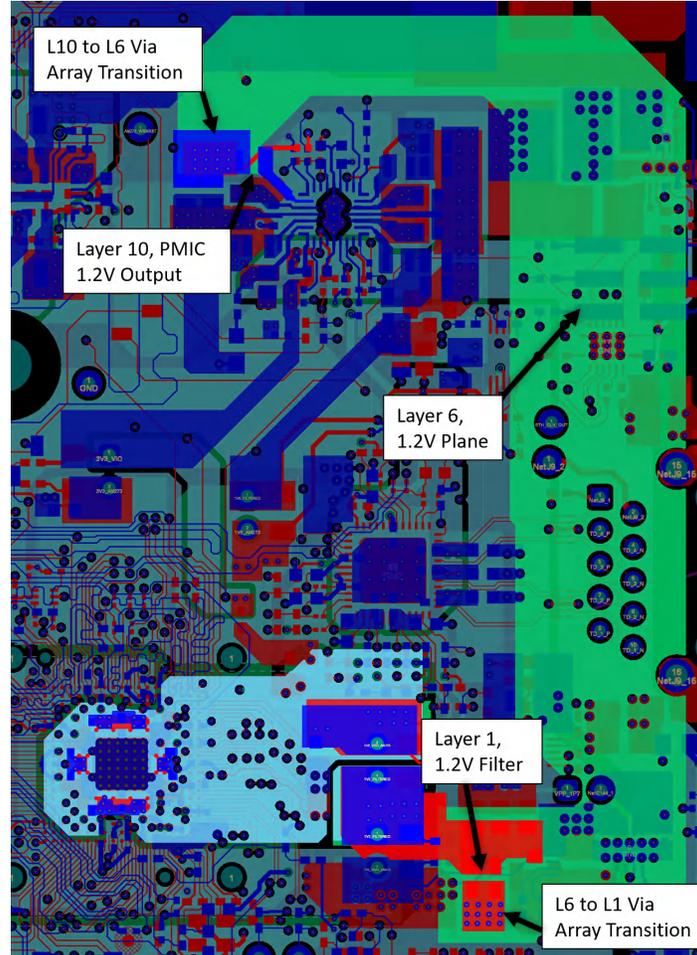


图 11-7. AM273 GPEVM 摘录 - 来自 PMIC、电源平面过孔和 BGA 过孔的 1.2V 内核电源输出

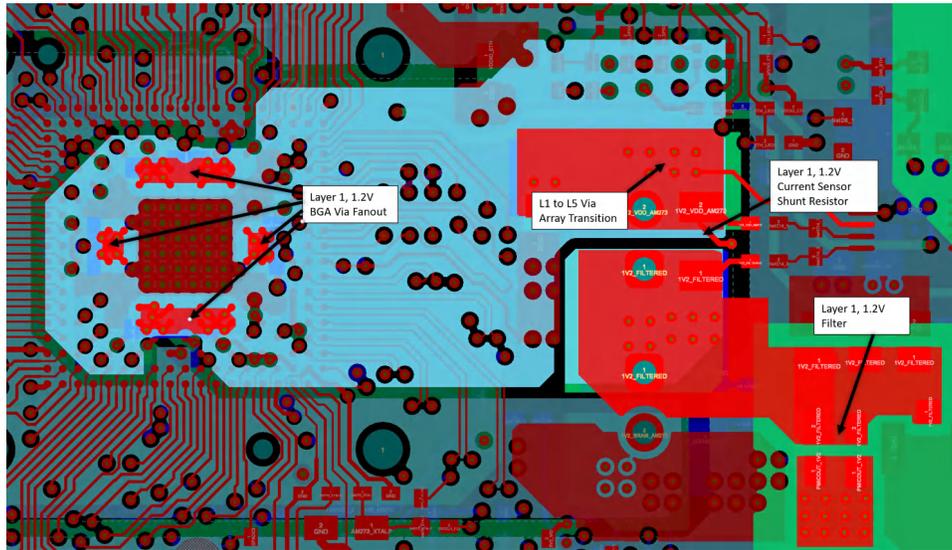


图 11-8. AM273 GPEVM 摘录 - 1.2V 内核电源平面和过孔进入 BGA

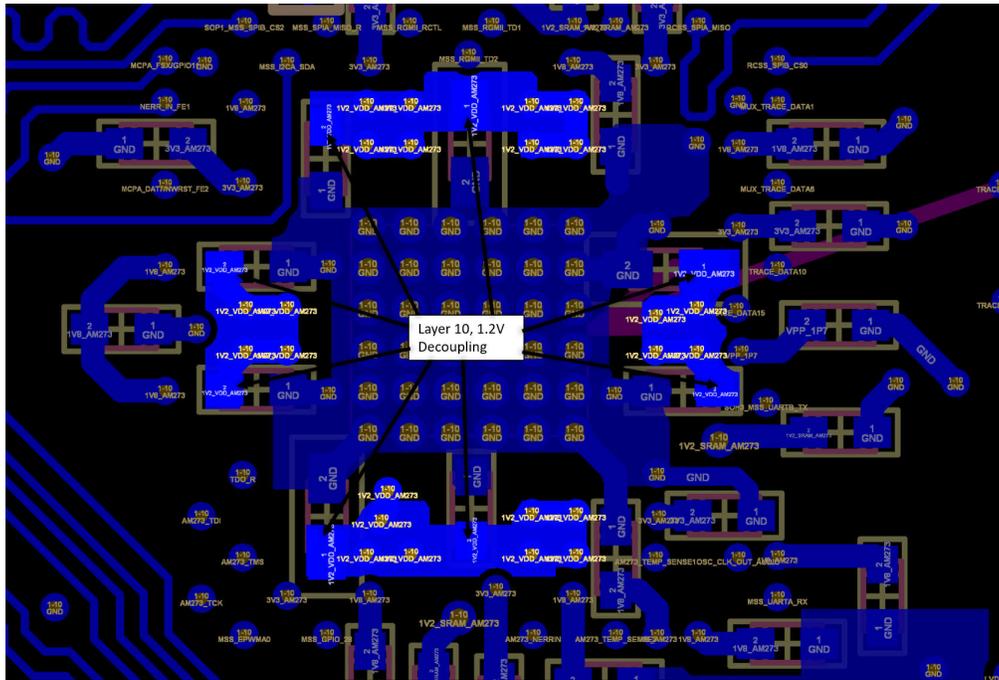


图 11-9. AM273 GPEVM 摘录 - 1.2V 内核电源去耦安装，第 10 层

### 11.2.1.2 1.2V 内核布局 - ZCE 四层示例

在 AM273 NZN 四层示例中，显示了 1.2V 平面，此平面布线至第 3 层上的 AM273 器件且及其下方。过孔将第 3 层上的平面连接到第 1 层上的 BGA 焊球焊盘和底层上的去耦电容器。

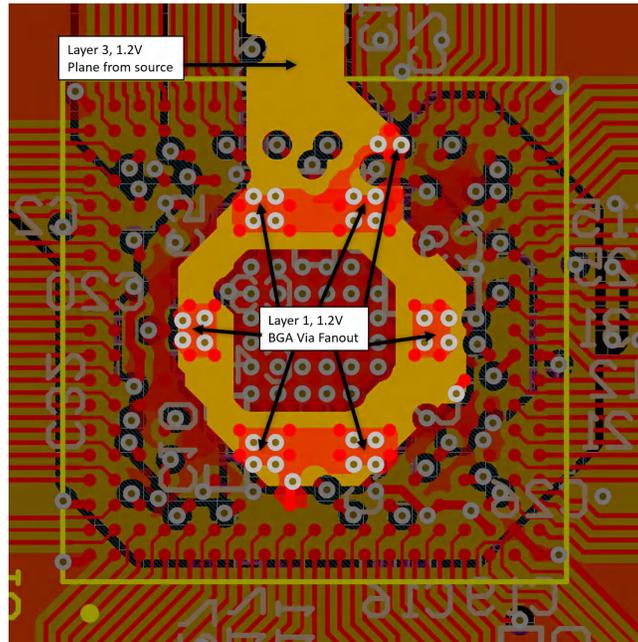


图 11-10. ZCE 4 层示例摘录 - 来自源和 BGA 过孔的 1.2V 内核电源输出

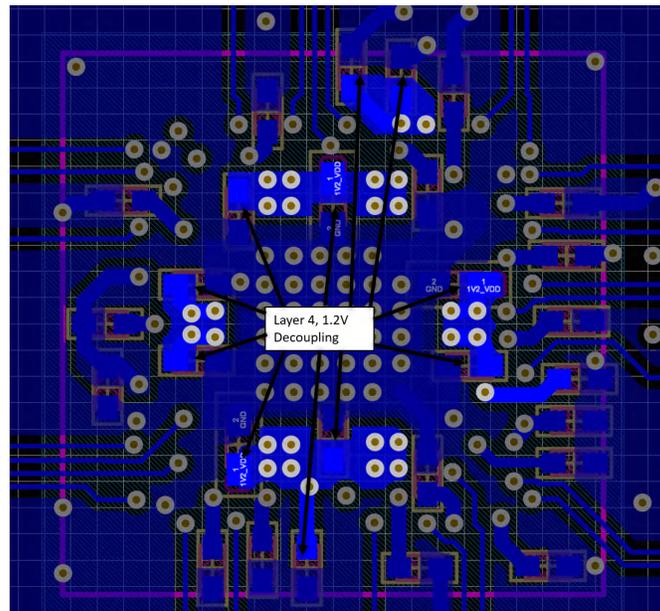


图 11-11. ZCE 4 层示例摘录 - 1.2V 内核电源去耦安装，第 4 层

### 11.2.1.3 1.2V 内核布局 - NZN 四层示例

在 AM273 NZN 四层示例中，显示了 1.2V 平面，此平面布线至第 3 层上的 AM273 器件且及其下方。过孔将第 3 层上的平面连接到第 1 层上的 BGA 焊球焊盘和底层上的去耦电容器。

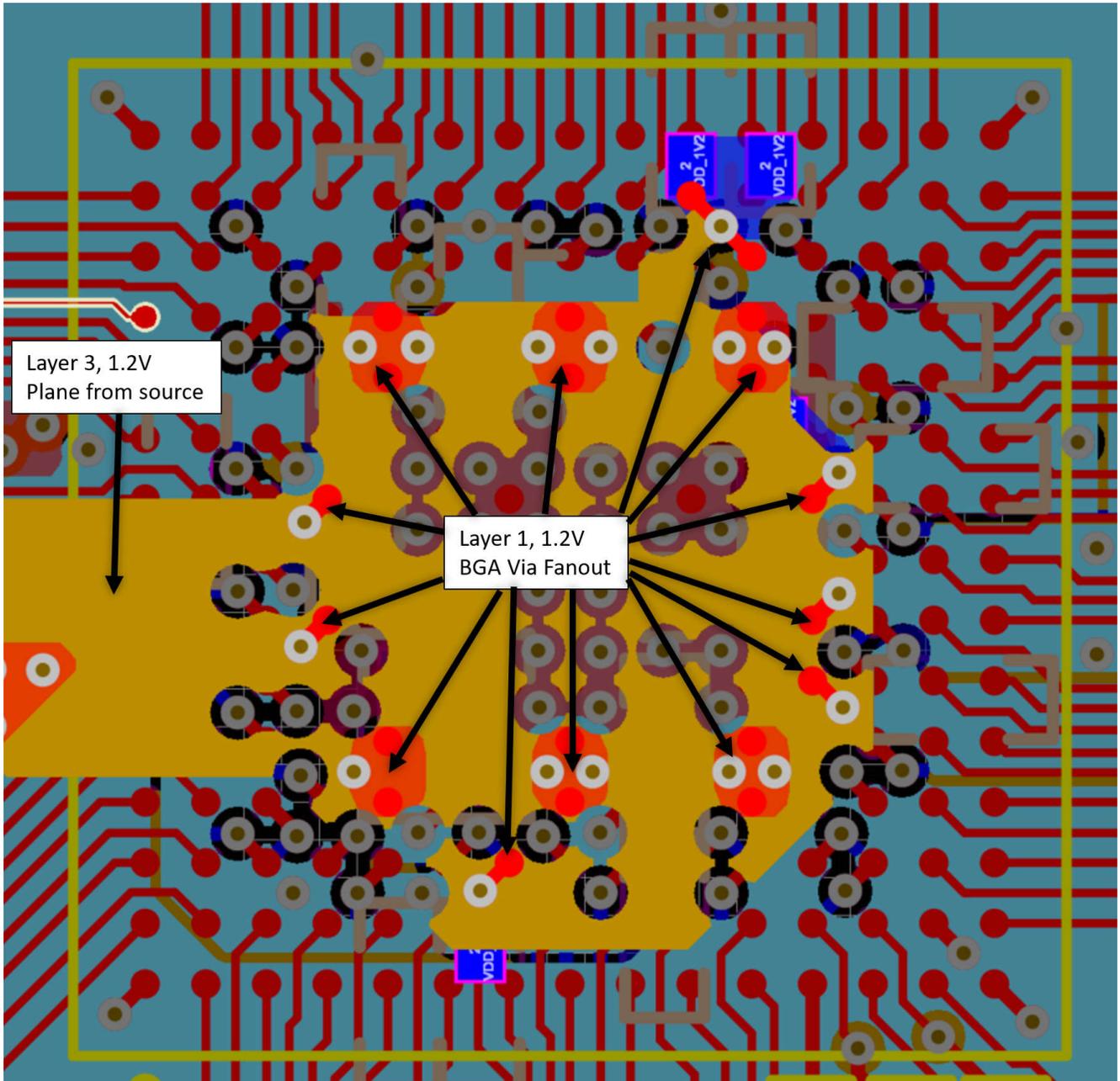


图 11-12. NZN 4 层示例摘录 - 来自源和 BGA 过孔的 1.2V 内核电源输出

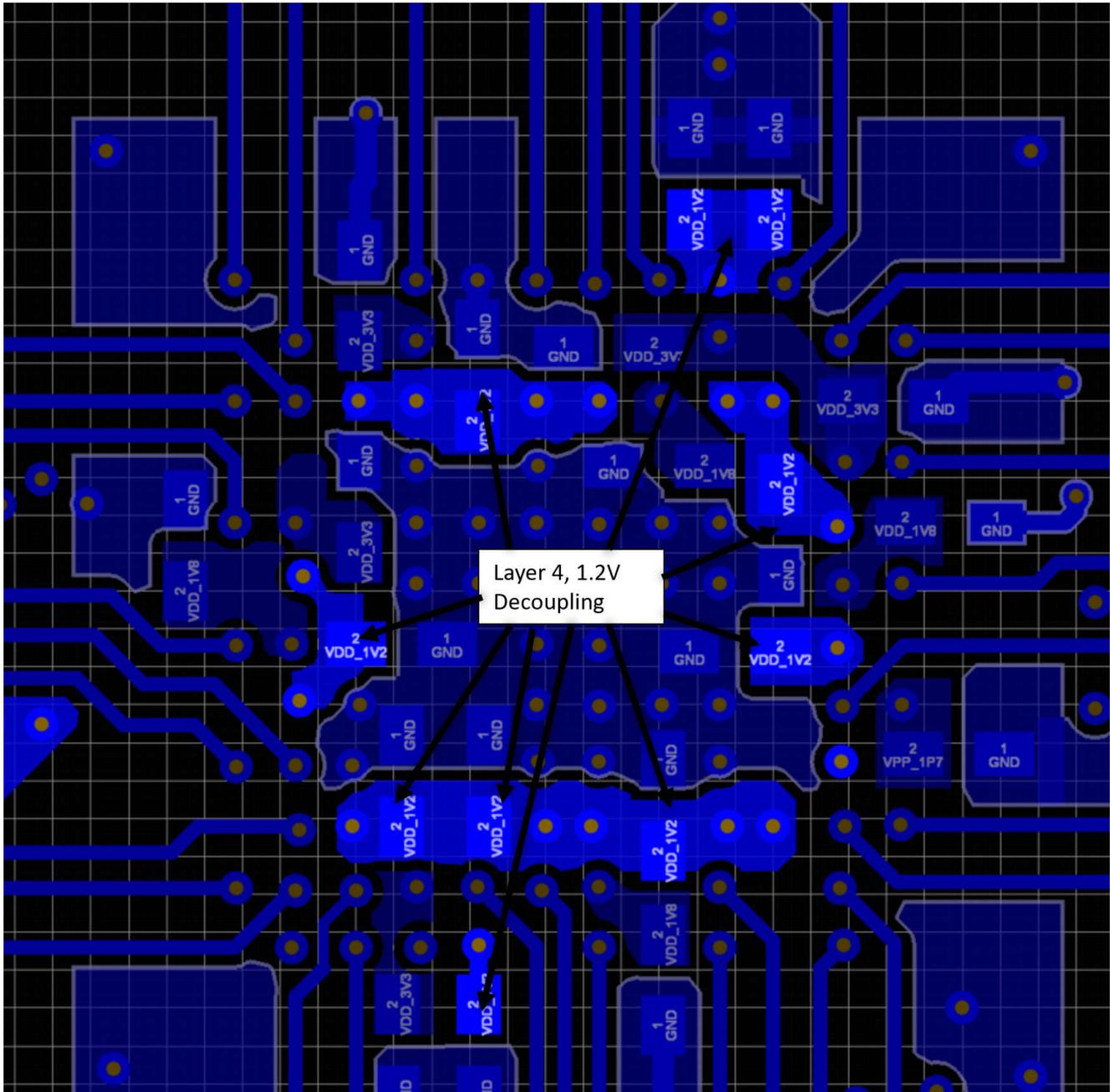


图 11-13. N2N 4 层示例摘录 - 1.2V 内核电源去耦安装，第 4 层

### 11.3 3.3V 数字和模拟电源

本节总结了 AM273x 器件的 3.3V 数字 I/O 和模拟 I/O 电源布线的主要元件，该布线从电源子系统的 3.3V 输出开始，经由电路板电源平面，并最终止于 BGA 大容量和每引脚去耦电容器阵列。

#### 11.3.1 3.3V 数字和模拟电源主要布局注意事项

- 应对于所有电源和接地回路过孔扇出使用宽 15mil 的迹线。
- 3.3V I/O 电源往往在系统中的多个器件之间共享，建议在 PCB 上使用非常宽电源平面进行布线，以最大限度地减少所有元件（包括 AM273x）的 IR 压降
- 应使用紧密耦合的相邻接地回路参考平面，以实现更佳的瞬态性能和 EMI 耦合
- 应使用覆盖 BGA 3.3V 电源引脚区域的宽电源平面入口，以实现更小的 IR 压降和更佳的瞬态性能
- 采用较大封装、较低频率的大容量电容应放置在 AM273x BGA 附近，过孔应直接连接到电源平面路径

- 采用较小封装、较高频率的去耦电容应直接放置在 BGA 扇出过孔上，并以尽可能小的狗骨配置连接到电源和接地回路过孔

### 11.3.1.1 3.3V 数字和模拟布局 - TMDS273GPEVM

通用降压转换器生成 3.3V 电源轨，该电源轨为 AM273x GPEVM 上的 PMIC 供电，满足外设 3.3V 系统需求，并为用于 2.5V 以太网和 1.7V VPP 电源轨的 LDO 供电。PMIC 在 VIO\_LDO 输出端生成 3.3V 电源轨，从而为所有 AM273x 数字 I/O 和模拟 I/O 负载提供 3.3V 模拟电源和数字电源。这在所有 3.3V 数字电平 I/O 共用一个公共电源的大多数设计中很常见。

在 AM273 GPEVM 上，3.3V 电压轨由第 10 层上的 PMIC 生成，但传输到第 6 层以传播到整个电路板。第 1 层上有一个电流检测分流电阻器，位于电路板上的 3.3V 主平面与第 6 层上 AM273 器件的 3.3V 平面之间。AM273 器件下方的过孔将此平面连接到顶层上的 BGA 焊球焊盘和底层上的去耦电容器。

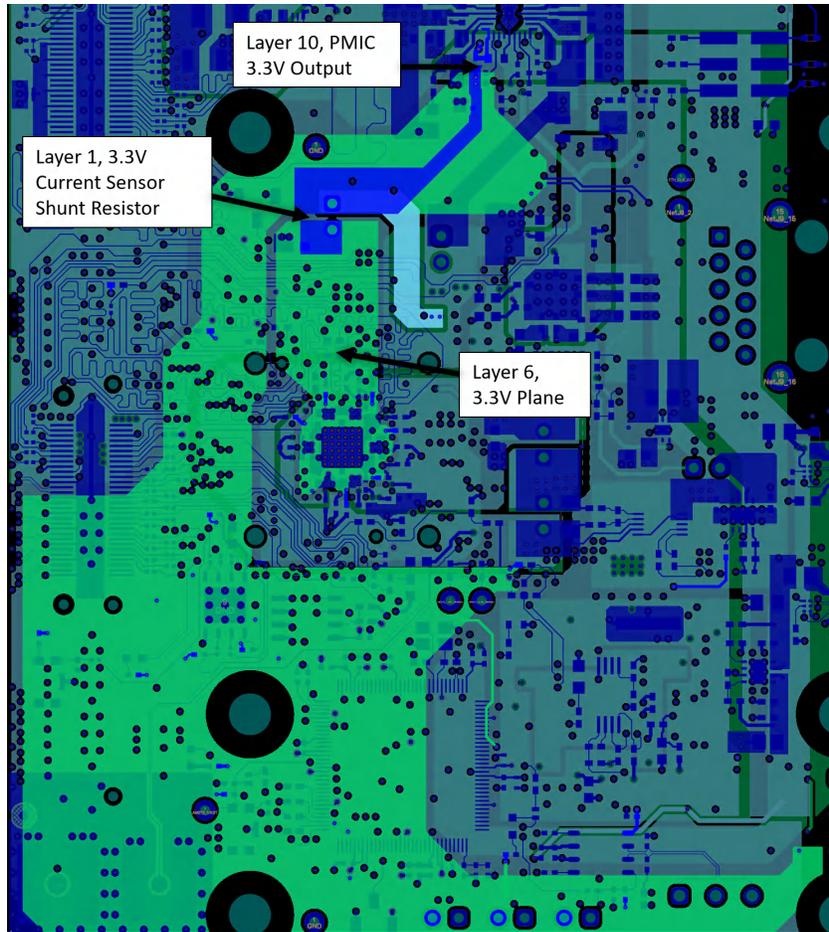


图 11-14. AM273 GPEVM 摘录 - 第 6 层上的 3.3V 数字和模拟电源平面

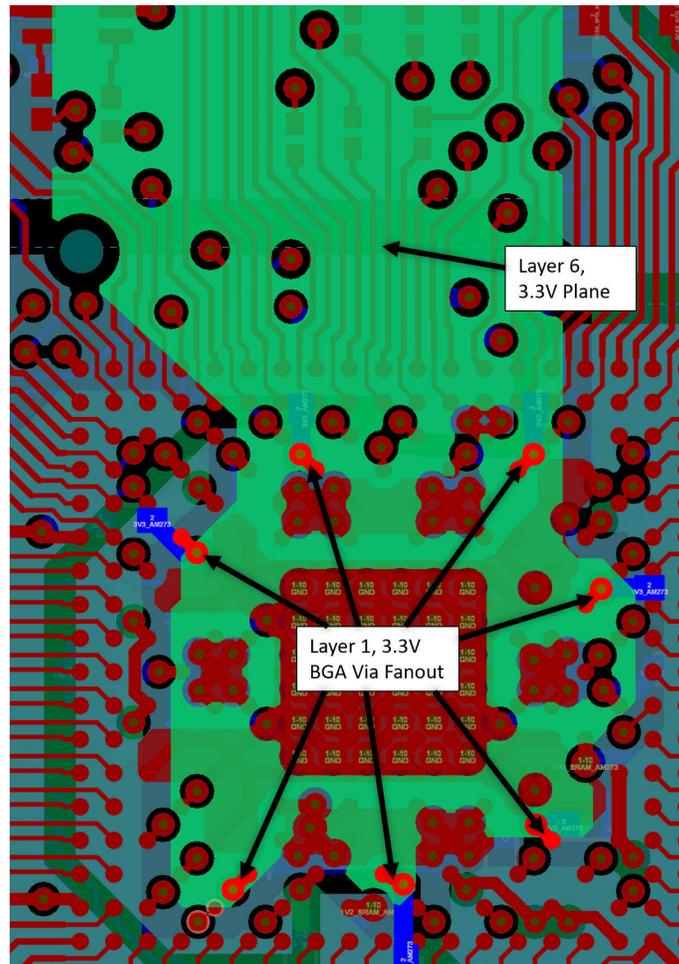


图 11-15. AM273 GPEVM 摘录 - 3.3V 数字 I/O 和模拟 I/O BGA 引脚排列

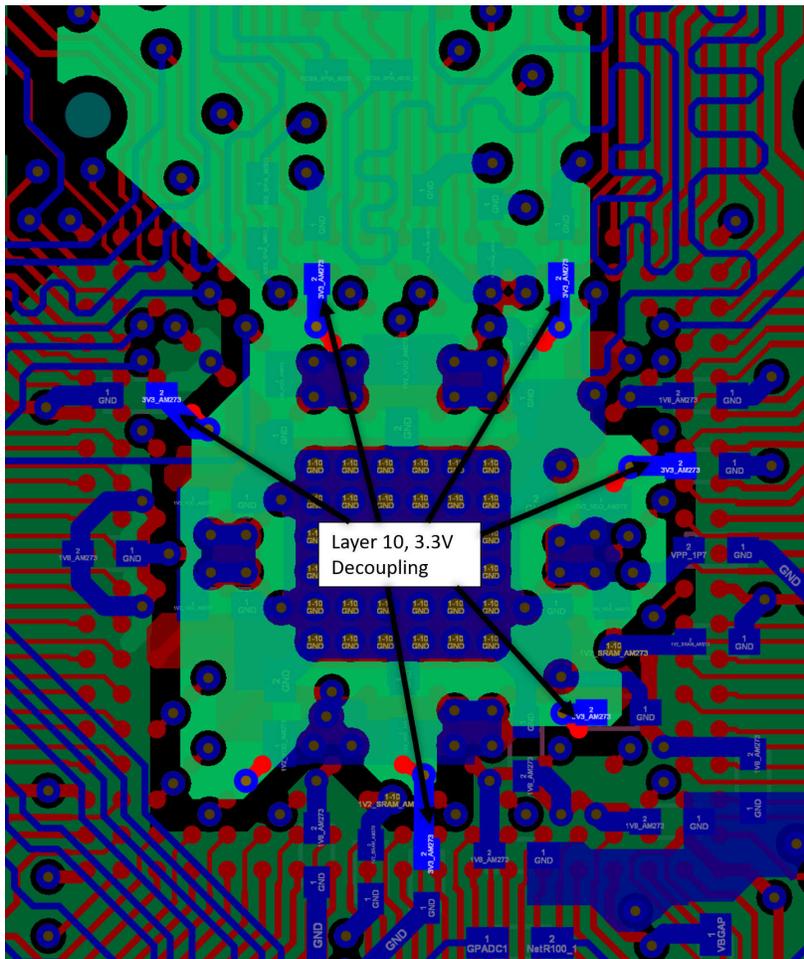


图 11-16. AM273 GPEVM 摘录 - 3.3V 去耦

### 11.3.1.2 3.3V 数字和模拟布局 - ZCE 四层示例

在 AM273 NZN 四层示例中，显示了 3.3V 平面，此平面布线至主要位于第 3 层上的 AM273 器件且及其下方。由于四层 PCB 造成的布线限制，在 AM273 器件下方，3.3V 平面在第 2 层和第 3 层之间分离。

第 2 层上的 3.3V 平面破坏了第 2 层上原本坚固的接地覆铜。选择放置这些切口是为了尽量减少对尽可能多的 GPIO 引脚的信号返回路径的影响。过孔将第 2 层和第 3 层上的平面连接到顶层上的 BGA 焊球焊盘和底层上的去耦电容器。

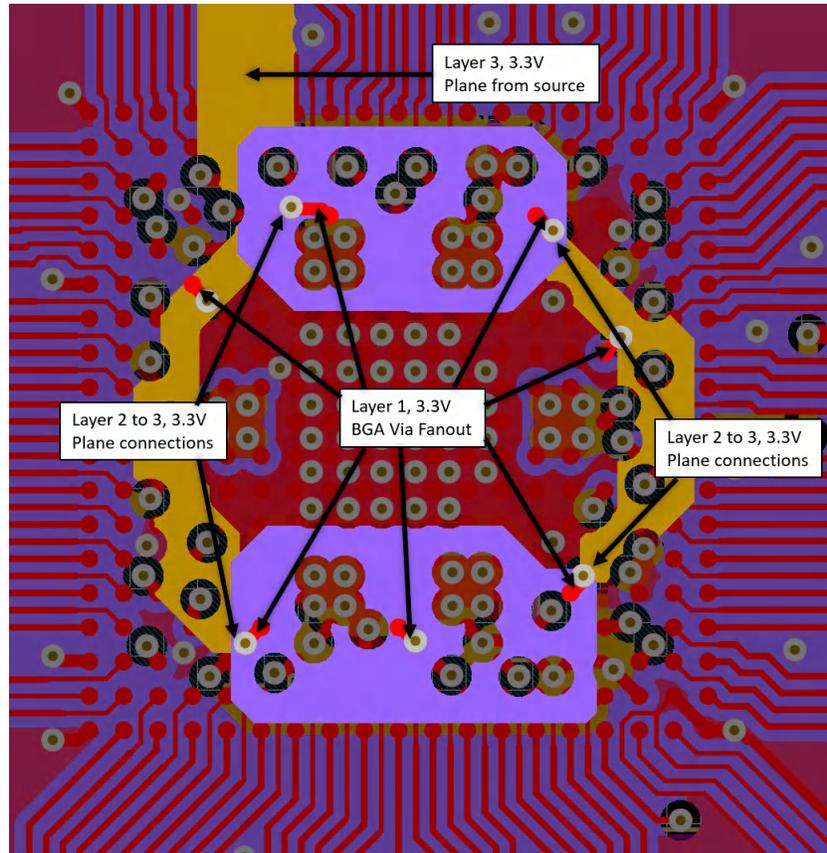


图 11-17. ZCE 4 层示例摘录 - 第 2 层和第 3 层上的 3.3V 数字和模拟电源平面以及 BGA 过孔

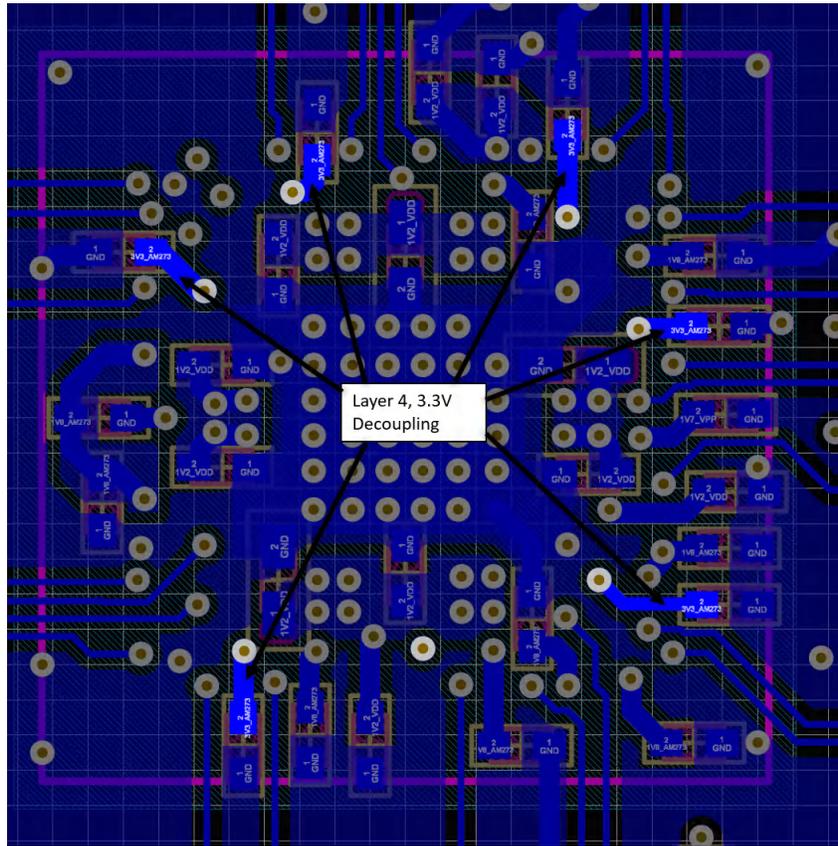


图 11-18. ZCE 4 层示例摘录 - 3.3V 去耦

### 11.3.1.3 3.3V 数字和模拟布局 - NZN 四层示例

在 AM273 NZN 四层示例中，显示了 3.3V 平面，此平面布线至主要位于第 3 层上的 AM273 器件且及其下方。由于四层 PCB 造成的布线限制，在 AM273 器件下方，3.3V 平面在第 2 层和第 3 层之间分离。

第 2 层上的 3.3V 平面破坏了第 2 层上原本坚固的接地覆铜。选择放置切口是为了尽量减少对尽可能多的 GPIO 引脚的信号返回路径的影响。过孔将第 2 层和第 3 层上的平面连接到顶层上的 BGA 焊球焊盘和底层上的去耦电容器。

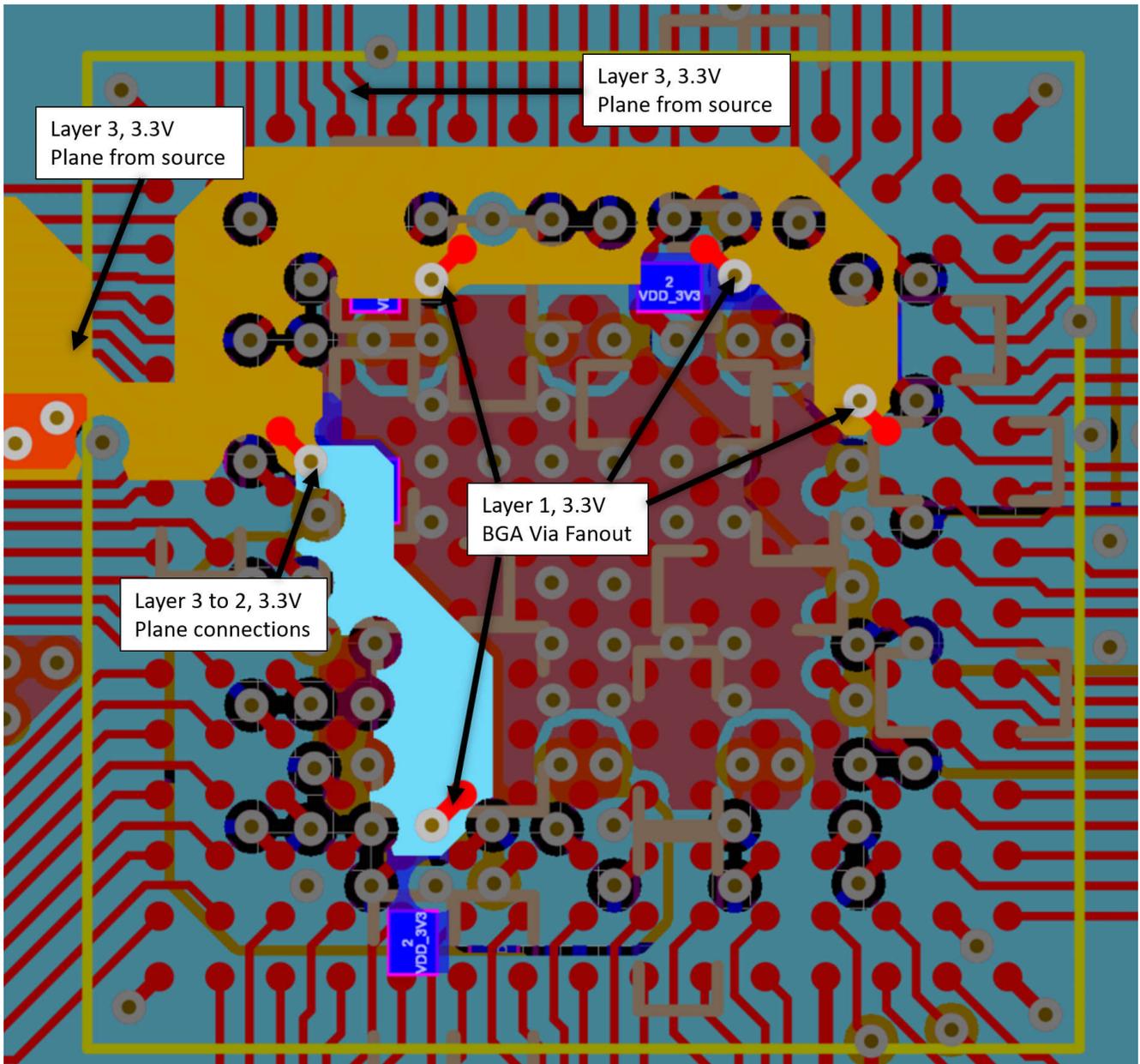


图 11-19. NZN 4 层示例摘录 - 第 2 层和第 3 层上的 3.3V 数字和模拟电源平面以及 BGA 过孔

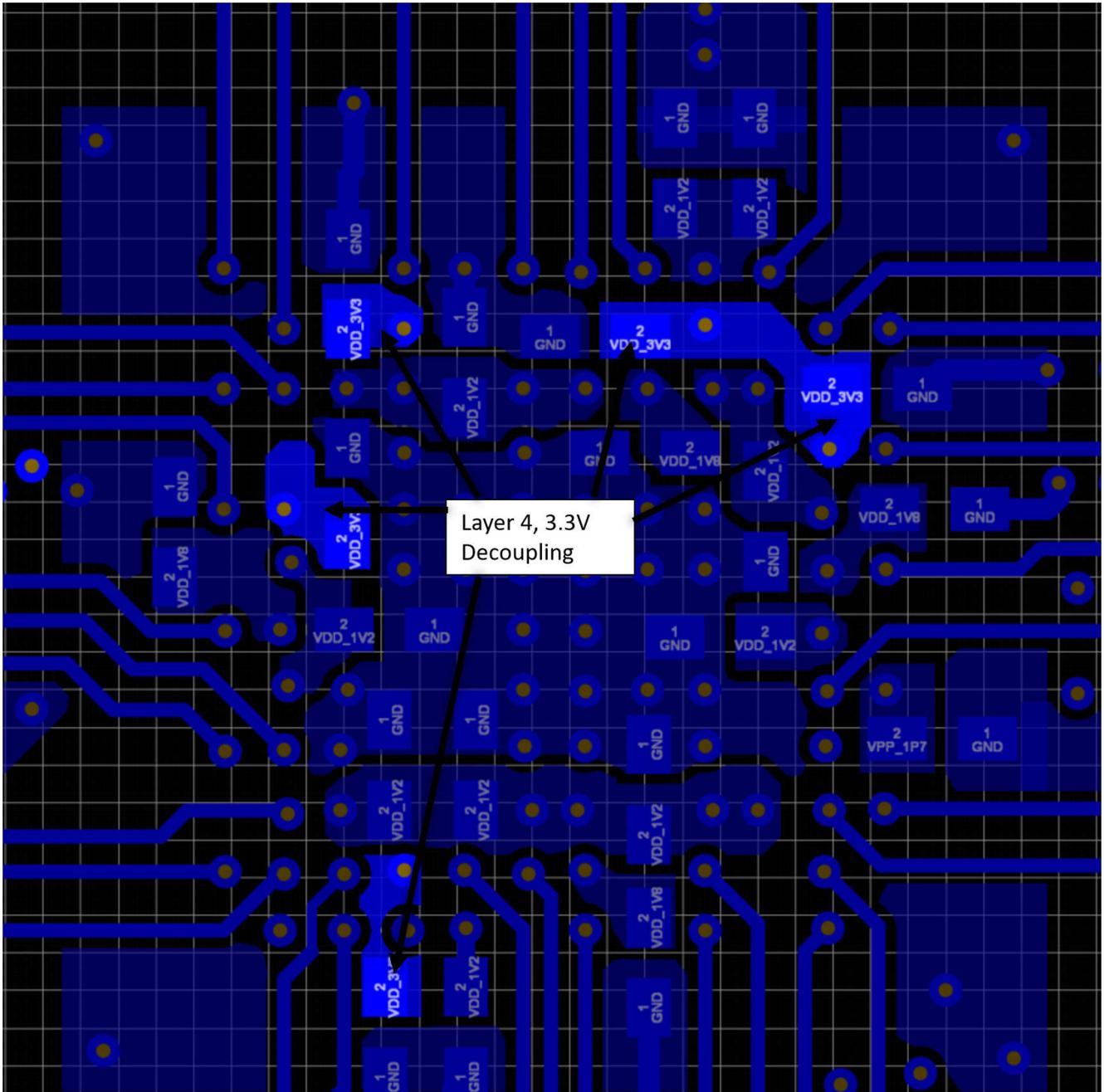


图 11-20. NZN 4 层示例摘录 - 3.3V 去耦

## 11.4 1.8V 数字和模拟电源

本节总结了 AM273x 器件的 1.8V 数字 I/O 和模拟 I/O 电源布线的主要元件。单个 1.8V 电源网从电路板上的电源子系统生成，并同时连接到 BGA 上的数字 I/O 和模拟 I/O 1.8V 电源引脚。

### 11.4.1 1.8V 数字和模拟电源主要布局注意事项

- 应对于所有电源和接地回路过孔扇出使用宽 15mil 的迹线。
- AM273x 应与 1.8V 稳压器或 PMIC 并置，以实现从稳压器到 BGA 电源引脚的更小 IR 压降。
- 应使用紧密耦合的相邻接地回路参考平面，以实现更佳的瞬态性能和 EMI 耦合
- 应使用更小的电源平面或更宽的迹线，以实现跨相关 BGA 引脚的更小 IR 压降和更佳瞬态布线
- 采用较小封装、较高频率的去耦电容应直接放置在 BGA 扇出过孔上，并以尽可能小的狗骨配置连接到电源和接地回路过孔

### 11.4.1.1 1.8V 数字和模拟布局 - TMD5273GPEVM

在 AM273 GPEVM 上，1.8V 平面位于第 10 层，范围从 PMIC 的输出到位于第 1 层的电流检测分流电阻器。从分流电阻器，1.8V 平面在第 6 层上布线至 AM273 器件，此处，过孔连接到顶层上的 BGA 焊球焊盘和底层上的去耦电容器。

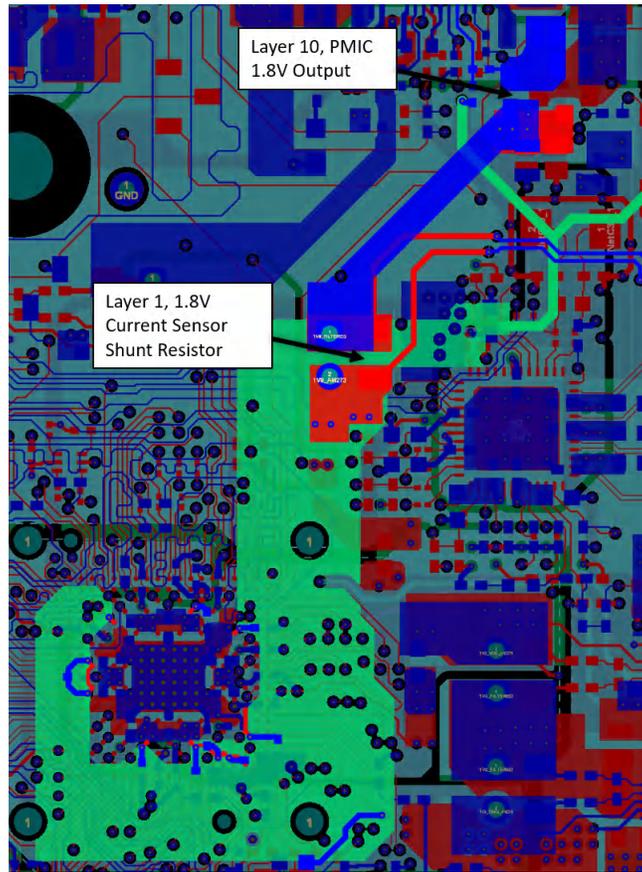


图 11-21. AM273 GPEVM 摘录 - 1.8V 数字电源过孔扇出和平面布线第 6 层

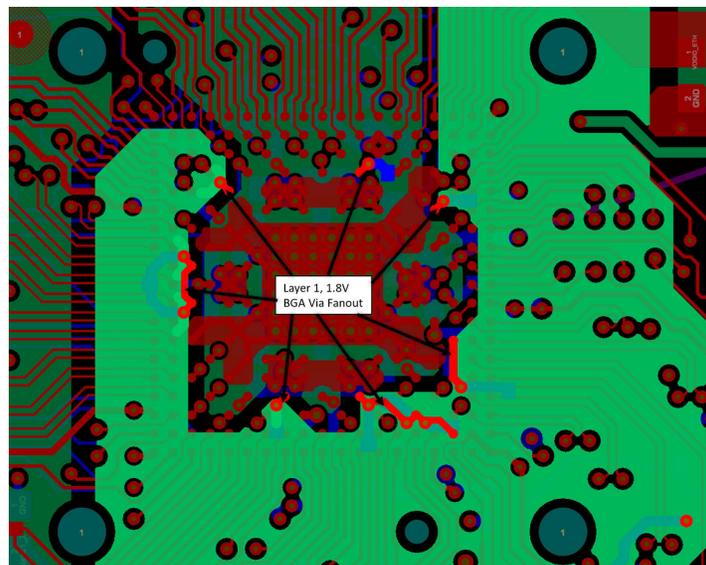


图 11-22. AM273 GPEVM 摘录 - 1.8V 电源过孔扇出和平面布线第 6 层

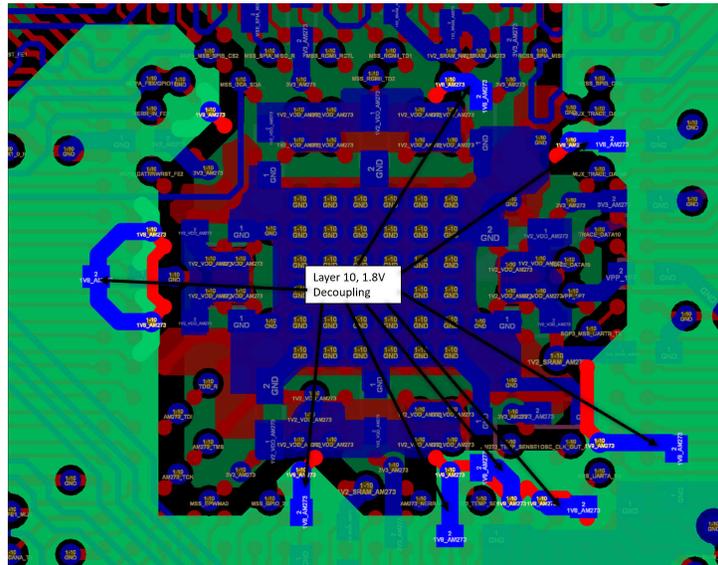


图 11-23. AM273 GPEVM 摘录 - 第 10 层上的 1.8V 电源去耦

#### 11.4.1.2 1.8V 数字和模拟布局 - ZCE 四层示例

在 AM273 NZN 四层示例中，显示了 1.8V 平面，此平面布线至第 3 层上的 AM273 器件且及其下方。过孔将第 3 层上的平面连接到顶层上的 BGA 焊球焊盘和底层上的去耦电容器。

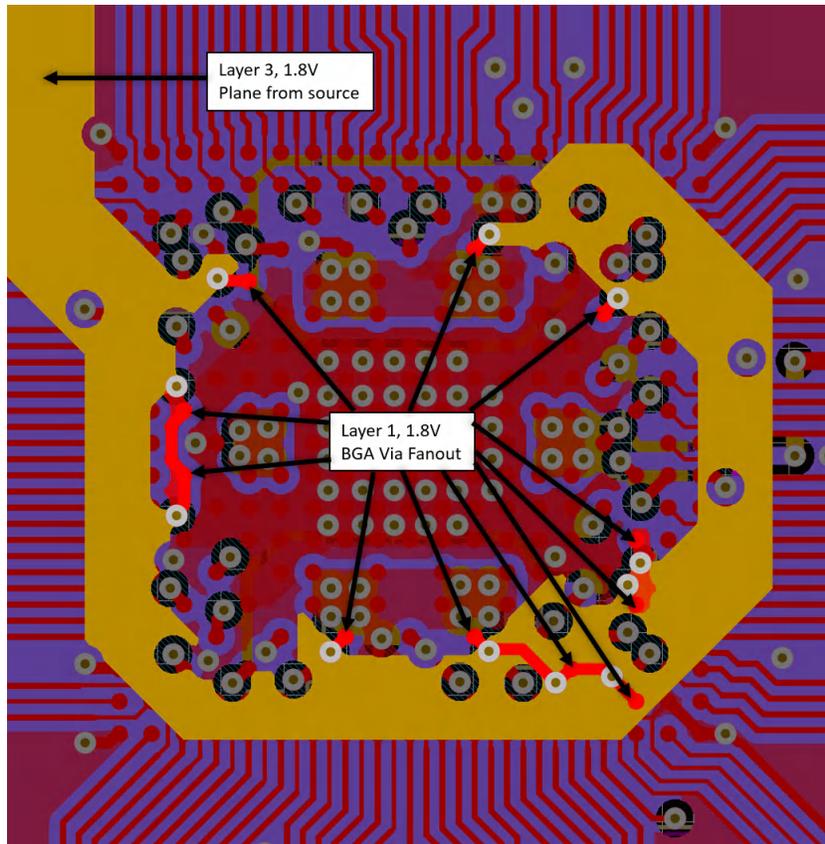


图 11-24. ZCE 4 层示例摘录 - 1.8V 电源过孔扇出和平面布线第 3 层

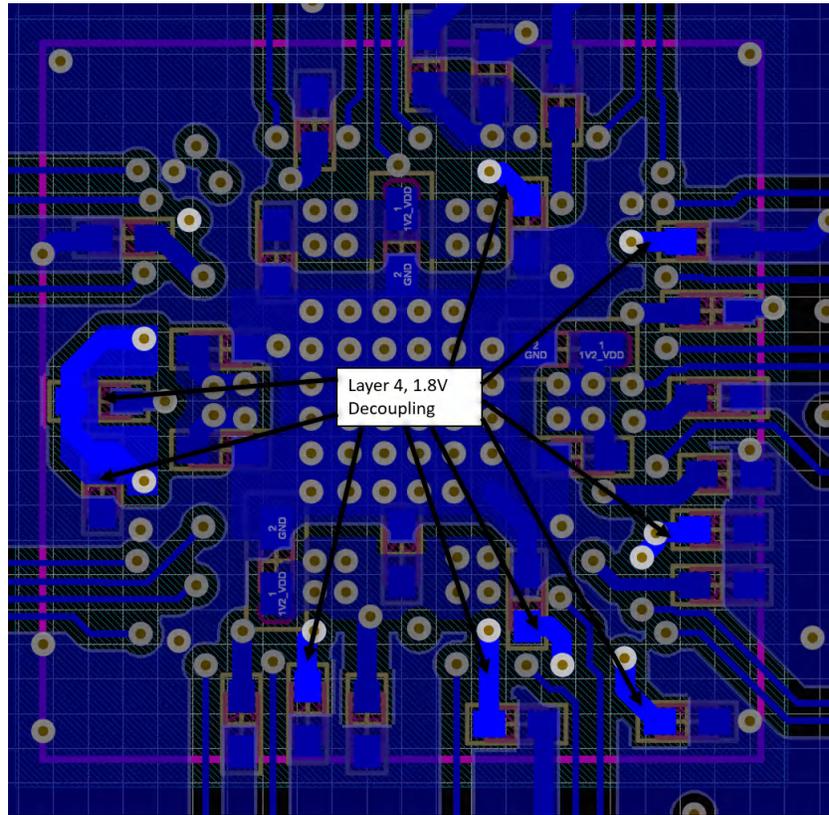


图 11-25. ZCE 4 层示例摘录 - 第 4 层上的 1.8V 电源去耦

#### 11.4.1.3 1.8V 数字和模拟布局 - NZN 四层示例

在 AM273 NZN 四层示例中，显示了 1.8V 平面，此平面布线至主要位于第 3 层上的 AM273 器件且及其下方。由于四层 PCB 造成的布线限制，在 AM273 器件下方，1.8V 平面在第 2 层和第 3 层之间分离。

第 2 层上的 1.8V 平面分裂了第 2 层上原本坚固的接地覆铜。选择放置这些切口是为了尽量减少对尽可能多的 GPIO 引脚的信号返回路径的影响。过孔将第 2 层和第 3 层上的平面连接到顶层上的 BGA 焊球焊盘和底层上的去耦电容器。

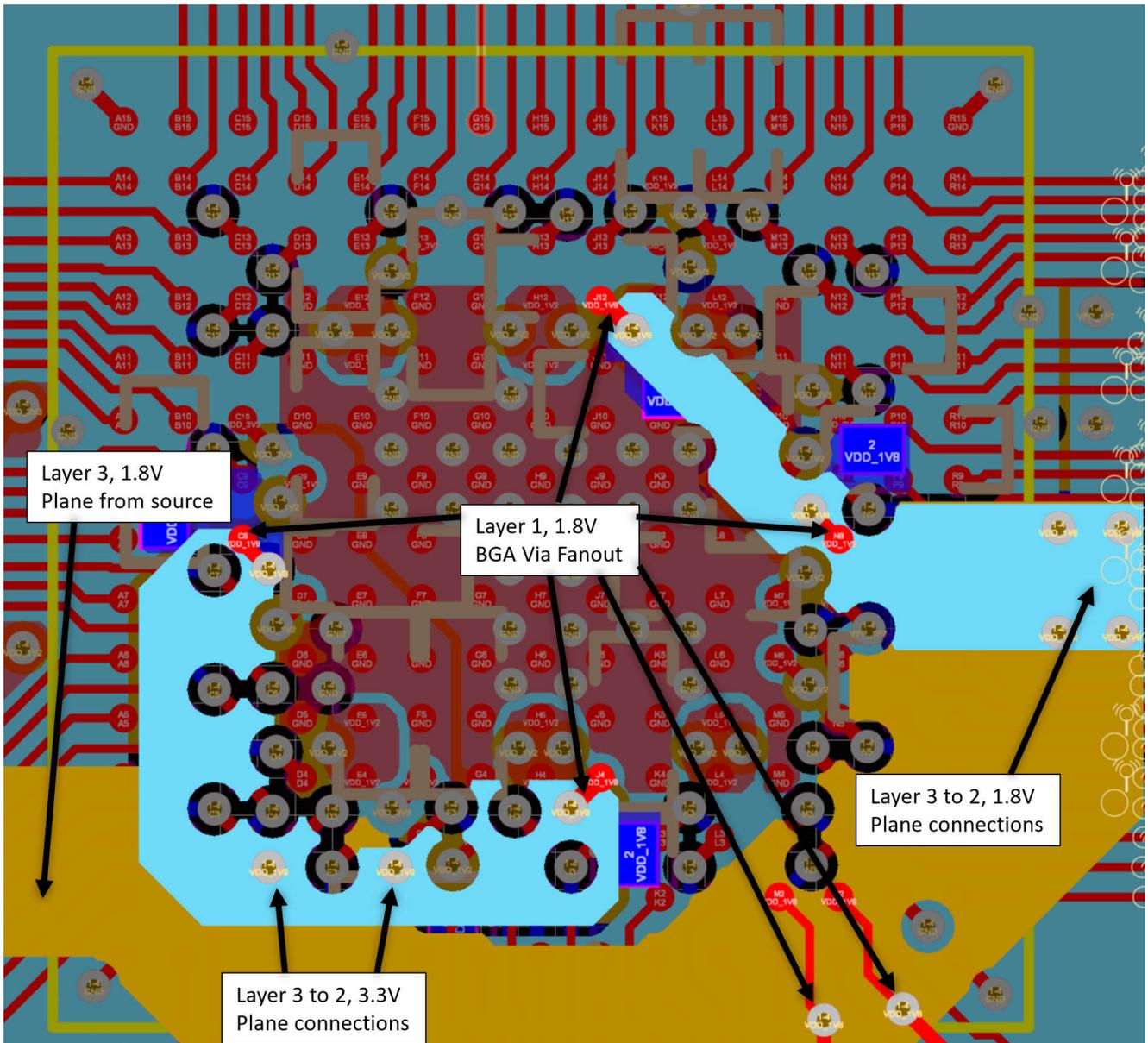


图 11-26. NZN 4 层示例摘录 - 1.8V 电源过孔扇出和平面布线第 3 层

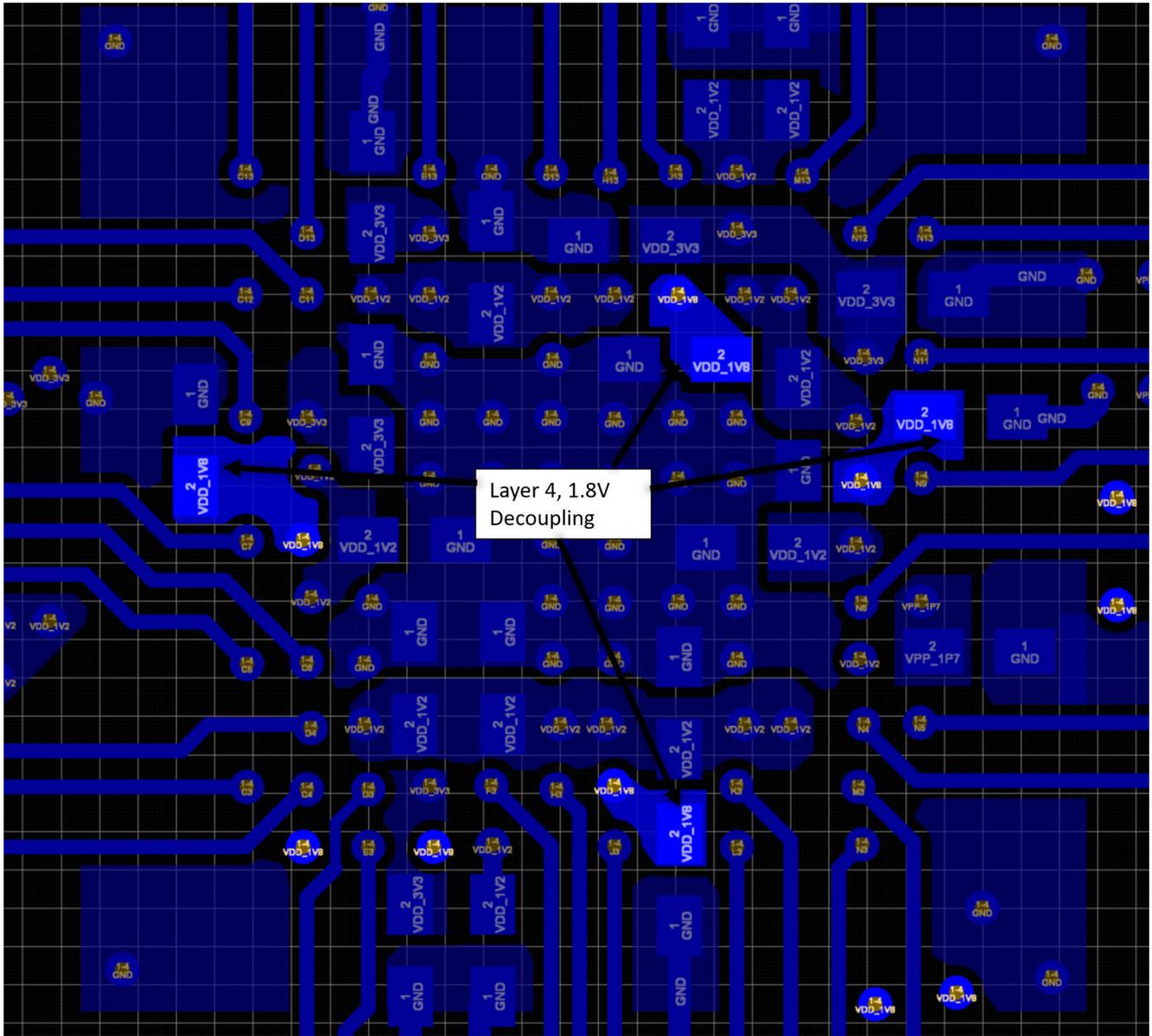


图 11-27. NZN 4 层示例摘录 - 第 4 层上的 1.8V 电源去耦

## 12 参考文献

1. 德州仪器 (TI) : *AM273x Sitara™ 微控制器数据表*
2. 德州仪器 (TI) : *AM273x Sitara™ 微控制器技术参考手册*
3. AM273x 通用 EVM 设计 : <https://www.ti.com.cn/tool/TMDS273GPEVM>
4. 德州仪器 (TI) 系统配置工具 (SYSCONFIG) : <https://www.ti.com.cn/tool/SYSCONFIG>
5. MIPI 联盟针对调试和跟踪连接器的建议 : <https://www.mipi.org/sites/default/files/MIPI-Alliance-Recommendation-Debug-Trace-Connectors.pdf>
6. JTAG 连接器 and 引脚分配 : [https://software-dl.ti.com/ccs/esd/documents/xdsdebugprobes/emu\\_jtag\\_connectors.html](https://software-dl.ti.com/ccs/esd/documents/xdsdebugprobes/emu_jtag_connectors.html)
7. AM273 MCU 软件开发套件 : <https://www.ti.com.cn/tool/MCU-PLUS-SDK-AM273x>.

## 13 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

**Changes from Revision \* (March 2023) to Revision A (November 2023)**

**Page**

---

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司