



## 摘要

TPS65987DDH 是德州仪器 (TI) 推出的第三代 USB 电力输送控制器。该器件符合 USB 电力输送规范 3.1 和 USB Type-C 规范 1.2。

其集成了功率 FET、各种电源管理功能、BC 1.2 主机和器件、20 个 GPIO、Cortex M0 内核等。内部具有集成式 FET，每个端口最多支持 60W 功率。该器件还包括所有必要的电源管理和保护电路，例如反向电流保护 (RCP)、欠压保护 (UVP)、过压保护 (OVP) 等。大多数 GPIO 可分配各种事件来控制系统的各个部分，例如交替模式多路复用器、直流/直流转换器等。所有这些特性都集中在单个芯片上，可为笔记本电脑、集线站和其他空间受限的应用提供出色的解决方案。

本应用手册包含使用 TI PD 控制器设计硬件的指南，并介绍了此器件的功能、引脚和信号。此外，还展示了高速信号如何保持信号完整性。

有关应用和用例的更多信息，客户可参考此器件的数据表和其他应用手册。

## 内容

<b>1 原理图设计指南</b> .....	2
1.1 电源原理图.....	2
1.2 启动配置.....	3
1.3 I <sup>2</sup> C 接口.....	4
1.4 HRESET.....	5
1.5 配置通道/VCONN 线路.....	5
1.6 电池充电器检测和通知 (BC1.2).....	6
1.7 GPIO.....	6
1.8 热插拔检测 (HPD) 线路.....	7
1.9 PP_EXT 电源路径控制.....	7
1.10 电源路径注意事项.....	7
<b>2 布局指南</b> .....	8
2.1 电源域.....	8
2.2 高速线路.....	9
2.3 其他注意事项.....	11
<b>3 总结</b> .....	11
<b>4 参考文献</b> .....	11
<b>A 附录</b> .....	12
A.1 电池电量耗尽注意事项.....	12
A.2 TPS65987DDH 原理图检查清单.....	13
A.3 TPS65987DDH 系统检查清单.....	15
<b>修订历史记录</b> .....	15

## 商标

所有商标均为其各自所有者的财产。

## 1 原理图设计指南

本节提供了原理图设计指南和建议，并详细介绍了本器件提供的所有主要接口以及如何在您的设计中利用这些接口。更多详细信息和原理图检查清单，请参阅 [Appendix A](#)。

### 1.1 电源原理图

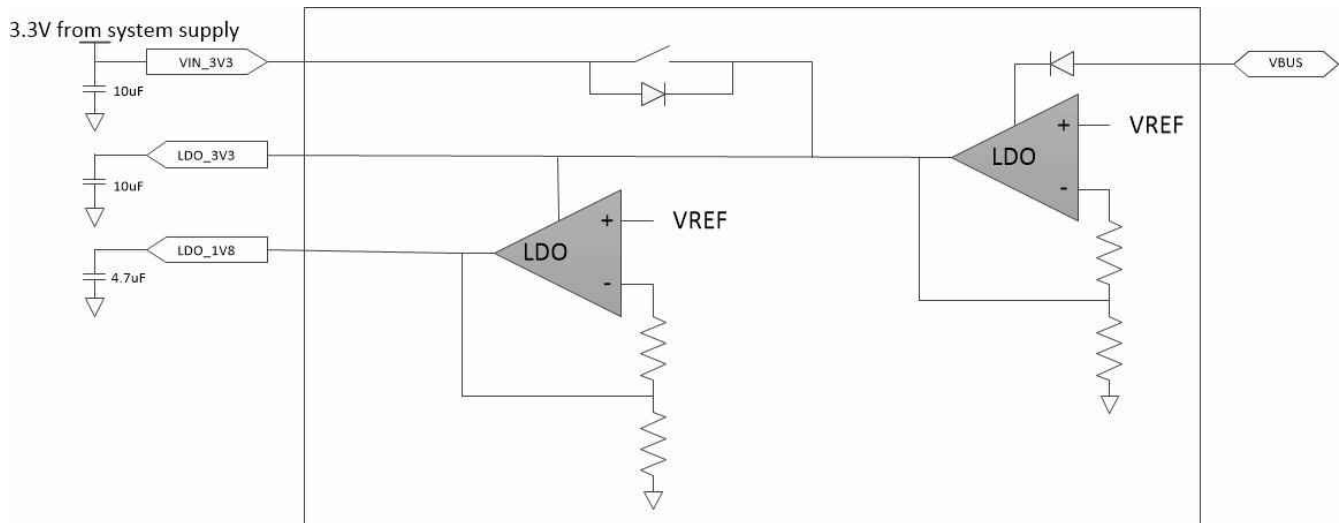


图 1-1. 电源原理图

#### 1.1.1 VIN\_3V3

这是芯片的主要电源轨。可在此引脚上提供稳定的 3.3V 电压。将 10  $\mu$ F 电容器放在靠近此引脚的位置。

### 1.1.2 LDO\_3V3

LDO\_3V3 是核心芯片的电源。它可由 LDO 的 VIN\_3V3 输出供电，LDO 由 VBUS 驱动。芯片通电后 LDO\_3V3 即可用。因此，这个电源轨可用于为系统中的外部 SPI 闪存和 I2C (或其他) 上拉电阻器供电。此线路只能为外部器件提供 25mA 的电流。请勿在此电源轨上连接不必要的器件而导致其过载。

### 1.1.3 LDO\_1V8

LDO\_1V8 是从 LDO\_3V3 内部生成的，用于为核心数字电路供电。将 4.7uF 置于靠近此芯片的位置。

## 1.2 启动配置

TPS65987 PD 控制器提供用户可配置的寄存器，支持用户根据特定的系统要求自定义 PD 控制器的行为。可采用简单易用的 [TPS6598x 配置工具](#) 来修改用户可配置的寄存器，并将其与工具中提供的最新固件补丁相结合。若要存储由配置工具生成的自定义补丁捆绑包，还需要外部 SPI 闪存。必须根据器件数据表进行适当的引脚搭接，以定义启动期间的 PD 控制器行为，并选择外部 SPI 闪存作为引导源。

### 1.2.1 BUSPOWER (ADCIN1)

该引脚用作器件初始化时的引导引脚。在电池无电的情况下运行时，VBUS 引脚处的片上电压决定了功率的使用方式。此引脚与 SPI\_MISO 引脚配合，有助于从 ROM 选择适当的器件配置。应在 LDO\_3V3 和 GND 之间使用分压器，以选择适当的配置。更多相关信息，请参阅器件数据表。

要求外部电阻器容差为 1%。

不要将 ADCIN1 引脚直接接地或连接到 LDO\_3V3 电源轨。请使用数据表中推荐的电阻分压器。

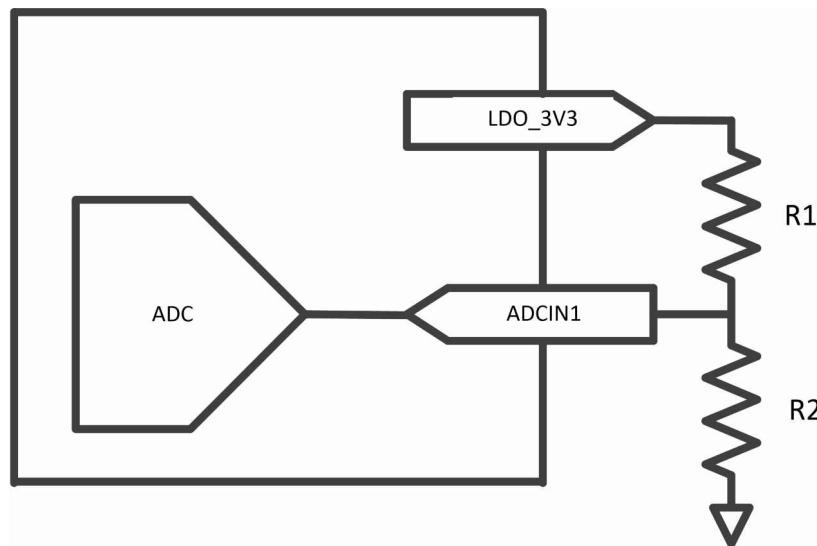


图 1-2. ADCIN1 电阻分压网络

### 1.2.2 外部 SPI 闪存

SPI 闪存在使用时必须通过 LDO\_3V3 供电，并且必须能够在 12MHz 或更高的频率下运行。将 0.1μF 电容器放置在靠近 SPI 闪存供电引脚的位置，以滤除噪声。在 CS、MISO、WP 和 HOLD 线路上增加上拉电阻。TI 建议系统使用“W25X05CL”或类似 SPI 闪存。

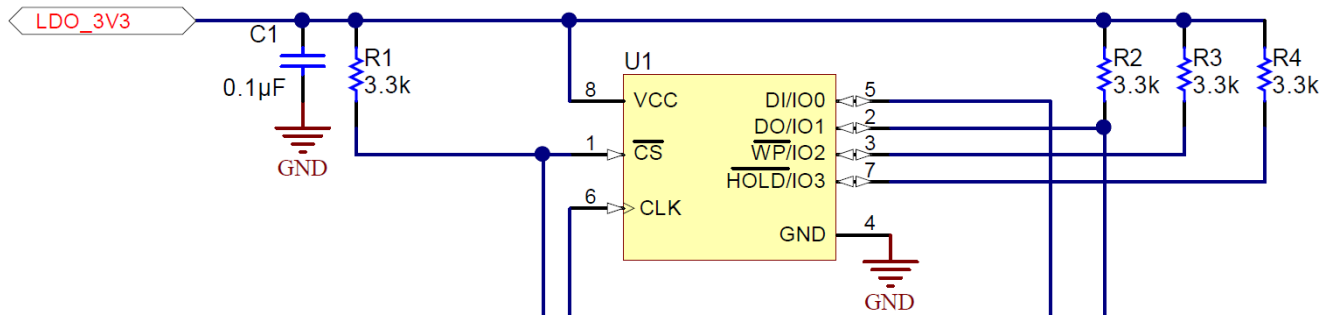


图 1-3. 建议用于 SPI 闪存的上拉电阻

### 1.3 I<sup>2</sup>C 接口

此器件中有三个 I<sup>2</sup>C 端口。请参阅表 1-1 了解每个 I<sup>2</sup>C 端口提供的功能。I<sup>2</sup>C 端口可用作 I<sup>2</sup>C 主器件，来控制 I<sup>2</sup>C 从器件，例如交替模式多路复用器、电池充电控制器等。同时，I<sup>2</sup>C 端口可用作 I<sup>2</sup>C 从器件，提供主机接口来控制芯片的各种功能。所有 I<sup>2</sup>C 端口都可支持快速 (400KHz) 和标准 (100KHz) I<sup>2</sup>C 模式与突发写入。所有 I<sup>2</sup>C 线路都必须有适当的上拉电阻，最好是来自 LDO\_3V3 电源轨。即使未使用的 I<sup>2</sup>C 端口也必须使用 10KΩ 电阻进行上拉。

表 1-1. I<sup>2</sup>C 端口功能

端口	主器件	从器件	备注
I <sup>2</sup> C1	是	是 (默认)	应连接到 PC 的嵌入式控制器。
I <sup>2</sup> C2	否	是	应连接到 PC 的 Thunderbolt 控制器。
I <sup>2</sup> C3	是	否	应将其用于控制外部 I <sup>2</sup> C 从器件，例如多路复用器、电池充电器等等。

### 1.3.1 I<sup>2</sup>C 引脚地址设置 (ADCIN2)

ADCIN2 引脚用于设置器件的 I<sup>2</sup>C 地址。启动时芯片会确定电压并设置 I<sup>2</sup>C 地址。必须在 LDO\_3V3 和 GND 之间使用分压器，以获得所需的 I<sup>2</sup>C 地址。I<sup>2</sup>C 端口 1 的 I<sup>2</sup>C 地址如表 1-2 所示

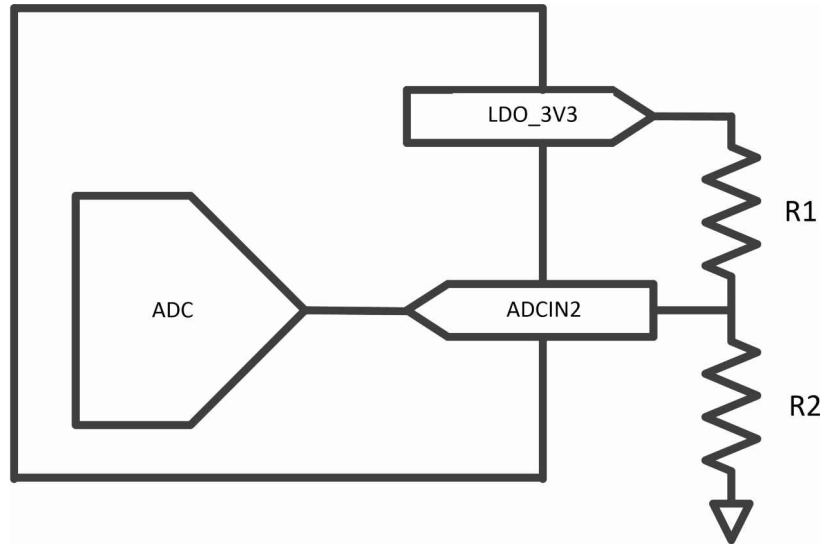


图 1-4. ADCIN2 电阻分压网络

要求外部电阻器容差为 1%。

必须在 LDO\_3V3 和 GND 之间使用分压器，以获得所需的 I<sup>2</sup>C 地址。I<sup>2</sup>C 端口 1 的 I<sup>2</sup>C 地址如表 1-2 所示。

表 1-2. I<sup>2</sup>C 端口 1 的 I<sup>2</sup>C 地址

DIV = R2/(R1 + R2)		默认唯一地址 I2C1 - 端口 1 (7 位)	默认唯一地址 I2C1 - 端口 2	推荐电阻
DIV MIN	DIV MAX			
ADCIN2 短接至 GND		0x20	0x24	R2=100K
0.20	0.38	0x21	0x25	R1=191K R2=100K
0.40	0.58	0x22	0x26	R1=100K R2=100K
ADCIN2 短接至 LDO_3V3		0x23	0x27	R1=100K

## 1.4 HRESET

高电平有效硬件复位输入信号。置为高电平可重新初始化所有器件设置。如果不使用 HRESET 功能，请将该引脚接地。否则请使用 100K 电阻器下拉该引脚，并增加 0.01uF 的电容器，以滤除高频噪声。

## 1.5 配置通道/VCONN 线路

配置通道 (CC) 线路是 Type-C 和 PD 通信系统最重要的线路。这些线路负责器件间的所有 Type-C 和 PD 协商。Type-C/PD 端口有两条 CC 线路：CC1 和 CC2。连接 Type-C 器件后，只有一条 CC 线路用于通信。另一条 CC 线路会转换为 VCONN，向连接线缆的电子产品提供 5V 电源 (如果适用)。如果出现 Ra，则支持最高 600mA 的 VCONN 电流。但如果器件有固定式电缆，则 CC 线路和 VCONN 是固定的。电缆在其中一端进行硬接线；因此不需要高速信号多路复用。

请确保 PD 控制器的 CC 线路直接连接至 Type-C 插座。在 PD 芯片中的 CC 引脚和 Type-C 插座中的 CC 引脚之间，应避免使用任何无源元件，例如 0Ω 电阻。CC 线路具有严格的眼图要求，在 CC 线路和接地之间置有一个电容器，可满足眼图要求。如果在 CC 眼图上发现任何问题，应微调这些电容器的值。请参考数据表，找到 CC 线路和接地之间的适当电容器值。请将 PD 控制器放在靠近 Type-C 插座的地方，以避免长线迹导致的压降。

### 1.5.1 PP\_CABLE

这些引脚上的 5V 电源用于在未使用的 CC 引脚上提供 VCONN。内部会监控流经这些引脚的电流。如果电流超出 600mA，VCONN FET 会关闭。这样可在 VCONN 上提供过流保护。

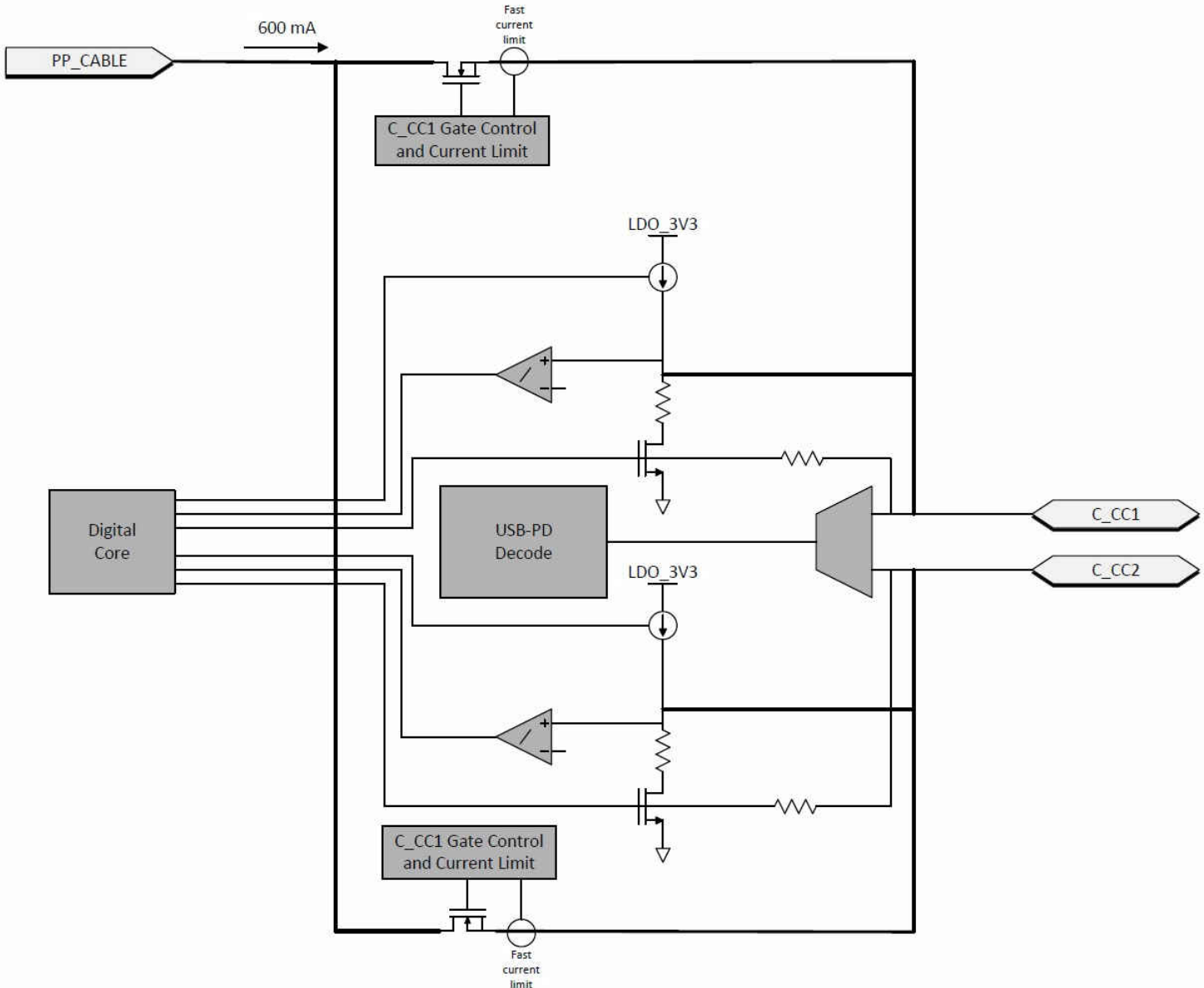


图 1-5. 端口电源开关

### 1.6 电池充电器检测和通知 (BC1.2)

此器件有 2 条 USB 线路，可用于 BC1.2 检测，或用作标准 GPIO。将这些引脚连接至 USB 2.0 线路，同时使用这些引脚进行 BC1.2 检测。如果线路未使用，则可为用于 BC 1.2 检测的线路分配任何事件。

### 1.7 GPIO

此器件具有多个 GPIO，可用于通过器件配置工具分配 PD 事件。这些 GPIO 支持多种事件选项，可指示各种状态。此器件可根据系统的输入做出适当的决策。所有未使用的 GPIO 应在硬件中保持悬空。部分 GPIO 具有特定功能，应合理使用。请参考本文档附录中的 TPS65987DDH 原理图检查清单。

## 1.8 热插拔检测 (HPD) 线路

此引脚用于显示端口 (DP) 通信。如果检测到连接了 DP 器件，端口合作伙伴会通过 Type-C 通信系统发送一条 HPD 消息。收到消息后，PD 控制器会改变相应线路的状态。

## 1.9 PP\_EXT 电源路径控制

这些信号 (GPIO16 和 GPIO17) 用于控制外部功率 FET。请注意，这些引脚不能承受高电压，需要使用驱动器 FET 来驱动功率 FET。

如果未使用外部 FET，PP\_EXT 引脚可用作 GPIO。

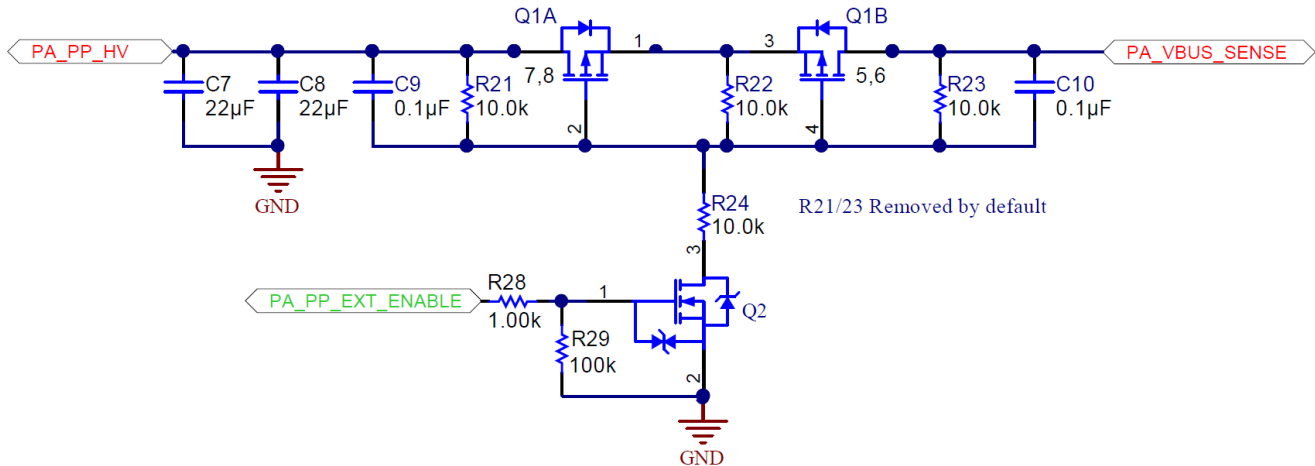


图 1-6. 具有驱动器的 PP\_EXT 路径

## 1.10 电源路径注意事项

需要保护 PD 控制器上的电源路径免受电压瞬态的影响，电压瞬态会超出数据表中的绝对上限额定值。这有助于防止系统现场受损。对于外部电源路径，推荐使用额定电压与 PD 控制器类似或更好的元件，确保不会由于过压而出现故障。强烈建议利用反向电流保护 (RCP) 功能保护外部电源路径。

对于 VBUS，建议在 VBUS 上放置肖特基二极管，以便在短路或突然断开连接时吸收 GND 电流。肖特基二极管可保护连接到 VBUS 的所有器件，并在 VBUS 低于 GND 时吸收电流。肖特基二极管的正向电压必须尽可能低（建议值为 500mV 或更低），以保护与 VBUS 连接的器件的内部二极管。优于肖特基二极管的选项是单向瞬态电压抑制二极管 (TVS) 器件，例如 TVS2200，它可针对过压和 GND 电流提供保护。TVS 器件的正向电压也必须尽可能低。

如果将外部电源（桶形插孔）直接连接到 PPHV1 和 PPHV2 路径，那么保护电源路径免受热插拔造成的瞬态电压影响是至关重要的。热插拔时外部电源电压至少会翻倍（20V 桶形插孔高达 40V）。好的系统设计必须尽量减小瞬态电压，以保护 PD 控制器以及直接连接到外部电源的器件的电源路径。可以考虑各种保护设计：输入电源滤波（铁氧体磁珠和电容器）、软启动电路（功率 FET）或具有 TVS 的输入电源滤波。如果外部电源具有非常高的输出电容，可能需要结合使用这些保护方案。另外一个重要事项是，使用必要的 PPHV1 和 PPHV2 大容量电容，以满足源要求和 PD 规范。

向 PPHV1 和 PPHV2 路径供电的最佳实践是使用稳压控制电源。对于仅支持 5V 的系统，只要控制打开斜升速率，即可直接连接系统 5V 电源。如果系统功率高达 100W (5V/9V/15V/20V)，可变直流/直流转换器会直接馈送到 PPHV1 和 PPHV2 路径中，这也是一种受控斜升速率。要求连接到 PPHV1 和 PPHV2 的电源（直流/直流或交流/直流转换器）不能超出 PD 控制器的电压绝对上限额定值。

### NOTE

如果不进行电源路径保护，可能会导致可靠性问题，并对系统造成不可逆转的损坏。如果不合规或受损产品连接到系统，对电源路径的额外保护有助于防止故障。

## 2 布局指南

本节提供了使用 TPS65987DDH PD 控制器进行设计时必须遵循的建议。并非必须采用所有建议，具体取决于设计。因此，设计人员应确定需求，从而实现设计目标。更多相关信息，请参阅器件数据表第 10 节的指南。

### 2.1 电源域

此器件通过内部电源路径可提供最高 60W 的 PD 功率，如果使用外部功率 FET，可支持高达 100W 的功率。遵循这些基本指导原则可避免设计问题：

1. 推荐使用采用大型封装的外部 FET，以便更好地散热。在快速升温阶段，较小的 FET 会因短路而损坏。较大的 FET 散热要快得多，因此会一直受到保护。
2. 为所有高电流路径（例如 VBUS、PP\_HV、PP\_EXT）提供宽线迹，确保 VBUS 具有低电阻路径或电源平面。
3. 确保功率器件周围有足够的自由空间和铜材来促进散热。
4. 应避免高电流路径中存在任何过孔，但如有必要，每 500mA 电流可提供至少一个过孔。
5. 为 CC 线路提供至少 8mil 的线迹，从而支持 VCONN 电源的高电流。
6. 将去耦电容靠近电源引脚放置。
7. 为放置在芯片下方的接地焊盘提供至少八个过孔。这些过孔应从顶层通到底层。这些过孔可确保良好的导电性和导热性，还有助于芯片的散热。
8. 对于两个分离的 FET 焊盘，在每个焊盘下方至少提供 6 个热过孔。这些过孔必须处于电气隔离 (NC) 状态。请确保这些过孔从顶层通到底层，最好进行包覆。



## 2.2 高速线路

在 USB PD 系统中，高速信号最高可达 10Gbit/s。在基于 Thunderbolt 3 的系统中，数据速率可提升至 40Gbit/s。在高数据速率下，可能无法保持信号完整性。使用这些指南可避免信号质量问题。

1. 确保将超高速或交替模式多路复用器放置在靠近 Type-C 插座的地方。这是避免信号质量问题的必要手段，因为高速线路可直接路由至多路复用器。

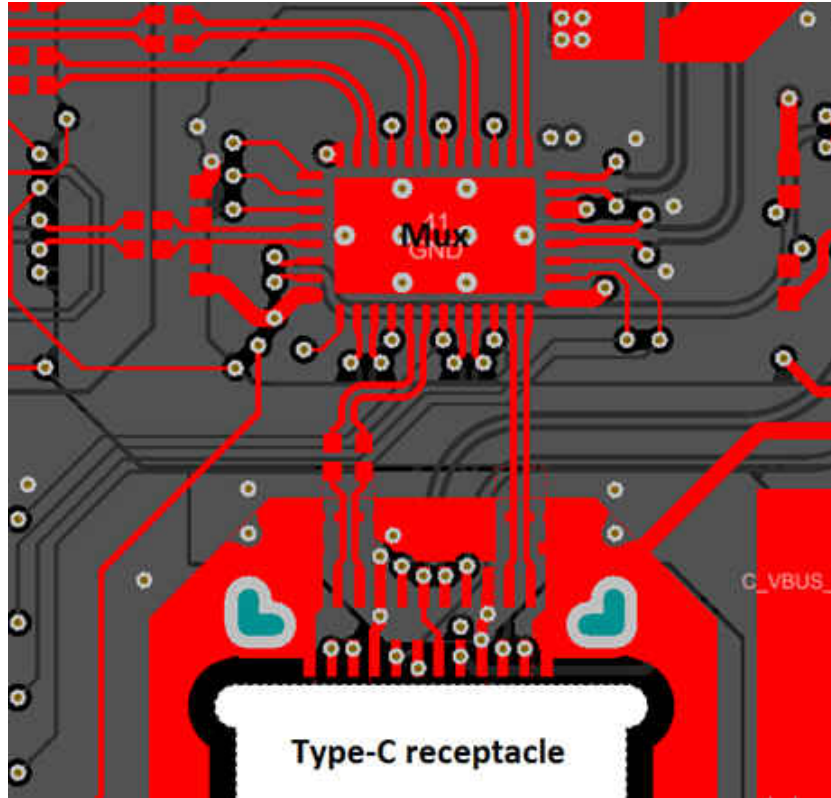


图 2-1. 高速信号路由示例

2. 请勿使开关电路靠近多路复用器和高速信号布线，从而避免噪声耦合到这些信号中。
3. 针对高速信号，保持  $90\Omega$  的差分阻抗。
4. 两个差分对的距离必须至少为差分对宽度的三倍，并应统一布局。
5. 差分对布线的对内长度应在 5mil 内。
6. 避免高速信号上出现弯曲。如有必要，请使用圆角弯曲或  $45^\circ$  弯曲方式。切勿采用  $90^\circ$  弯曲方式。

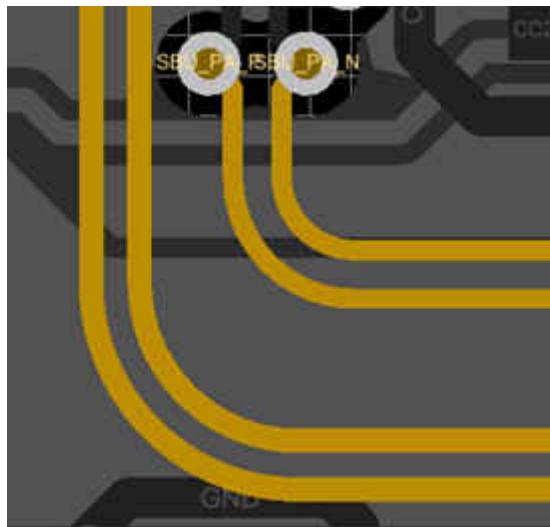


图 2-2. 推荐的信号弯曲方式

7. 如果两对高速信号在两个平面上彼此交叉，则这两个平面之间必须有一个接地平面。
8. 改变高速信号层时要保持连续接地，从而确保阻抗一致。在高速信号上放置过孔时，请在其旁边放置接地过孔，从而保持阻抗一致。

## 2.3 其他注意事项

本节介绍了其他设计注意事项，例如元件的放置以及需要遵循的其他最佳实践。

1. 尝试缩短 Type-C 插座和 PD 控制器的 CC 引脚之间的距离。将 220pF 电容器靠近 PD 控制器放置。CC 线路上的电容器有助于调整 CC 信号的眼图。
2. 将 ESD 二极管尽可能靠近 Type-C 插座放置。
3. ESD 元件在差分路径上必须以直通方式放置，无残桩产生。
4. 所有电源稳压器都必须远离高速信号及其关联元件。

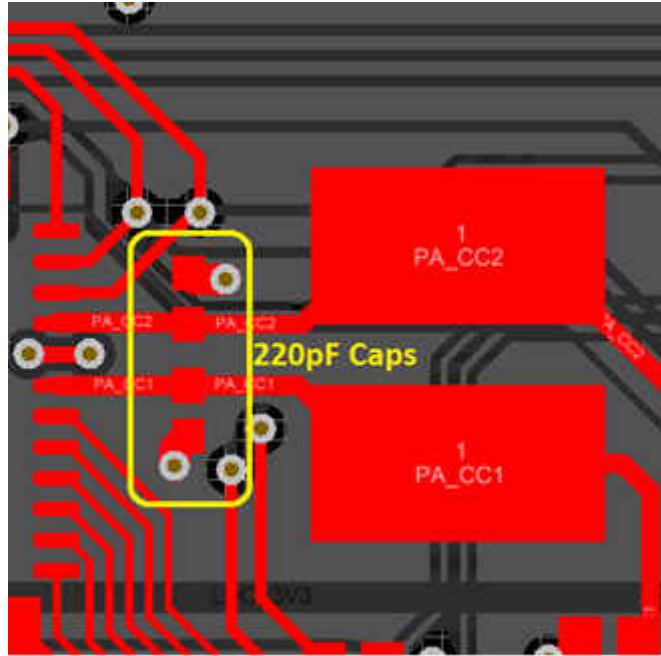


图 2-3. 电容器在 CC 线路上的放置方式

## 3 总结

本应用手册介绍了原理图设计和布局设计的重要注意事项。系统设计人员应遵循本应用手册中描述的所有建议，并参考所有其他相关的应用手册和规范，然后再开始使用 TPS65987DDH PD 控制器进行设计。

## 4 参考文献

- [具有集成电源开关的 TPS65987 USB Type-C 和 PD 控制器](#)

## A 附录

### A.1 电池电量耗尽注意事项

如果电池电量耗尽，系统将不通电。整个系统必须依托来自源端的 VBUS 运行。TPS65987DDH 具有可为其供电的内置 LDO。笔记本电脑通常需要嵌入式控制器 (EC)，以根据系统要求打开并管理 PD 端口。如果系统无电源，应有一个额外的稳压器从 VBUS 或 PP\_HV/PP\_EXT 生成 3.3V 电源，为 EC 和系统的其他关键器件供电。有两种方法可实现这一目标。

1. 使用来自 VBUS 的 LDO：VBUS 可用时，该器件就会加电，并协商至少一个隐性协议。此后 VBUS 会打开，并为 LDO 供电，再由 LDO 为 EC 和其他必要组件供电。即使系统只在发出 SRDY 命令时供电，或 BUZPOWERZ 配置为 EC 发出指令后才打开电源路径，也可使用此方案。

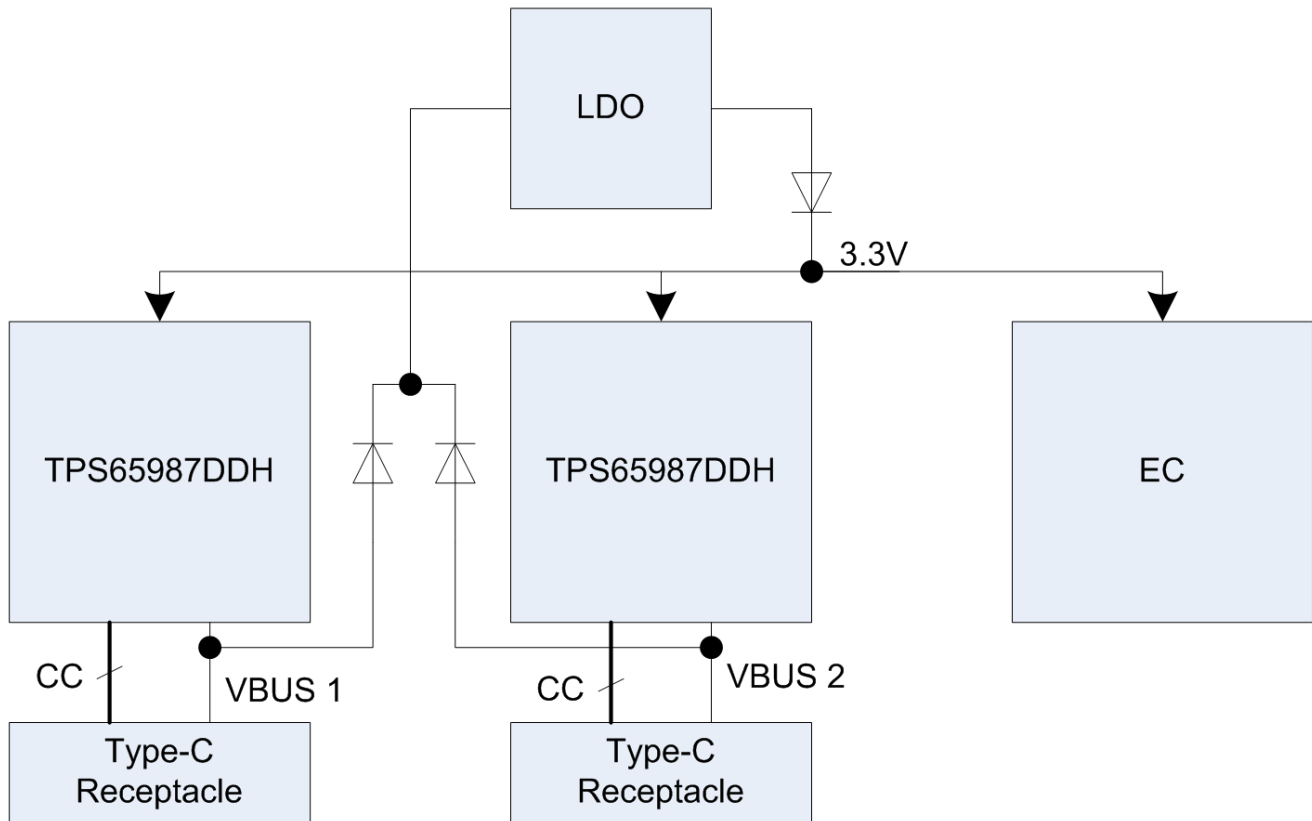


图 A-1. 使用来自 VBUS 的 LDO

2. 使用来自 PD 控制器中 PP\_HV/PP\_EXT 的 LDO：在此模式下，此器件使用其内置 LDO 打开。它会协商一个协议并打开功率 FET。FET 开启时，会为 LDO 供电，再由 LDO 为所有其他必要组件供电。

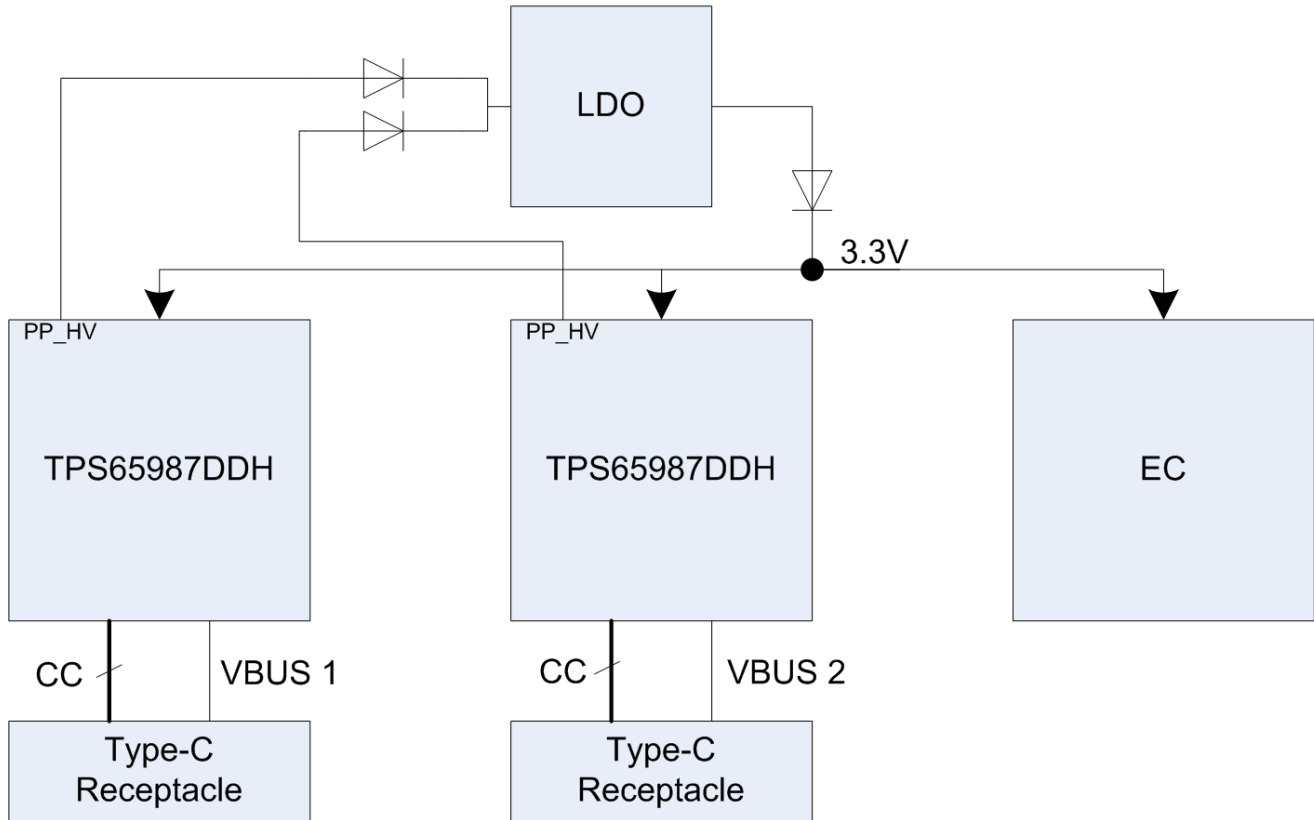


图 A-2. 使用来自 PP\_HV/PP\_EXT 的 LDO

## A.2 TPS65987DDH 原理图检查清单

表 A-1. TPS65987DDH 元件和引脚检查清单

引脚名称	引脚编号	描述	最小值	典型值	最大值	备注
<b>去耦电容</b>						
LDO_1V8	35	使用适当的电容器实现旁路	2.2 $\mu$ F	4.7 $\mu$ F	6 $\mu$ F	
LDO_3V3	9	使用适当的电容器实现旁路	5 $\mu$ F	10 $\mu$ F	25 $\mu$ F	
VIN_3V3	5	使用适当的电容器实现旁路	5 $\mu$ F	10 $\mu$ F		
PP1_CABLE	25	使用适当的电容器实现旁路		10 $\mu$ F		
PP_HV1	11,12	使用适当的电容器实现旁路，如果未使用则将引脚接地		47 $\mu$ F	120 $\mu$ F	灌电流
				10 $\mu$ F		拉电流
PP_HV2	1、2	使用适当的电容器实现旁路，如果未使用则将引脚接地		47 $\mu$ F	120 $\mu$ F	灌电流
				10 $\mu$ F		拉电流
VBUS1	13,14	端口侧 VBUS 使用适当的电容器实现旁路，如果未使用则接地	500nF	1 $\mu$ F	10 $\mu$ F	
VBUS2	3、4	端口侧 VBUS 使用适当的电容器实现旁路，如果未使用则接地	500nF	1 $\mu$ F	10 $\mu$ F	
<b>特定应用引脚</b>						
SPI_MISO/GPIO8	36	引脚如果未使用则接地				
SPI_MOSI/GPIO9	37	引脚如果未使用则接地				
SPI_CLK/GPIO10	38	引脚如果未使用则接地				
SPI_SS/GPIO11	39	引脚如果未使用则接地				
I2C1_SCL	27	应始终使用电阻进行上拉，并连接到中央处理器 (如有)	2.2k $\Omega$	3.3k $\Omega$	10k $\Omega$	
I2C1_SDA	28	应始终使用电阻进行上拉，并连接到中央处理器 (如有)	2.2k $\Omega$	3.3k $\Omega$	10k $\Omega$	
I2C1_IRQ	29	应始终使用电阻进行上拉		10k $\Omega$		

表 A-1. TPS65987DDH 元件和引脚检查清单 (continued)

引脚名称	引脚编号	描述	最小值	典型值	最大值	备注
I2C2_SCL	32	应始终使用电阻进行上拉, 并连接到 Thunderbolt 控制器 (如有)	2.2k $\Omega$	3.3k $\Omega$	10k $\Omega$	
I2C2_SDA	33	应始终使用电阻进行上拉, 并连接到 Thunderbolt 控制器 (如有)	2.2k $\Omega$	3.3k $\Omega$	10k $\Omega$	
I2C2_IRQ	34	应始终使用电阻进行上拉		10k $\Omega$		
I2C3_SCL/GPIO5	21	应始终使用电阻进行上拉, 并连接到外部 I2C 从器件 (如有)	2.2k $\Omega$	3.3k $\Omega$	10k $\Omega$	
I2C3_SDA/GPIO6	22	应始终使用电阻进行上拉, 并连接到外部 I2C 从器件 (如有)	2.2k $\Omega$	3.3k $\Omega$	10k $\Omega$	
I2C3_IRQ/GPIO7	23	应始终使用电阻进行上拉		10k $\Omega$		
ADCIN2/I2C_ADDR	10	连接到适当的上拉/下拉组合	参考数据表			
GPIO12	40	引脚如果未使用则悬空				
GPIO13	41	引脚如果未使用则悬空				
PP_EXT1/GPIO16	48	外部 FET 信号, 也可用作 GPIO, 引脚如果未使用则悬空				
PP_EXT2/GPIO17	49	外部 FET 信号, 也可用作 GPIO, 引脚如果未使用则悬空				
ADCIN1/BUSPOWERZ	6	连接到适当的上拉/下拉组合	参考数据表			
HRESET	44	如果使用则通过下拉和电容将引脚接地, 否则直接接地				
C1_CC1/C1_CC2	24/26	连接到 Type-C 连接器, 添加一个 ESD 保护器件和一个电容		220pF		
HPD1/GPIO3	30	如果在 DisplayPort 配置中使用则连接到 HPD, 引脚如果未使用则悬空				
C_USB_P/GPIO18	50	如果需要 BC1.2 则连接到 USB 2.0 连接器线路, 如果不需要 BC1.2 则可用作 GPIO				
C_USB_N/GPIO19	53	如果需要 BC1.2 则连接到 USB 2.0 连接器线路, 如果不需要 BC1.2 则可用作 GPIO				
<b>GPIO</b>						
GPIO0	16	Reset 引脚应连接到 thunderbolt 驱动器, 也可用作 GPIO				
GPIO1-GPIO2	17,18	通用 IO, 如果未使用则悬空				
GPIO4	31					
GPIO14(PWM)	42	通用 IO, 如果未使用则悬空				
GPIO15(PWM)	43	通用 IO, 如果未使用则悬空				
GPIO20-GPIO21	54,55	通用 IO, 如果未使用则悬空				
GND	20,45,46,47,51,59	接地				
DRAIN1	8,15,19,58	将所有这些引脚连接在一起				在布局中使用焊盘, 用于散热
DRAIN2	7,52,56,57	将所有这些引脚连接在一起				在布局中使用焊盘, 用于散热

### A.3 TPS65987DDH 系统检查清单

表 A-2. 系统检查清单

项目号	说明	是/否
1	所有大容量电容是否均已按照 TPS65987DDH 元件和引脚检查清单进行连接？	
2	所有去耦电容是否均已按照 TPS65987DDH 元件和引脚检查清单进行连接？	
3	是否所有 I2C 和 SPI 上拉电阻均已与 LDO_3V3 电源轨连接？	
4	VBUS 电源轨上是否有保护二极管？	
5	暴露在系统之外的所有线路是否都进行了 ESD 保护？	
6	是否使用了适当的电阻进行引脚搭接？	
7	所有信号是否均已正确路由至 AM 多路复用器？	
8	是否满足了所有数据表要求？	
9	SPI 闪存是否由 LDO_3V3 供电？	

#### 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (September 2019) to Revision C (January 2021)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 重新排列了内容结构.....	1
• 修改日期 <a href="#">图 1-1</a> .....	2
• 添加了 <a href="#">图 1-2</a> .....	3
• 更新了 <a href="#">表 A-1</a> .....	13

Changes from Revision * (April 2017) to Revision B (September 2019)	Page
• 更新了“电源路径”一节.....	7

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司