

摘要

本应用报告包含的材料适用于 Jacinto7 处理器电路板设计的 LPDDR4 接口。

内容

1 概述	3
1.1 支持的电路板设计	3
1.2 通用电路板布局指南	3
1.3 PCB 堆叠	4
1.4 旁路电容器	4
1.5 速度补偿	6
2 LPDDR4 电路板设计和布局指南	7
2.1 LPDDR4 简介	7
2.2 受支持的 LPDDR4 器件的实现	7
2.3 LPDDR4 接口原理图	7
2.4 兼容的 JEDEC LPDDR4 器件	11
2.5 放置	11
2.6 LPDDR4 禁止区域	12
2.7 网类别	12
2.8 LPDDR4 信号端接	12
2.9 LPDDR4 VREF 布线	13
2.10 LPDDR4 VTT	13
2.11 CK 和 ADDR_CTRL 拓扑	13
2.12 数据组拓扑	14
2.13 CK 和 ADDR_CTRL 布线规格	15
2.14 数据组布线规格	16
2.15 通道、字节和位交换	17
3 LPDDR4 电路板设计仿真	17
3.1 电路板模型提取	17
3.2 电路板模型验证	17
3.3 S 参数检查	17
3.4 时域反射法 (TDR) 分析	17
3.5 仿真完整性分析	18
3.6 设计示例	24
4 修订历史记录	28

插图清单

图 2-1. 32 位单列 LPDDR4 实现	8
图 2-2. 32 位双列 LPDDR4 实现	9
图 2-3. 16 位单列 LPDDR4 实现	10
图 2-4. DRA829/LPDDR4 放置示例	11
图 2-5. DRA829 的 LPDDR4 禁止区域示例	12
图 2-6. LPDDR4 CK 拓扑	13
图 2-7. LPDDR4 ADDR_CTRL 拓扑/分支信号	13
图 2-8. LPDDR4 ADDR_CTRL 拓扑/点对点信号	13
图 2-9. LPDDR4 DQS 拓扑	14
图 2-10. LPDDR4 DQ/DM 拓扑	14

图 3-1. 阻抗不匹配的 TDR 图示例.....	18
图 3-2. 典型的系统级 DDR 原理图.....	19
图 3-3. 回铃裕度波形示例 (高电平/低电平)	21
图 3-4. 眼图质量的 Vix_CK 和 Vix_DQS 比率.....	21
图 3-5. 具有菱形眼图模板的样例仿真 LPDDR4-4266 读取眼图.....	23
图 3-6. 具有矩形 JEDEC 眼图模板的样例仿真 LPDDR4-4266 写入眼图.....	23
图 3-7. 具有矩形 JEDEC 眼图模板的样例仿真 LPDDR4-4266 CA 眼图.....	24
图 3-8. LPDDR4 时钟和 CA 布线示例	25
图 3-9. LPDDR4 数据字节和 DQS 布线示例.....	25
图 3-10. LPDDR4 布线阻抗扫描示例.....	26
图 3-11. CA 的 LPDDR4 仿真结果.....	27
图 3-12. 写入的 LPDDR4 仿真结果.....	27
图 3-13. 读取的 LPDDR4 仿真结果.....	28

表格清单

表 1-1. PCB 堆叠规格.....	4
表 1-2. 大容量旁路电容器.....	5
表 1-3. 高速旁路电容器.....	6
表 2-1. 受支持的 LPDDR4 SDRAM 组合.....	7
表 2-2. 兼容的 JEDEC LPDDR4 器件.....	11
表 2-3. LPDDR4 放置建议.....	11
表 2-4. 时钟网类别定义.....	12
表 2-5. 信号网类别定义.....	12
表 2-6. CK 和 ADDR_CTRL 布线规格.....	15
表 2-7. 数据组布线规格.....	16
表 3-1. 示例数据写入 ODI/ODT 优化.....	20
表 3-2. 眼图质量的 Vix_CK 和 Vix_DQS 比率.....	22
表 3-3. LPDDR4/4x 眼图模板定义/要求.....	22
表 3-4. LPDDR4 的 PCB 堆叠示例	24
表 3-5. 堆叠对 LPDDR4 性能的影响.....	25
表 3-6. LPDDR4-4266 层影响性能 (在焊盘上读取)	26
表 3-7. LPDDR4-4266 层影响性能 (在焊盘上写入)	26
表 3-8. LPDDR4 示例布线阻抗数据汇总.....	26
表 3-9. LPDDR4 示例布线阻抗 CA 汇总.....	26
表 3-10. 改进布线阻抗后的 LPDDR4 示例仿真结果.....	27

商标

所有商标均为其各自所有者的财产。

1 概述

Jacinto7 处理器支持 LPDDR4 存储器接口。这可帮助客户设计出能够降低存储器系统功耗的电路板，同时以极高的存储器带宽来满足处理器子系统的大量需求。

1.1 支持的电路板设计

为了实现 LPDDR4 接口的高频目标，需要优化 PCB 实现。TI 强烈建议客户设计完全复制 TI LPDDR4 EVM PCB 布局，包括每个细节（PCB 材料、布线、间距、带背钻的过孔等），以便完全实现指定的接口频率/数据速率。如果设计没有或无法复制 TI 解决方案，则仍应在开始使用或参照 TI 的 EVM。根据做出的任何折衷，客户设计可能需要限制接口频率/数据速率。

本文档旨在定义一组布局、布线及仿真规则，使设计人员能够针对 TI 支持的拓扑成功实施稳健的设计。PCB 设计还需进行仿真，以确保达到设计目标。TI 将限制对未根据本文档规定的步骤进行设计和仿真的电路板的调试/支持。不遵循 TI EVM 实现和/或没有有效仿真结果的系统可能需要以降低的 DDR 频率运行。

本文档还提供了参考眼图模板，为验证仿真结果提供指导。我们仍然希望 PCB 的设计工作（设计、布局布线和制造）由知识渊博的高速 PCB 设计人员执行和审查。经验丰富的设计人员可以直观地检测出诸如信号穿过参考平面上的裂缝时出现的阻抗不连续等问题。

TI 仅支持遵循本文档中指南的电路板设计。这些指南是基于众所周知的在实心参考平面上布线的铜线的传输线特性。不可因 PCB 空间不足而违背布线指南。TI 将限制对未根据本文档规定的步骤进行仿真的设计的调试/支持。

1.2 通用电路板布局指南

为了确保信号性能良好，必须遵循以下通用电路板设计指南：

- 始终尽可能遵循 TI 的示例布局/EVM 设计。如果不了解概念或布线策略，可以在 E2E 上发布问题。
- 所有信号都需要接地基准（强烈建议在两侧都实现）。为所有信号和所有旁路/去耦电容器保持公共地/基准。
- 避免在信号参考平面中出现穿过平面分割点的情况。
- 在去耦电容器和存储器模块之间使用尽可能宽的布线。
- 通过保持阻抗匹配来最大限度地减少码间串扰 (ISI)。对于要对布线宽度进行调整以匹配布线阻抗的“T 分支”信号尤其如此。
- 通过隔离敏感信号（如选通和时钟）以及使用适当的 PCB 堆叠方式来最大限度地减少串扰。为时钟和选通布线额外增大间距也有助于更大限度地减少串扰。
- 每当信号改变层和参考平面时，通过添加过孔或电容器来避免返回路径不连续。
- 通过在 SDRAM 的基准输入引脚上进行正确的隔离和正确使用去耦电容器，最大限度地降低基准电压噪声。
- 保持信号布线残桩长度尽可能短。
- 将所有信号布置为带状线。避免使用微带布线，但 BGA 分接区域除外。
- 过孔之间的耦合会是产生 PCB 级串扰的重要原因。过孔的尺寸和间距很重要。对于高速接口，应考虑 GND 屏蔽过孔。这种过孔耦合是推荐在最靠近处理器的层上路由数据信号的一个因素。
- 过孔残桩会影响信号完整性。使用过孔背钻可提高信号完整性，并且在某些情况下可能是必备的。

更多相关信息，请参阅[高速接口布局指南应用报告](#)。该应用报告为成功地对高速信号进行布线提供了更多常规性指导信息。

1.3 PCB 堆叠

典型的 DDR 接口布线堆叠方式为十层堆叠。不过，这只能在所含布线空间具有较大禁止区域的电路板上完成。如果出现以下情况，则需要使用额外的层：

- DDR 接口的 PCB 布局区域受到限制，从而限制了可用于传播信号的区域以更大限度减少串扰。
- 其他电路必须存在于同一区域中，但位于与 DDR 布线隔开的层上。
- 需要额外的平面层来增强电源布线或改善 EMI 屏蔽效果。

相对密集的电路板设计可能需要更多层才能正确实现 DDR 布线，从而满足所有规则。

所有 DDR 信号都必须在一个实心 VSS 参考平面附近布线。当 DDR 布线区域中存在多个 VSS 参考平面时，必须在过孔将信号传输到不同 VSS 参考平面之处的附近实现缝合过孔。这是维持低电感返回电流路径所必需的。

强烈建议将所有 DDR 信号布置为带状线。某些 PCB 堆叠在 2 个相邻的层上实现了信号布线。不建议这样做，因为这会导致与相邻层上的另一条布线平行的任何布线上发生串扰，即使距离很短也会如此。建议将 LPDDR4 信号布线到更靠近堆叠内 SoC 的 PCB 层上，从而缩短信号通过过孔的传输时间。离 SoC 越远的 PCB 层通过过孔的行程时间将越长，这会增加过孔之间的耦合。信号耦合和过孔耦合都会导致更小的时序裕量。

请注意，过孔长度越短，过孔残桩可能越长（如果使用标准钻孔），因此也要加以考虑。可以进行仿真以确定过孔残桩长度是否会产生问题。

PCB 材料是另一个重要的考虑因素。根据设计规格，可能需要使用更高频率的材料，例如 ISOLA I-Speed 或等效/更好的材料，以实现最高数据速率 (4266Mbps)。标准 FR4 产品如 370HR 可用于较低的数据速率。在特定情况下，这对于更高的数据速率来说也足够了。

表 1-1. PCB 堆叠规格

编号	参数 ⁽⁶⁾	最小值	典型值	最大值	单位
PS1	PCB 布线加平面层		10		
PS2	信号布线层		6		
PS3	DDR 布线区域下的完整 VSS 参考层 ⁽¹⁾	1			
PS4	DDR 布线区域下的完整 VDDSD_DDR 电源参考层 ⁽¹⁾	1			
PS5	DDR 布线区域内允许的参考平面切口数 ⁽²⁾			0	
PS6	DDR 布线层和参考平面之间的层数 ⁽³⁾			0	
PS7	PCB 布线特征尺寸		4		Mils
PS8	PCB 迹线宽度 (w)		4		Mils
PS9	点对点单端阻抗		40		Ω
PS10	点对点差分阻抗		80		Ω
PS11	T 分支单端阻抗 ⁽⁵⁾		35/70		Ω
PS12	T 分支差分阻抗 ⁽⁵⁾		70/140		Ω
PS13	阻抗控制 ⁽⁴⁾	Z-10%	Z	Z+10%	Ω

(1) 接地参考层优于电源参考层。返回信号过孔需要靠近层转换。

(2) 在 DDR 布线区域内，任何布线都不应穿过参考平面切口。高速信号迹线穿过参考平面切口会产生很大的返回电流路径，这会导致过多的串扰和 EMI 辐射。请注意过孔反焊盘引起的参考平面空隙，因为它们也会导致返回电流路径的不连续性。

(3) 参考平面应与信号层直接相邻，以更大限度减小返回电流回路尺寸。

(4) Z 是 PS9-PS12 指定的 PCB 的标称单端或差分阻抗。

(5) 平衡 T 布线（也称为 T 分支布线）是从源到多个端点的分离布线。分离布线的目标阻抗应为非分支阻抗的 2 倍。请参阅布线拓扑。

(6) 这些规格将用作设计的起点。建议对每个设计进行提取和仿真，以确保满足所有要求。

1.4 旁路电容器

建议遵循 TI 的 EVM 进行去耦电容器计数和选择。以下几节提供了一些关于去耦的一般指导，但建议遵循 EVM。这是因为 DDR 已经在 EVM 上进行了测试/验证。电源去耦还包括 PCB 设计元件，因此可能需要更改去耦以解决 PCB 差异。

1.4.1 大容量旁路电容器

需要使用大容量旁路电容器以实现 DDR SDRAM 和其他电路的中速旁路。表 1-2 包含所需大容量旁路电容器的最小数量和最小电容。表 1-2 仅满足 SoC 的 DDR PHY 的旁路需求。其他电路可能需要额外的大容量旁路电容。有关 SDRAM 器件的任何其他去耦要求，请参阅制造商的数据表

表 1-2. 大容量旁路电容器

数量	参数	最小值	最大值	单位
1	VDDS_DDR 大容量旁路电容器数量 ⁽¹⁾	1 ⁽²⁾		器件
2	VDDS_DDR 大容量旁路总电容	10 ⁽²⁾		μF
3	VDDS_DDR_BIAS 旁路电容器数量 ⁽¹⁾	1 ⁽²⁾		器件
4	VDDS_DDR_BIAS 大容量旁路总电容	10 ⁽²⁾		μF

(1) 应将这些器件放置在其要绕过的器件附近，但应优先放置高速 (HS) 旁路电容器和 DDR 信号线路。

(2) 本指南中的电容器建议仅反映该处理器的需求。有关如何适当放置存储器器件自身的去耦电容器，请参阅存储器器件供应商的指南。

1.4.2 高速旁路电容器

高速 (HS) 旁路电容器对于 DDR 接口的正常运行至关重要。最大限度地减小连接到 VDDS_DDR 和相关接地接头的 HS 旁路电容器的寄生串联电感尤为重要。表 1-3 包含针对 HS 旁路电容器和 PCB 上的电源接头的规格。一般来说，TI 建议：

- 安装尽可能多的 HS 旁路电容器。
- 最大限度地减小从旁路电容器到被旁路的引脚和焊球的距离。
- 使用物理尺寸尽可能小且具有最高可现用电容的陶瓷电容器。
- 使用尽可能宽的布线和尽可能大的过孔尺寸将旁路电容器焊盘连接到其过孔。
- 最大限度地减少过孔共享。请注意表 1-3 中显示的对过孔共享的限制。

有关任何其他 SDRAM 要求，请参阅制造商的数据表。

表 1-3. 高速旁路电容器

数量	参数	最小值	典型值	最大值	单位
1	HS 旁路电容器封装尺寸 ⁽¹⁾		0201	0402	mil
2	HS 旁路电容器到被旁路的处理器的距离 ^{(2) (3) (4)}			400	Mils
3	每个 VDDSD_DDR 电源轨的处理器 HS 旁路电容器数量	12			器件
4	每个 VDDSD_DDR 电源轨的处理器 HS 旁路电容器总电容	3.7			μF
5	每个器件电源/接地焊球的连接过孔数量	1			个过孔
6	从处理器电源/接地焊球到连接过孔的布线长度 ⁽²⁾		35	70	mil
7	HS 旁路电容器到被旁路的 DDR 器件的距离 ⁽⁵⁾			150	Mils
18	DDR 器件 HS 旁路电容器数量 ⁽⁶⁾	12			器件
19	DDR 器件 HS 旁路电容器总电容 ⁽⁶⁾	0.85			μF
10	每个 DDR 器件电源/接地焊球的连接过孔数量	1			个过孔
11	从 DDR 器件电源/接地焊球到连接过孔的布线长度 ^{(2) (8)}		35	60	Mils
12	每个 HS 电容器的连接过孔数量 ^{(7) (8)}	2			个过孔
13	从旁路电容器到连接过孔的布线长度 ^{(2) (8)}		35	100	Mils

(1) LxW，10mil 单位，即 0402 是一种 40 x 20mil 表面贴装电容器。

(2) 越近/越短越好。

(3) 从最近的处理器电源或接地焊球到电容器封装中心进行测量。

(4) 其中五个电容器应位于处理器下方的 VDDSD_DDR 焊球簇中。其中两个电容器应位于处理器下方的 VDDSD_DDR_BIAS 焊球簇中。

(5) 从 DDR 器件电源或接地焊球到电容器封装中心进行测量。请参阅 SDRAM 制造商提供的指南。

(6) 每个 DDR 器件。更多相关信息，请参阅 SDRAM 制造商提供的指南。

(7) 仅当附加 HS 旁路电容器安装在电路板的另一侧时，它才能共享连接过孔。不允许在电路板的同一侧共享过孔。

(8) HS 旁路电容器可与安装在 PCB 同一侧的 DDR 器件共享一个过孔。应使用较宽的布线进行连接，并且从电容器焊盘到 DDR 器件焊盘的长度应小于 150mil。

1.5 速度补偿

对于 PCB 设计，部分 DDR 信号布线采用微带线 (BGA 出线段)，但大部分布线采用带状线 (内层)。尽管微带线或带状线的布线长度比例存在很大差异，但长度/延迟匹配过程应包括一种机制来补偿这两种 PCB 互连类型之间的速度差异。为此，JEDEC 规定了补偿系数为 1.1。所有微带线长度在合计到长度匹配公式之前都要除以 1.1，所得的补偿长度被称为“带状线等效长度”。尽管设计中仍然存在一定量的残余速度不匹配偏差，但该过程实现了对简单长度匹配的重大改进。

2 LPDDR4 电路板设计和布局指南

2.1 LPDDR4 简介

LPDDR4 是受 JEDEC 标准 JESD209-4 (低功耗双倍数据速率 4 (LPDDR4)) 约束的 SDRAM 器件规范。该标准通过实现较低电压的 I/O 电源轨、在命令/地址总线上采用 ODT 以及减少命令/地址总线的整体宽度等特性,致力于降低功耗并提高信号完整性。与其他 DDR 类型不同,LPDDR4 由 2 个 16 位通道组成。ECC 获得了内联支持,因此不需要专门用于 ECC 的 SDRAM。

LPDDR4X 是 LPDDR4 的变体,其不同之处在于可通过将 I/O 电压从 1.1V 降至 0.6V 来进一步节省功耗。LPDDR4 和 LPDDR4X 可能采用不同的封装和/或具有不同的密度(超出本文档的讨论范围)。当前不支持 LPDDR4X。一旦收集到更多的验证成果和数据,可能会在将来添加支持。

LPDDR4 器件的最大支持行数为 17 行。JEDEC 标准于 2020 年获得批准,并将最大行数从 17 行增加到 18 行。因此,不支持某些使用字节模式芯片并需要 18 行位的高密度器件。

LPDDR4 接口支持 ECC。与传统的需要专用存储器引脚和器件的 ECC 接口不同,ECC 获得了内联支持。由于 ECC 数据与非 ECC 数据一起存储,ECC 对系统的影响在于接口带宽和整体存储器密度。

为了增加存储器带宽,某些器件可能支持多个 LPDDR 接口。对于这些器件,LPDDR 接口(DDRSS0、DDRSS1、DDRSS2 等)应始终按递增顺序使用。例如,如果使用单个 LPDDR 元件,则应将其连接到 DDR0_* 接口。如果使用两个 LPDDR 元件,则应将它们连接到 DDR0_* 和 DDR1_* 接口。三个接口应使用 DDR0_*、DDR1_*、DDR2_*。

以下各节详细介绍了 LPDDR4 接口的布线规格和布局指南。

2.2 受支持的 LPDDR4 器件的实现

DDR 子系统支持不同的 LPDDR4 SDRAM 组合。表 2-1 列出了支持的器件组合。

表 2-1. 受支持的 LPDDR4 SDRAM 组合

LPDDR4 SDRAM 数量	通道	裸片	列数	LPDDR4 通道宽度	DDRSS 数据宽度
1 (2)	2	1	1	16 位	32 位
1 (1) (4)	1	1	1	16 位	16 位
1 (2)	2	2	1	16 位	32 位
1 (3)	2	4	2	16 位	32 位

- (1) 16 位 DDRSS 数据宽度的实现是非标准的,但在选定的器件上受支持。如果特定的处理器受支持,请参阅特定于器件的数据手册。
 (2) 请参阅 32 位单列 LPDDR4 实现。
 (3) 请参阅 32 位双列 LPDDR4 实现。
 (4) 请参阅 16 位单列 LPDDR4 实现。

2.3 LPDDR4 接口原理图

LPDDR4 接口原理图因实现的列数而异。实现之间的通用连接是简单且一致的。图 2-1 说明了 32 位单列 LPDDR4 实现。如果需要双列,则包含额外的芯片选择。图 2-2 说明了 32 位双列 LPDDR4 实现。在选定器件上,支持 16 位单列 LPDDR4 实现,详情请参阅图 2-3。

备注

尽管 LPDDR4 SDRAM 引出两个独立的通道,但该处理器不支持使用独立的通道。

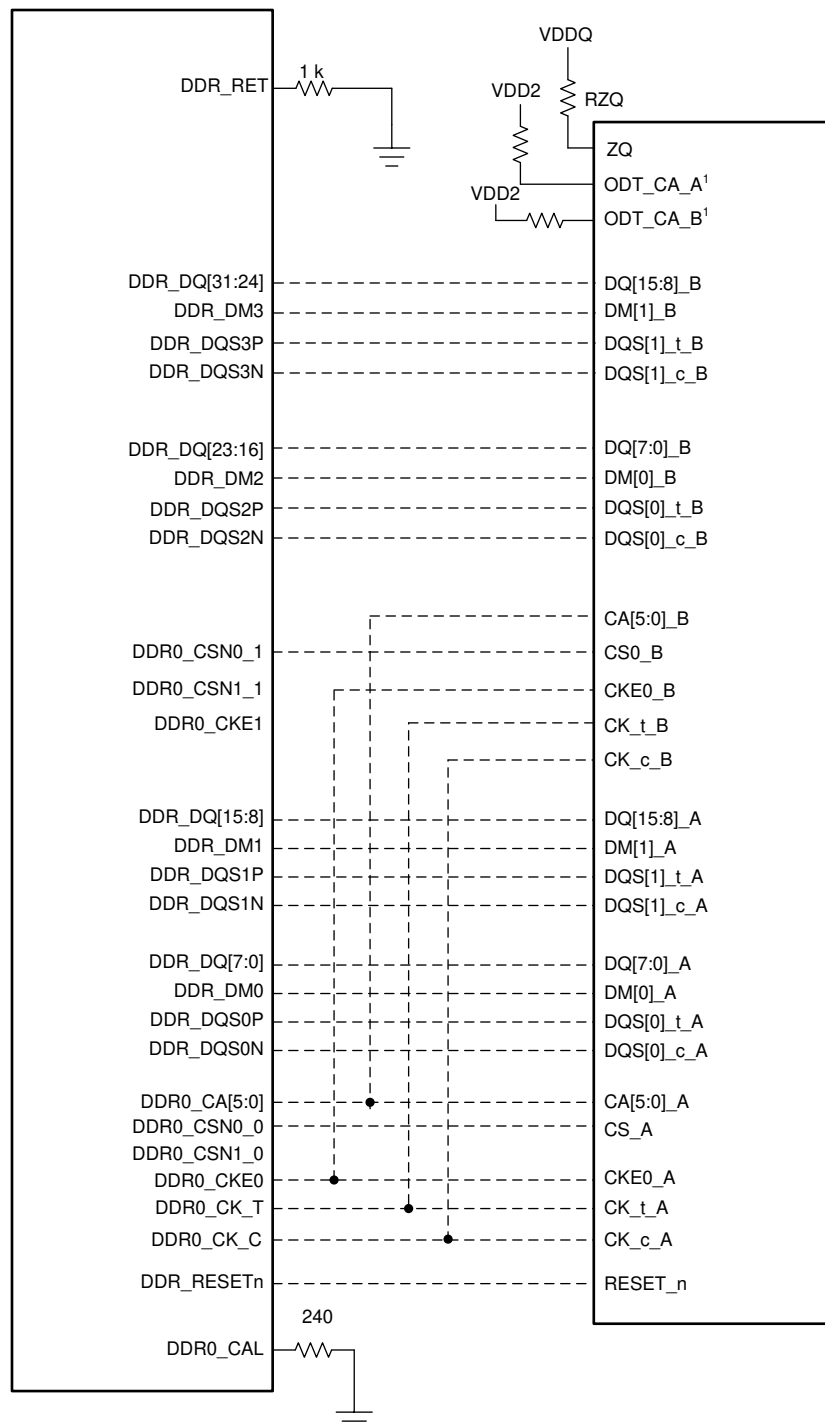


图 2-1. 32 位单列 LPDDR4 实现

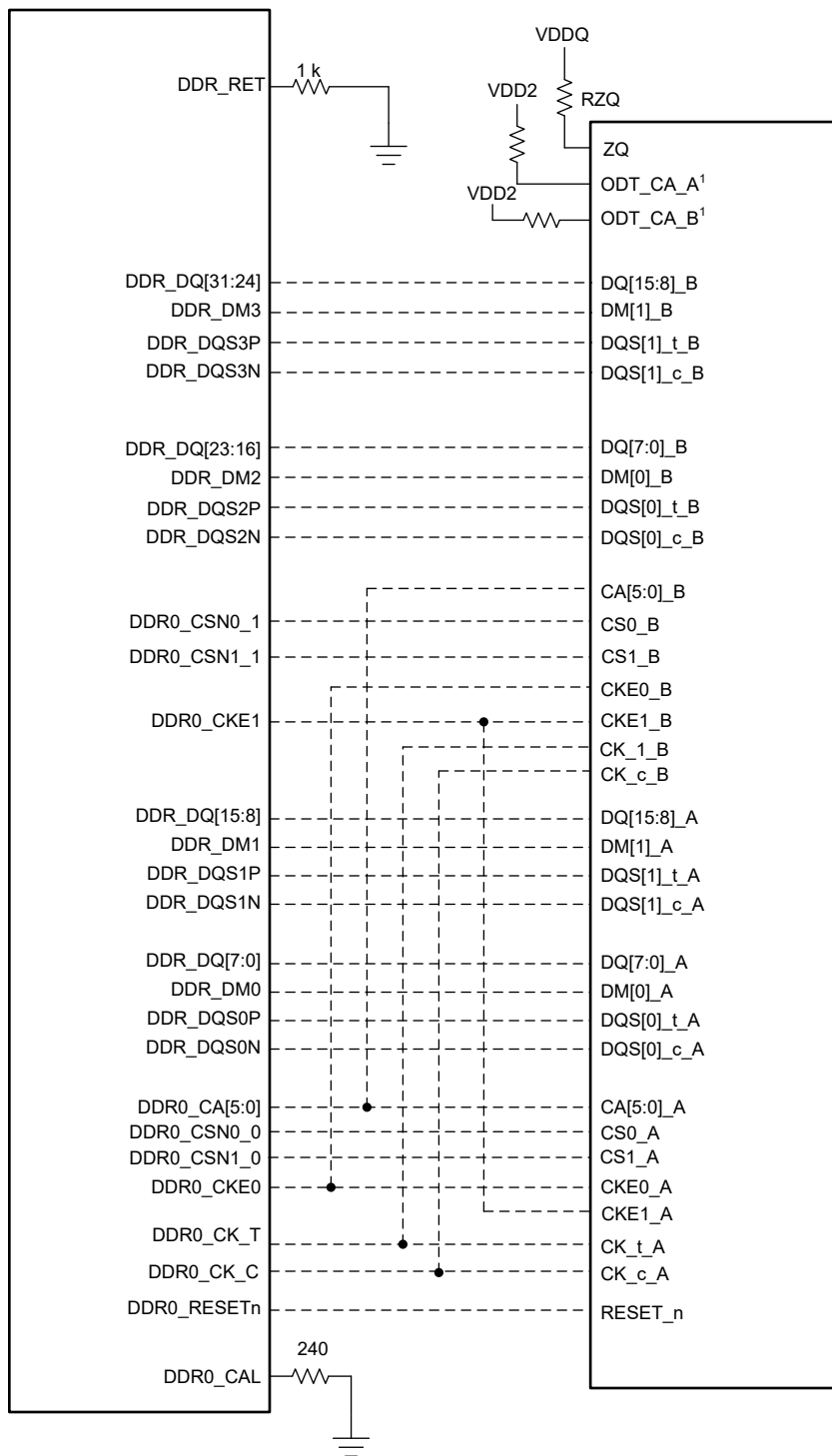


图 2-2. 32 位双列 LPDDR4 实现

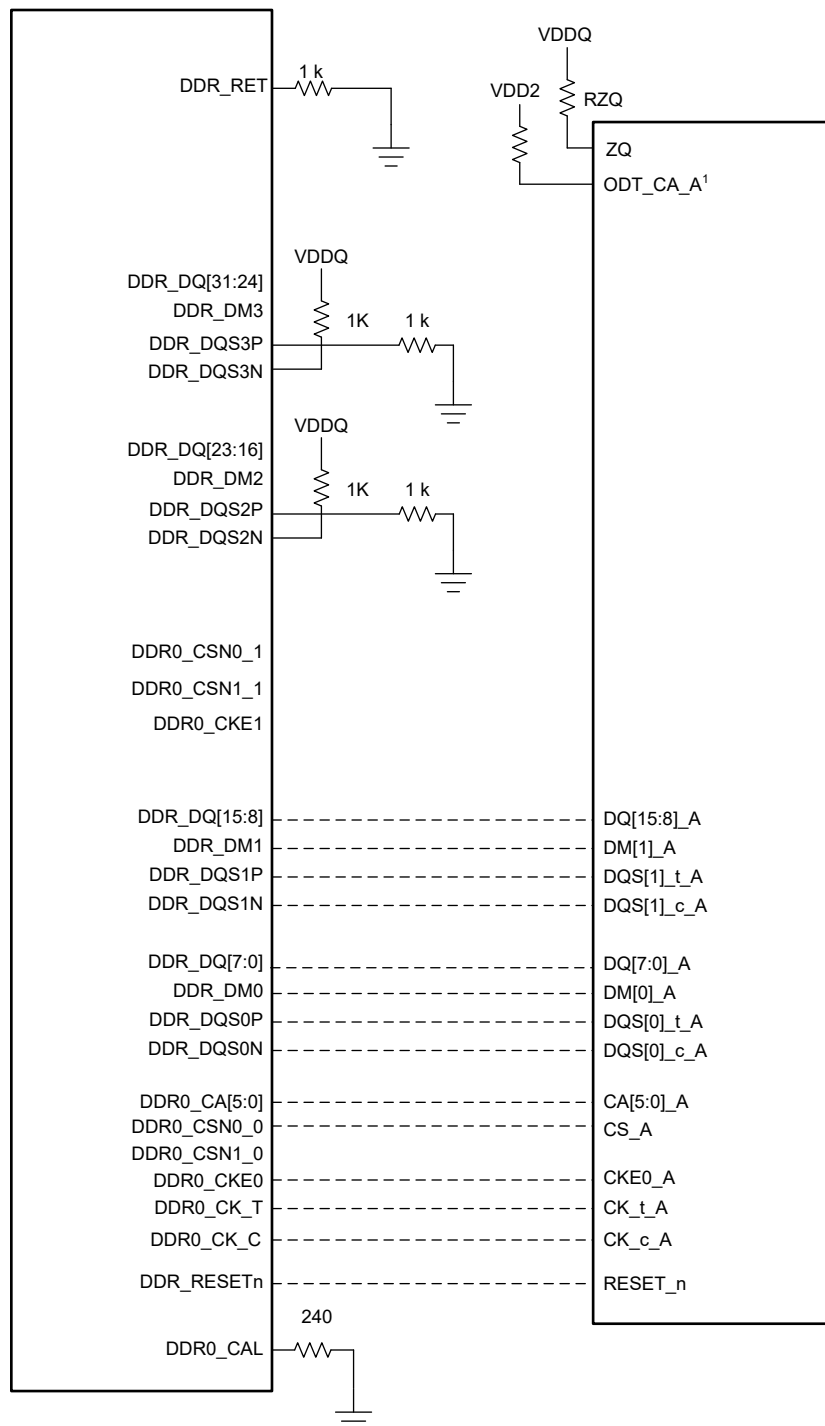


图 2-3. 16 位单列 LPDDR4 实现

2.4 兼容的 JEDEC LPDDR4 器件

表 2-2 所示为与该接口兼容的 JEDEC LPDDR4 器件的参数。

表 2-2. 兼容的 JEDEC LPDDR4 器件

数量	参数	最小值	最大值	单位
1	数据速率 ^{(1) (2)}		4266	MT/s
2	通道位宽	x16	x16	位
3	通道	1	2	-
4	列数	1	2	-
5	裸片	1	4	-
6	器件数	1	1	-

- (1) 如需了解受支持的数据速率，请参阅特定于器件的数据手册。
- (2) 可以使用更快速度等级的 SDRAM，只要正确地对其进行配置，从而以支持的数据速率运行即可。具有更快速度等级的 SDRAM 可能具有更快的边沿速率，这可能会影响信号完整性。必须在目标板设计上验证具有更快速度等级的 SDRAM。

2.5 放置

图 2-4 显示了 DRA829 处理器和 LPDDR4 存储器器件的放置示例。表 2-3 中定义了所有 Jacinto7 器件和 LPDDR4 器件的建议间距参数。放置不限制将器件安装在 PCB 的哪一侧。放置的最终目的是限制最大布线长度并留出适当的布线空间。

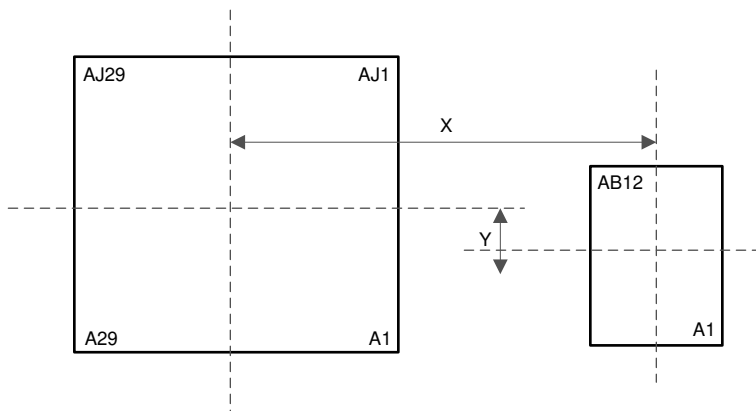


图 2-4. DRA829/LPDDR4 放置示例

表 2-3. LPDDR4 放置建议

编号	参数	最小值	最大值	单位
1	X		1200	mil
2	Y		250	mil

2.6 LPDDR4 禁止区域

用于 LPDDR4 电路的 PCB 区域必须与其他信号隔开。为此定义了 LPDDR4 禁止区域，图 2-5 显示了一个示例。该区域的大小因放置方式和 DDR 布线而异。对于非 LPDDR4 信号，不应在 LPDDR4 禁止区域内的 DDR 信号层上布线。只有在通过接地层与 DDR 信号层隔开的其他层上布线时，非 LPDDR4 信号才能在该区域中布线。该区域的参考接地层中不允许有缝隙。此外，整个禁止区域中应存在实心 VDDSDDR 电源平面。

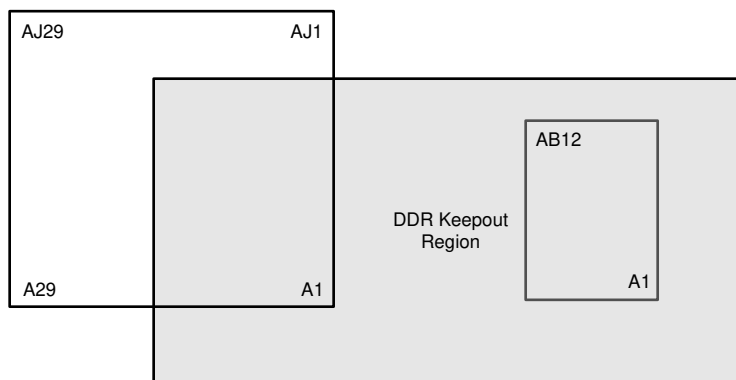


图 2-5. DRA829 的 LPDDR4 禁止区域示例

2.7 网类别

布线规则应用于被称为网类别的组中的信号。每个网类别包含具有相同布线要求的信号。这简化了这些布线的实施和依从性。表 2-4 列出了 LPDDR4 接口的时钟网类别。表 2-5 列出了 LPDDR4 接口中信号的信号网类别和相关的时钟网类别。然后将这些网类别链接到后续的终端和布线规则。

表 2-4. 时钟网类别定义

时钟网类别	处理器引脚名称
CK0	DDR0_CKP/DDR0_CKN
DQS0	DDR0_DQS0P/DDR0_DQS0N
DQS1	DDR0_DQS1P/DDR0_DQS1N
DQS2	DDR0_DQS2P/DDR0_DQS2N
DQS3	DDR0_DQS3P/DDR0_DQS3N

表 2-5. 信号网类别定义

信号网类别	关联的时钟网类别	处理器引脚名称
ADDR_CTRL	CK0	DDR0_CA[5:0]、DDR0_CS[1:0]_0、DDR0_CS[1:0]_1、DDR0_CKE0、DDR0_CKE1
BYTE0	DQS0	DDR0_DQ[7:0]、DDR0_DM0
BYTE1	DQS1	DDR0_DQ[15:8]、DDR0_DM1
BYTE2	DQS2	DDR0_DQ[23:16]、DDR0_DM2
BYTE3	DQS3	DDR0_DQ[31:24]、DDR0_DM3

2.8 LPDDR4 信号端接

LPDDR4 存储器具有用于两个数据组网的软件可配置片内端接。DDR 子系统还包含用于地址/控件组网的软件可配置片内端接。因此，对于 LPDDR4 配置而言，在任何 DDR 信号上都不需要端接。

2.9 LPDDR4 VREF 布线

LPDDR4 存储器会在内部分别为地址/命令总线和数据总线生成其自有 VREFCA 和 VREFDQ。类似地，DDR PHY 还在读取期间为数据组网提供其自有基准电压。因此，与 DDR3 和 DDR4 不同，LPDDR4 不需要在电路板上生成 VREF，并且其配置不需要 VREF 布线。

2.10 LPDDR4 VTT

与 DDR3 和 DDR4 不同，LPDDR4 配置的地址/控制总线的 PCB 上不需要终端。所有终端都在内部（片上）处理。因此，VTT 不适用于 LPDDR4。

2.11 CK 和 ADDR_CTRL 拓扑

CK 和 ADDR_CTRL 网类别的布线方式相似，并且从处理器中的 DDR 控制器到 LPDDR4 SDRAM 进行偏差匹配，以保证在 SDRAM 上正确地对 ADDR_CTRL 信号进行采样。对待 CK0 网类别需要更加谨慎，因为它的运行转换速率更高并且采用差分形式。CK 和 ADDR_CTRL 拓扑是平衡“T”。

图 2-6 所示为 CK0 网类别的拓扑。图 2-7 和图 2-8 显示了相应 ADDR_CTRL_A 网类别的拓扑。请注意，组内的某些信号在存储器通道之间共享，而其他信号则专用于每个通道。表 2-6 详细介绍了布线段的偏差匹配要求。

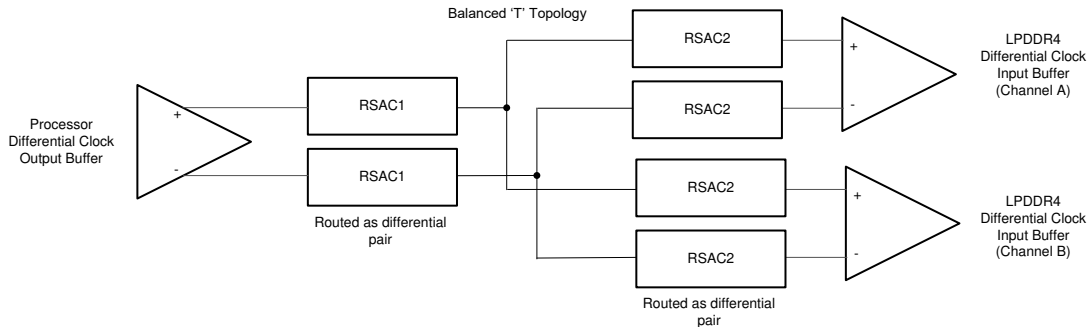


图 2-6. LPDDR4 CK 拓扑

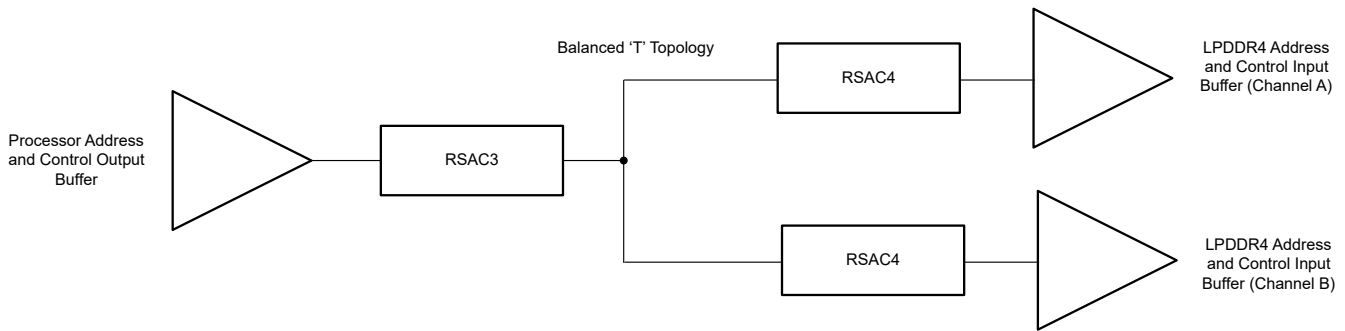


图 2-7. LPDDR4 ADDR_CTRL 拓扑/分支信号

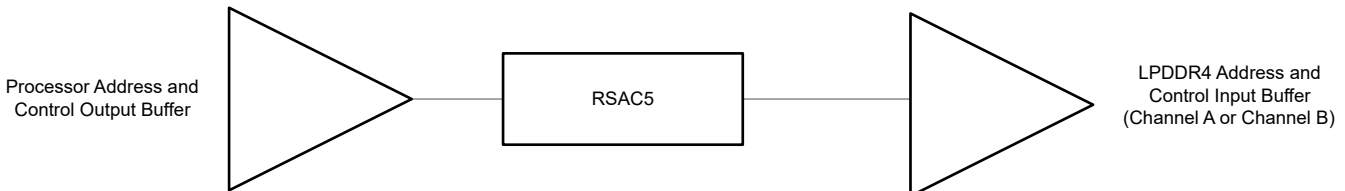


图 2-8. LPDDR4 ADDR_CTRL 拓扑/点对点信号

建议在布线期间尽量减少层转换。如果必须进行层转换，则最好转换到使用相同参考平面的层。如果无法做到这一点，请确保附近有缝合过孔，以使返回电流在参考平面之间转换。目标是更大限度地减小返回电流路径的大小，从而尽量减小该路径中的电感。如果缺少这些缝合过孔，则会导致信号路径中的阻抗不连续，从而增加串扰和信号失真。

在 CK 和 ADDR_CTRL 组拓扑的网上不允许存在残桩或端接。所有测试和探头接入点必须排成一条直线，不得有任何分支或残桩。

2.12 数据组拓扑

对于 LPDDR4 的实现，数据线拓扑始终是点对点的，并被分成四个不同的字节通道。建议在布线期间尽量减少层转换。如果必须进行某个层转换，则最好转换到使用相同参考平面的层。如果无法满足这一点，则确保附近有接地过孔，以允许返回电流在参考平面之间转换。目标是为返回电流提供低电感路径。为了优化偏差匹配，TI 建议在一个层上对单个数据布线组内的所有网进行布线，该组中的所有网都具有完全相同的过孔数量和相同的过孔套管长度。

DQSP 和 DQSN 线是作为一个差分对进行布线的点对点信号。图 2-9 显示了 DQSP/N 连接拓扑。

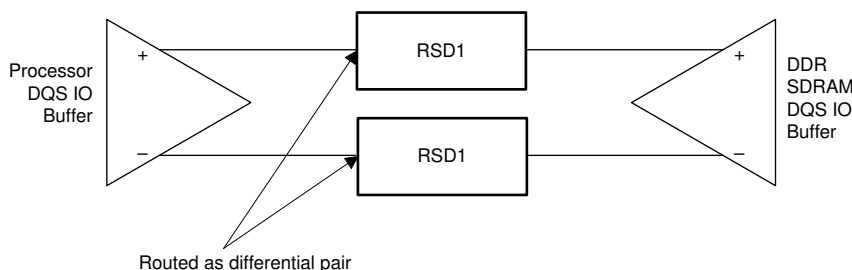


图 2-9. LPDDR4 DQS 拓扑

DQ 和 DM 线是作为单端进行布线的点对点信号。图 2-10 显示了 DQ 和 DM 连接拓扑。

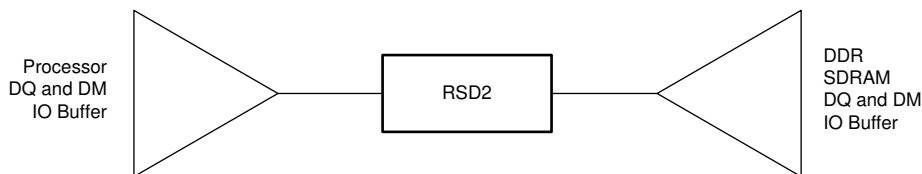


图 2-10. LPDDR4 DQ/DM 拓扑

在数据组拓扑网上不允许存在残桩或终端。所有测试和探头接入点必须排成一条直线，不得有任何分支或残桩。

2.13 CK 和 ADDR_CTRL 布线规格

CK 和 ADDR_CTRL 网类别中的偏差会直接降低 ADDR_CTRL 网的建立和保持裕量。因此，必须控制该偏差。PCB 布线的延迟与其长度成正比。因此，必须通过在一组定义的信号中匹配布线的长度来管理延迟偏差。在 PCB 上实际匹配偏差的唯一方法是将较短的布线延长至网类别中最长的网及其相关时钟的长度。

表 2-6 列出了构成从处理器到 SDRAM 的布线的各个段的限制。这些段的长度与先前的表 2-6、图 2-7 和图 2-8 中显示的 CK 和 ADDR_CTRL 拓扑图一致。通过控制某个布线组中所有信号的相同段的布线长度，可以控制信号延迟偏差。大多数 PCB 布局工具都可以配置为生成报告以帮助执行此验证。如果无法自动生成该报告，则必须手动生成和验证。

这些参数仅供参考，旨在使设计在仿真之前接近成功。为了确保 PCB 设计满足所有要求，需要对设计进行仿真并将结果与节 3 中定义的仿真结果进行比较。

表 2-6. CK 和 ADDR_CTRL 布线规格

编号	参数	最小值	典型值	最大值	单位
LP4_ACRS1	网类别 CK 的传播延迟 RSAC1 + RSAC2			250 ⁽¹⁾	ps
LP4_ACRS2	网类别 ADDR_CTRL 的传播延迟 RSAC3 + RSAC4、RSAC5			250 ⁽¹⁾	ps
LP4_ACRS3	网类别 CK 内的偏差 (CK+ 至 CK- 偏差) (RSAC1 + RSAC2) 偏差			0.25 ⁽²⁾	ps
LP4_ACRS4	网类别 ADDR_CTRL 上的偏差 RSAC3 + RSAC4 偏差		3		ps
LP4_ACRS5	每个 T 分支信号对之间的偏差 RSAC2 或 RSAC4 偏差 ⁽⁷⁾		0.1		ps
LP4_ACRS6	ADDR_CTRL 以及关联的 CK 时钟网类别上的偏差 RSAC1 + RSAC2、RSAC3 + RSAC4、RSAC5 ⁽⁹⁾		3		ps
LP4_ACRS7	每条布线上的过孔数			4	个过孔
LP4_ACRS8	过孔残桩长度 ⁽⁸⁾		20		mil
LP4_ACRS8	过孔数差异			0 ⁽³⁾	个过孔
LP4_ACRS10	中心到中心 CK 到其他 LPDDR4 布线间距 ⁽⁴⁾	4w			
LP4_ACRS11	中心到中心 ADDR_CTRL 到其他 LPDDR4 布线间距 ⁽⁴⁾	3w			
LP4_ACRS12	中心到中心 ADDR_CTRL 到其他 ADDR_CTRL 布线间距 ⁽⁴⁾	3w			
LP4_ACRS13	CK 中心到中心间距 ^{(5)、(6)}				
LP4_ACRS14	CK 到其他网间距 ⁽⁴⁾	4w			

- (1) 最大值基于保守的信号完整性方法。仅当上升时间和下降时间的详细信号完整性分析确认运行和预期一致时，才能扩展该值。
- (2) 仅通过设计/仿真验证。不会在设计上进行验证。
- (3) 只有在对信号飞行时间进行精确 3-D 建模 (包括精确建模的信号传播通路) 以确保不超过所有段偏差最大值时，过孔数差异才可能增加 1。
- (4) 对于最长达 500 mil 的布线长度，中心到中心间距可以降至最小 2w (仅在端点附近)。
- (5) 设置 CK 间距以确保具有适当的差分阻抗。
- (6) 用户必须控制阻抗，以免无意中造成阻抗不匹配。一般来说，中心到中心间距应为 2w 或略大于 2w，从而使该层上的差分阻抗等于单端阻抗 Zo 的两倍。
- (7) 在分支布线段 (平衡 T) 上进行偏差控制旨在优化信号完整性 (波形反射)。不需要也不建议在所有分支布线段中匹配偏差，仅针对特定信号的每个分支进行匹配即可。
- (8) 如果以高于 3200Mbps 的数据速率运行 LPDDR4，则需要进行过孔残桩控制。
- (9) 建议在同一信号层上对网类别 CK 和 ADDR_CTRL 进行布线，以实现更好的偏差控制。

2.14 数据组布线规格

字节信号网类别中的偏差会直接降低 DQ 和 DM 网的建立和保持裕度。如 ADDR_CTRL 信号网类别和相关的 CK 时钟网类别所述，必须控制该偏差。必须通过在一组定义的信号内控制布线的长度来管理数据字节偏差。在 PCB 上实际匹配偏差的唯一方法是将较短的布线延长至网类别中最长的网及其相关时钟的长度。

备注

不需要也不建议在所有字节通道之间匹配长度。仅需要在每个字节内进行长度匹配。

表 2-7 包含字节 0、字节 1、字节 2 和字节 3 布线组的布线规格。每个信号网类别及其相关的时钟网类别都是独立进行布线和匹配的。这些参数仅供参考，旨在使设计在仿真之前接近成功。为了确保 PCB 设计满足所有要求，需要对设计进行仿真并将结果与节 3 中定义的仿真结果进行比较。

表 2-7. 数据组布线规格

编号	参数	最小值	典型值	最大值	单位
LP4_DRS1	网类别 DQSx 的传播延迟 RSD1 ⁽⁵⁾			250 ⁽³⁾	ps
LP4_DRS2	网类别 BYTEx 的传播延迟 RSD2			250 ⁽³⁾	ps
LP4_DRS3	每个 DQS 对的传播延迟必须小于 CK 对的传播延迟。RSD1 < (RSAC1 + RSAC2) ⁽⁵⁾	0			ps
LP4_DRS4	网类别 DQSx 内的偏差 RSD1 偏差 (DQS+ 至 DQS-) ⁽⁶⁾			0.1	ps
LP4_DRS5	网类别 DQSx 和 BYTEx 上的偏差 RSD1 至 RSD2 偏差 ⁽¹⁾ 、 ⁽²⁾ 、 ⁽⁶⁾		0.5		ps
LP4_DRS6	每个 DQS 对的传播延迟必须小于传播延迟 DQ/DM。RSD1 < RSD2 ⁽⁵⁾	0		150 ps	ps
LP4_DRS7	每条布线上的过孔数			2 ⁽³⁾	个过孔
LP4_DRS8	过孔残桩长度 ⁽⁴⁾		40		mil
LP4_DRS9	过孔数差异			0 ⁽⁷⁾	个过孔
LP4_DRS10	RSD1 中心到中心间距 (时钟网类别之间) ⁽⁸⁾	4w			
LP4_DRS11	RSD1 中心到中心间距 (时钟网类别内) ⁽⁹⁾ 、 ⁽¹⁰⁾				
LP4_DRS12	RSD2 中心到中心间距 (信号网类别之间) ⁽⁸⁾	4w			
LP4_DRS13	RSD2 中心到中心间距 (信号网类别内) ⁽⁵⁾	3w			

- (1) 仅在一个字节内进行偏差匹配。不需要也不建议在字节之间进行偏差匹配。
- (2) 每个 DQS 对和与其关联的字节进行长度匹配。
- (3) 最大值基于保守的信号完整性方法。仅当上升时间和下降时间的详细信号完整性分析确认运行和预期一致时，才能扩展该值。
- (4) 如果以高于 3200Mbps 的数据速率运行 LPDDR4，则需要进行过孔残桩控制。
- (5) 这是系统级要求，必须在计算中包含存储器封装。
- (6) 仅通过设计/仿真验证。不会在设计上进行验证。
- (7) 只有在对信号飞行时间进行精确 3-D 建模 (包括精确建模的信号传播通孔) 以确保不超过 DQn 偏差和 DQSn 至 DQn 偏差最大值时，过孔数差异才可能增加 1。
- (8) 对于最长 500mil 的布线长度，中心到中心间距可以降至最小 2w (仅在端点附近)。
- (9) 设置 DQS 对间距以确保具有适当的差分阻抗。
- (10) 仿真结果必须控制阻抗，以免无意中造成阻抗不匹配。一般来说，中心到中心间距应为 2w 或略大于 2w，从而使该层上的差分阻抗等于单端阻抗 Z₀ 的两倍。

2.15 通道、字节和位交换

对于所有信号（包括数据和地址/控件），都应从 DDR 控制器到 LPDDR4 存储器进行一对一的布线。不允许跨通道或在通道内进行字节交换。同样，也不允许跨字节通道或在字节内进行数据位交换。此外，DDR 控制器的字节通道 0 和 1 必须布线到 LPDDR4 存储器的通道 A，DDR 控制器的字节通道 2 和 3 必须布线到 LPDDR4 存储器的通道 B。

3 LPDDR4 电路板设计仿真

本节旨在概述高速 LPDDR4 接口的基本系统级电路板提取、仿真和分析方法。这是确保 PCB 设计满足以目标速度运行的所有要求的必要步骤。

3.1 电路板模型提取

下列板级提取指导原则适用于任何 EDA 提取工具，而非特定的工具。在完成检验标准模型提取之后，务必立即执行节 3.2 至节 3.4 中概述的步骤。运行 IBIS 仿真之前，应执行这些步骤来检查设计。

- 对于 DDR 提取，应在 3D-EM 求解器中同时提取电源（VDDS_DDR/VDDQ 和 VDDS_DDR_BIAS/VDDQX）和信号网。对于串行器/解串器提取，不需要电源，因为仅对信号完整性进行仿真。
- 使用宽带模型。建议提取频率范围为直流到至少 6 倍的奈奎斯特频率（例如，对于 LPDDR4-4266，提取模型的频率上限至少为 12.8GHz）。
- 检查电路板堆叠，以获取准确的层厚度和材料特性。
 - 建议使用 Djordjevic-Sarkar 模型进行电介质材料定义。
- 对堆叠中所有层的信号布线使用准确的蚀刻剖面 and 表面粗糙度。
- 如果在提取之前切断电路板布局布线（以减少仿真时间），请在离信号和电源网至少 0.25 英寸的位置定义切断边界。
- 检查过孔焊盘定义。
 - 确保信号过孔上非功能性内层焊盘的建模方式与其制造方式相同。
 - TI 不建议在信号过孔上使用这些非功能性内层焊盘。
- 使用 Spice/S 参数模型（供应商通常会提供）对系统内的所有无源器件进行建模。

3.2 电路板模型验证

需要检查所提取电路板模型的以下特性：

- 无源性：这可以确保电路板模型为无源网络，不会产生能量。
- 因果性：这可以确保电路板模型遵循因果关系（先有输入，然后有输出）。

可以在任何标准 EDA 仿真器或提取引擎中执行此类检查。

3.3 S 参数检查

在提取的 S 参数被验证为具有因果性和无源性后，应检查 S 参数图。建议针对以下几点进行检查：

- 插入损耗：建议在最高达奈奎斯特工作频率 3 倍的频率下将单端插入损耗保持在 0 至 10dB 范围内。例如，如果目标频率为 8Gbps（4GHz 奈奎斯特频率），则单端插入损耗应在最高达 12GHz 的频率下保持在 10dB 以下。
- 回波损耗：建议在最高达奈奎斯特工作频率 3 倍的频率下使单端回波损耗小于 15dB。
- 近端和远端串扰 (FEXT/NEXT)：建议在最高达奈奎斯特工作频率 3 倍的频率下使 FEXT 和 NEXT 低于 25dB。

S 参数检查图不是通过/失败测试，而是更多地作为检查设计是否有合理机会执行所需级别的指南。

3.4 时域反射法 (TDR) 分析

许多设计修正旨在保持一致的布线阻抗，因此时域反射法 (TDR) 分析是用于评估设计质量的一种重要分析方法。下面绘制了布线阻抗与布线长度之间的函数关系，如图 3-1 所示。

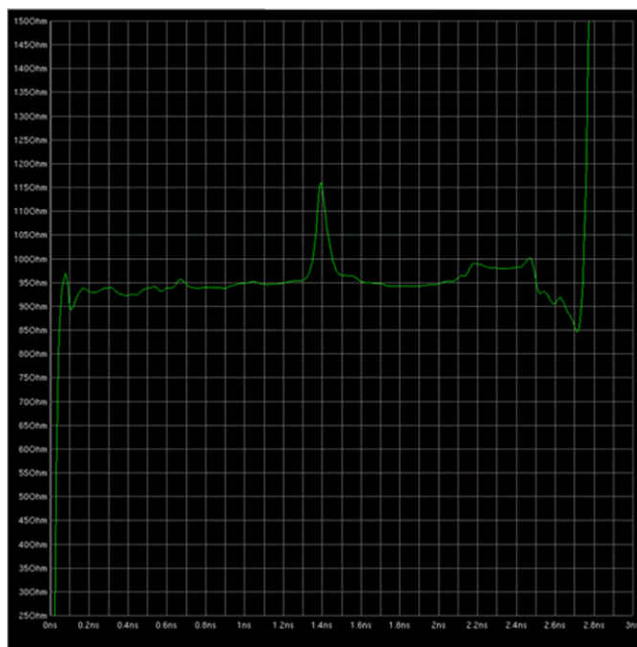


图 3-1. 阻抗不匹配的 TDR 图示例

如图 3-1 所示，TDR 图突出显示了布线中从一端到另一端的阻抗不连续性。此方法依赖于来自布线远端的反射波形。由于存在往返时间，图中对应于布线中特定点的延迟实际上相当于该点到源的距离的 2 倍。在评估阻抗不连续性的原因时需要考虑这一点。

可通过读取由提取工具生成的 S 参数模型并在“时域”模式下对其进行评估来生成 TDR 图。HyperLynx 等标准 EDA 仿真器可以执行此功能。建议优化设计，使其与标称布线阻抗的偏差处于 $\pm 5\%$ 以内。

TDR 图不是通过/失败测试，而是侧重于为检查设计是否有合理机会实现所需性能提供指南。

3.5 仿真完整性分析

本节概述了验证 DDR 接口的方法。根据 JEDEC 规范的定义，LPDDR4 接口使用在目标 BER（误码率）下定义的眼图模板来确定信号完整性的通过或失败。必须使用 IBIS 模型来执行通道仿真，以在目标 BER 下生成信号眼图。通道仿真技术广泛用于串行器/解串器接口分析。从 DDR4 和 LPDDR4 开始针对存储器接口引入了这些技术。

3.5.1 仿真设置

通过连接 SOC IBIS 模型、电路板模型、电源、DRAM 封装模型和 DRAM IBIS 模型，在仿真器中建立系统级原理图。图 3-2 所示为典型的系统级 DDR 原理图。

备注

在建立系统原理图时，请注意 DRAM 配置（封装中的芯片数量、列数和通道数）。

请注意，DRAM 配置可能还包括片上去耦电路。

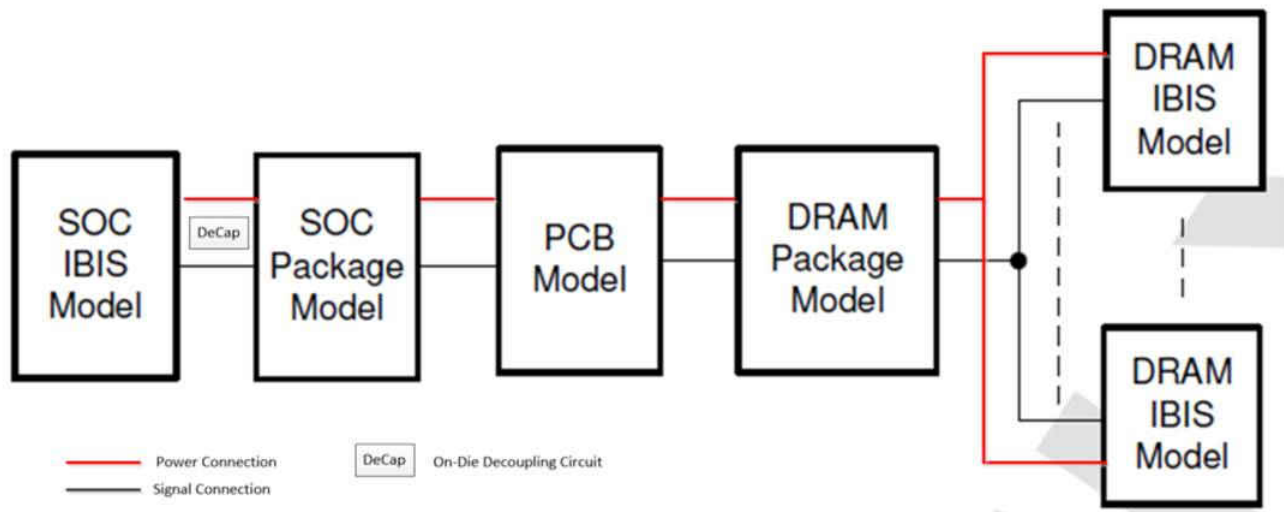


图 3-2. 典型的系统级 DDR 原理图

- LPDDR4 仿真需要针对控制器和存储器的功率感知 IBIS 模型以及支持 DDR 接口通道仿真的仿真器。
- 基于 SPICE 的晶体管级仿真不能用于生成 BER 信号眼图。使用可以处理功率感知 IBIS 仿真并能够为 DDR 接口运行通道仿真的仿真器。
- 与基于 SPICE 的晶体管级仿真相比，IBIS 模型减少了仿真时间，同时精度损失极小。从 5.0 版开始的 IBIS 模型是功率感知模型，可实现同步开关输出 (SSO) 噪声仿真。TI IBIS 模型是一种功率感知 IBIS 模型。
- 使用 SPICE 模型对控制器和 DRAM 的 DDR 电源网上的片上去耦电容进行准确建模。这可以确保在 DDR 仿真中实现准确的电源噪声和电源引起的抖动 (PSIJ) 估算。可以从 DRAM 供应商处获得 DRAM 的片上去耦电容信息。
- 使用 SPICE 或 S 参数文件对 DRAM 封装进行建模。这可以从 DRAM 供应商处索取。不建议使用 EBD 模型。

- DDR 电源网上的片上去耦电容的 J7ES 模型：

```
*****
* 针对 J7ES (DIE_VDDS_DDR 至 VSS) 的片上去耦电路
*****
* 注:
* 包含对所有 DDR 信号进行片上去耦
*
* 此子电路应添加到 J7ES IBIS 模型的
* DIE_VDDS_DDR 和 VSS 引脚之间
*
*****
* x_decouple DIE_VDDS_DDR vss_die J7ES_ondie_decoupling_allldq
*****
.SUBCKTJ7ES_ondie_decoupling_allldq DIE_VDDS_DDR vss_die
Cvddq_c DIE_VDDS_DDR DIE_VDDS_DDR_c 2105.86e-12
Rvddq_c vss_die DIE_VDDS_DDR_c 43e-3
.ENDS
```

3.5.2 仿真参数

重要的是配置仿真，使系统按照真实但最坏的情况参数进行测试。

- 使用最坏情况位模式来激励系统。仿真器应该能够根据通道特性生成最坏情况下的位模式。
- 从最适合系统的 IBIS 文件中选择控制器和 DRAM 模型（设置驱动强度、ODT、VOH 级别等）。
 - 这通常是一个迭代过程。
 - 每个系统都是独特的，这些参数的最佳设置因系统而异。

表 3-1. 示例数据写入 ODI/ODT 优化

封装字节	电路板	ODI Ω	ODT Ω	总 EW 裕度 (ps)	总 EH 裕度 (mV)
B3	J7 370HR 10L 参考 B3, 无 BD	40	40	50.28	15.66
B3	J7 370HR 10L 参考 B3, 无 BD	40	48	27.62	11.76
B3	J7 370HR 10L 参考 B3, 无 BD	40	40	33.52	2.92
B3	J7 370HR 10L 参考 B3, 无 BD	48	48	1.54	0.86

- 可以独立设置数据总线和地址总线 ODT 和驱动强度值。例如，J721E EVM 使用 40 Ω ODT 进行数据读/写，将 80 Ω 用于 CA 总线。数据读/写和 CA 的驱动强度为 40 欧姆。
 - 数据读取控制器模型 - lpddr4_odt_40、lpddr4_odt_40_diff
 - 数据写入控制器模型 - lpddr4_ocrd_40p_40n、lpddr4_ocrd_40p_40n_diff
 - CA/CLK 控制器模型 - lpddr4_ocrd_40p_40n、lpddr4_ocrd_40p_40n_diff
- 设置通道仿真参数。这些参数通常包括数据速率、忽略时间/位、最小位数、位采样率、BER 底限、显示位数、BER 眼图类型（电压和/或时序）和目标 BER。
 - 为了确定最小位数，可以运行一系列不同位数的通道仿真。BER 信号眼图（和裕度）在达到特定的最小位数后趋于收敛。这应该有助于确定用于系统的最小位数。
 - 运行通道仿真以生成 LBER 为 -16 的眼图。
- 在不同 PVT 角处通过非理想功率设置来运行通道仿真。建议至少在 SSHT 和 FFLT 角处运行仿真。

3.5.3 仿真目标

仿真成功完成后，通过仿真工具生成 DDR 分析报告。需要验证几个不同的参数，本节将对此进行详细介绍。每个参数都是通过/失败型参数，这意味着每个参数都必须符合指定的目标，从而确保设计有足够的裕度以目标数据速率运行。

使用适当的 JEDEC Vref 参数 (Vref_min、Vref_max、Vref_step 和 Vref_set_tol) 和模板参数 (形状、高度、宽度)。

3.5.3.1 波形质量

需要验证低电平和高电平下的最小回铃裕度，还需要查看峰-峰值电源噪声。应使用 IBIS 模型进行瞬态分析以生成电源噪声。以下是波形测量的示例。

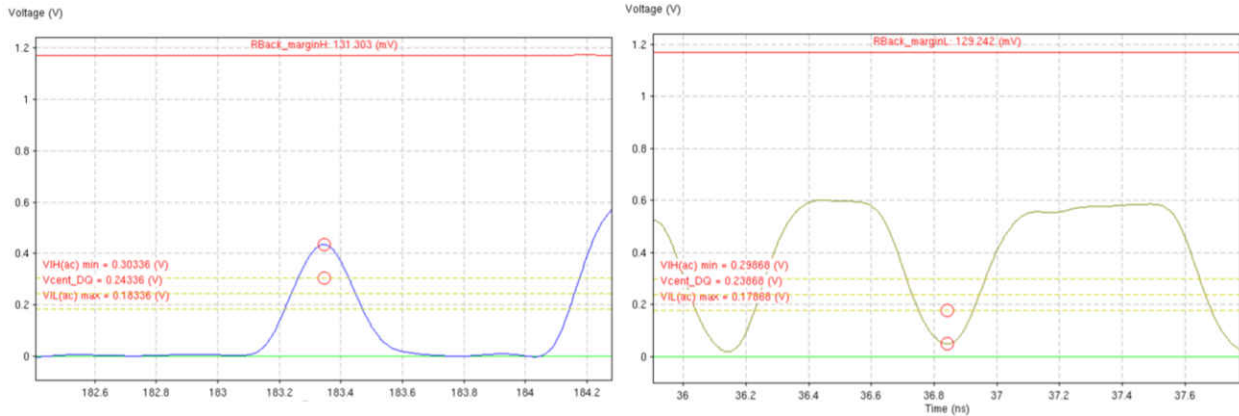


图 3-3. 回铃裕度波形示例 (高电平/低电平)

3.5.3.2 眼图质量

应在 DRAM 引脚/BGA 处验证数据写入和 CA 总线仿真的 Vix_DQS 比率和 Vix_CK 比率。JEDEC 规范中的图 3-4 说明了如何测量 Vix 比率以及定义比率要求。

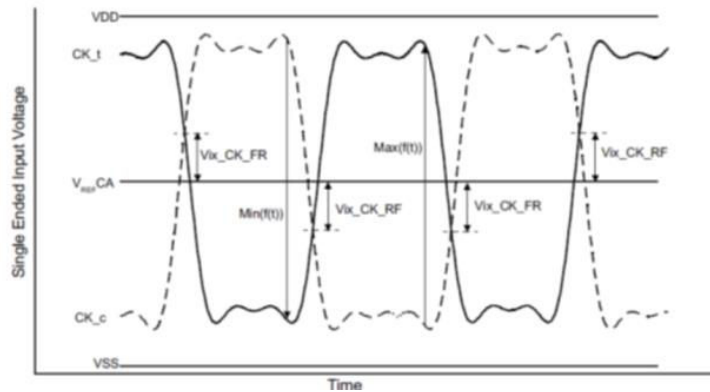


图 3-4. 眼图质量的 Vix_CK 和 Vix_DQS 比率

表 3-2. 眼图质量的 Vix_CK 和 Vix_DQS 比率

符号	数据速率						单位	注释
	1600/1867		2133/2400/3200		3733/4266			
Vix_CK_ratio	-	25	-	25	-	25	%	(1)、(2)
Vix_DQS	-	20	-	20	-	20	%	(1)、(2)

(1) Vix_CK_Ratio 由以下公式进行定义： $Vix_CK_Ratio = Vix_CK_FR / \min(f(t))$

(2) Vix_CK_Ratio 由以下公式进行定义： $Vix_CK_Ratio = Vix_CK_RF / \min(f(t))$

3.5.3.3 延迟报告

表 2-6 和表 2-7 列出了 DQ、DQS、CA 和 CLK 所需的互连延迟。列为“典型”的值仅是建议值。任何最小值/最大值都是必需的。一个关键要求是确保 CK 延迟大于任何 DQS 延迟。

3.5.3.4 模板报告

将捕获与眼图模板相关的最小抖动和噪声容限。这些模板依赖于数据速率，包括：

- 用于功能测试的 SOC 芯片垫上的数据读取眼图模板
- DRAM 引脚/BGA 上用于合规性测试的数据写入眼图模板 (JEDEC 规范)
- DRAM 引脚/BGA 上用于合规性测试的 CA 总线眼图模板 (JEDEC 规范)

仿真器应至少生成 2 组眼图：

- Vref 设置为正方向 Vref_set_tol 字节偏移的最佳 Vref (JEDEC 规范中定义了 Vref_set_tol)
- Vref 设置为负方向 Vref_set_tol 字节偏移的最佳 Vref

系统级裕度是上面列出的所有眼图测量中最坏情况下的噪声和抖动裕度 (跨 SSHT 和 FFLT 角)。对于在 DRAM 器件上捕获的所有波形，应在 BGA 引脚和 DRAM 焊盘上计算裕度。

表 3-3. LPDDR4/4x 眼图模板定义/要求

参数	模板形状	LPDDR4-3200	LPDDR4-3733	LPDDR4-4266
CA 眼图模板 TcIVW	矩形 (1)	0.3UI (1)	(2)	0.3UI (1)
CA 眼图模板 VcIVW	矩形 (1)	155mV (1)	(2)	145mV (1)
写入眼图模板 TdIVW	矩形 (1)	0.25UI (1)	(2)	0.25UI (1)
写入眼图模板 VdIVW	矩形 (1)	140mV (1)	(2)	120mV (1)
读取眼图模板 TdIVW	菱形	0.61UI	0.66UI	0.7UI
读取眼图模板 VdIVW	菱形	140 mV	120mV	120mV

(1) 从 JEDEC 规范复制：低功耗双倍数据速率 4 (LPDDR4)。

(2) 相关详细信息，请联系 DRAM 供应商。

图 3-5 至图 3-7 显示了所捕获的波形中转换为眼图的视图模板定义。

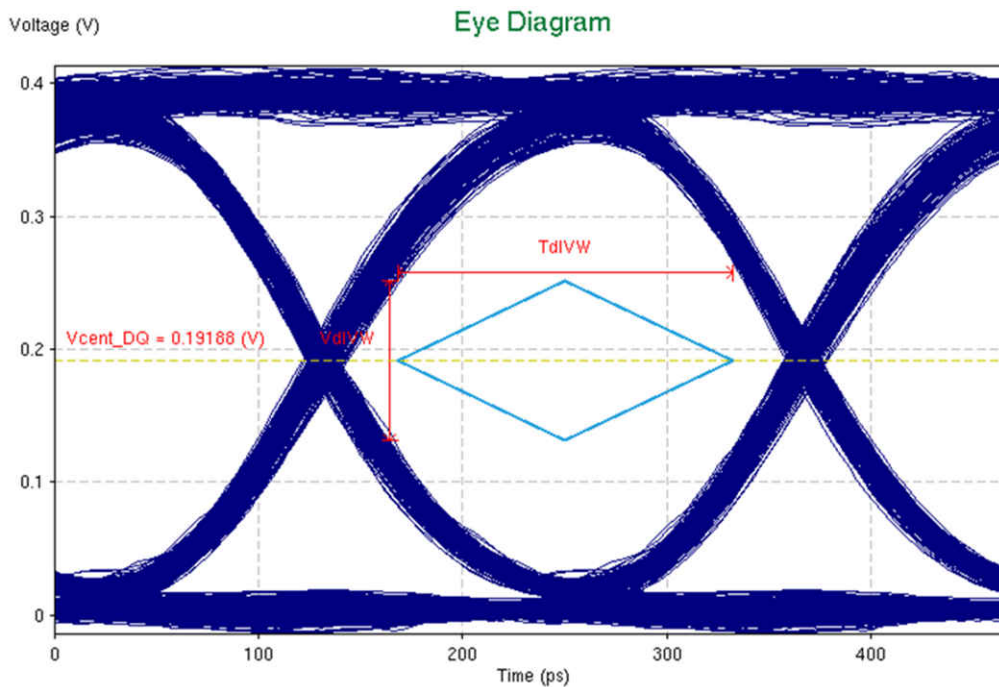


图 3-5. 具有菱形视图模板的样例仿真 LPDDR4-4266 读取视图

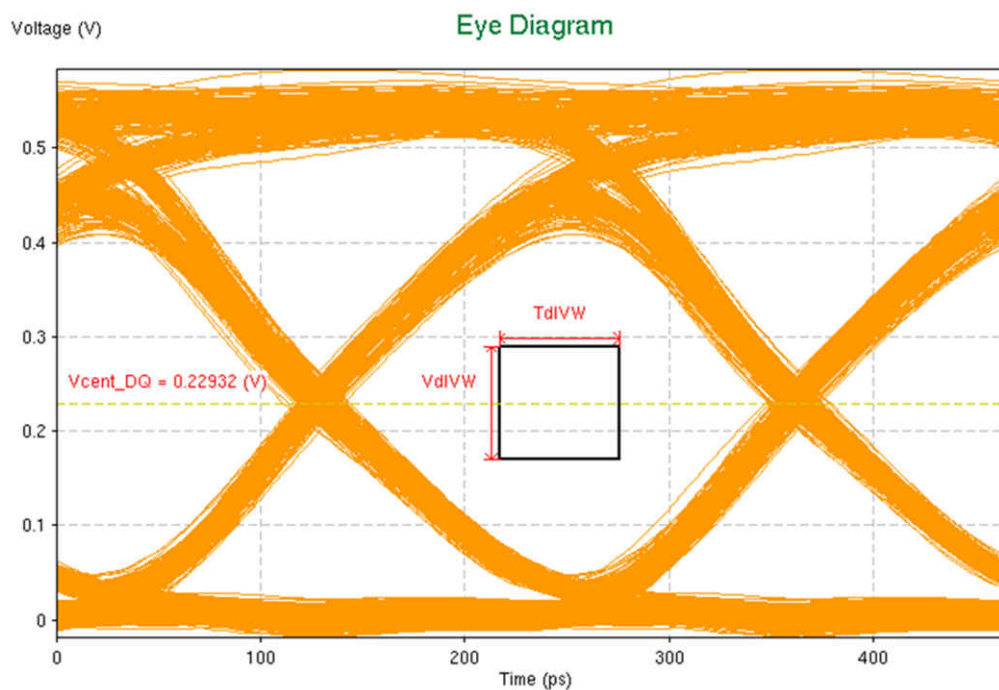


图 3-6. 具有矩形 JEDEC 视图模板的样例仿真 LPDDR4-4266 写入视图

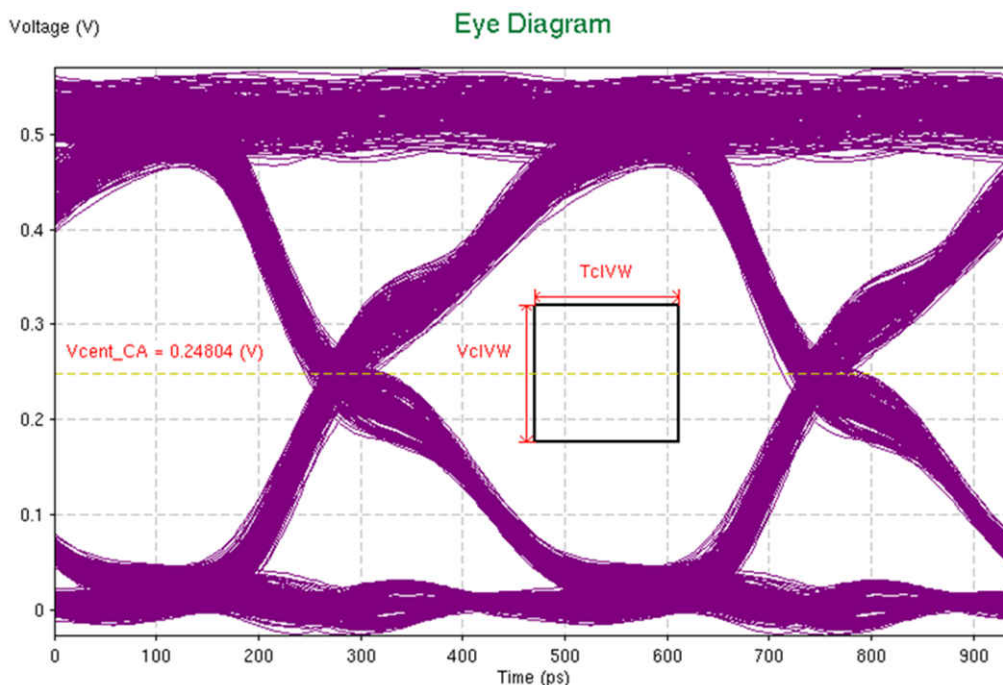


图 3-7. 具有矩形 JEDEC 眼图模板的样例仿真 LPDDR4-4266 CA 眼图

3.6 设计示例

3.6.1 堆叠

这些指南建议使用 10 层 PCB 堆叠方式以实现完整的器件功能。下面是来自一个 10 层参考设计的堆叠示例。

- 支持使用 FR4 产品的设计，如 370HR，同时也建议使用速度更高的材料，如 ISOLA I-Speed (或同等产品)，以增加裕量。
- 本示例在第 2 层和第 4 层上对数据组进行布线。尽管这样做可以更大限度减小过孔行程，从而减少过孔之间的耦合，但它留下了更长的过孔残桩，这可能需要背钻。
- 在第 7 层对动态 CA 信号进行布线，在第 9 层对更多静态控制信号进行布线。

表 3-4. LPDDR4 的 PCB 堆叠示例

层号	堆叠	布线计划最高优先级和层
	阻焊层	
1	顶部 - PWR/SIG	BGA 分线/VDD_CPU、VDD_CORE 和 VDD_DDR_1V1
2	PWR/SIG	VDD_CPU 和 CORE/LPDDR (DBG #3/#1、CAT 分支)
3	GND	REF
4	PWR/SIG	VDDA_PHYCORE_0V8、VDD_0V8、0V85/LPDDR (DBG #2/#0)
5	PWR/GND	VDDA_0V8_0V8 和 为 LPDDR4 灌注 GND
6	PWR/GND	VDD_0V8、VDDA_0V8 电源和 为 LPDDR4 灌注 GND
7	SIG/PWR	VDD_0V8、VDDA_0V8/LPDDR (动态 CA、干线) /串行器/解串器
8	GND	REF
9	SIG/PWR	VDD_0V8、VDDA_0V8/LPDDR (静态 CA)
10	底部 - SIG/PWR	BGA 分线/Pwr 和 GND 计划段
	阻焊层	

表 3-5 提供了对样例设计执行仿真的结果，其中显示了 PCB 堆叠（材料、钻孔计划等）对 LPDDR4 性能的影响。结果表明，FR4 解决方案可以实现最大带宽，但需要背钻。频率更高的材料无需背钻即可达到相同的性能。请注意，8 层设计仅实现了 3733，但这是因层数有限引起的其他设计折衷（实心参考平面等）导致的。

表 3-5. 堆叠对 LPDDR4 性能的影响

设计	材料	层数	过孔背钻	最大 LPDDR4 速度 (Mbps)
EVM	I-Speed	16	是	4266
参考板	I-Speed	10	否	4266
参考板	370HR	10	是	4266
参考板	370HR	8	否	3733

3.6.2 布线

以下示例显示了 10 层 PCB 设计示例上的 LPDDR4 时钟和 CA 布线。时钟以 70 欧姆的目标阻抗进行差分布线。为了使 T 分支与布线阻抗相匹配，阻抗需要加倍。这会带来挑战，因为在某些 PCB 堆叠中可能难以实现较高的阻抗。CA 信号的布线目标为 35 欧姆，T 分支的目标为源阻抗的两倍。

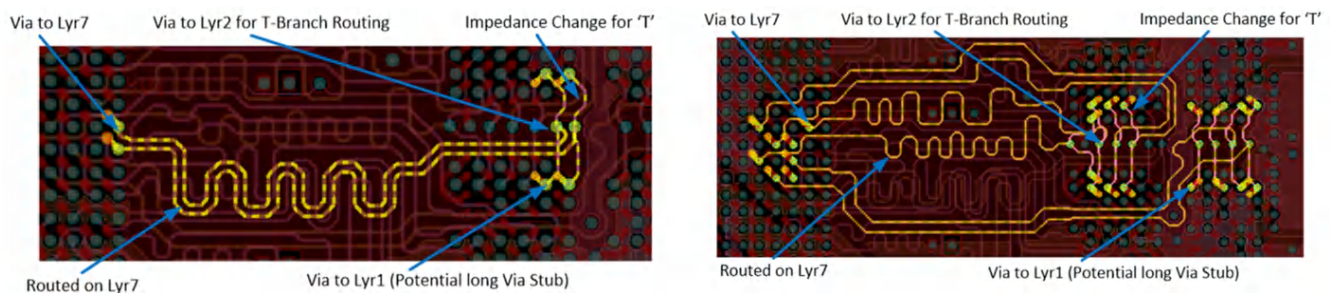


图 3-8. LPDDR4 时钟和 CA 布线示例

在同一个 10 层参考设计中，数据组在第 2 层和第 4 层上布线。由于具有最小过孔行程，使用了上部的层，从而更大限度降低了过孔电感和过孔之间的耦合。数据信号是点对点的，因此不需要 T 分支布线。

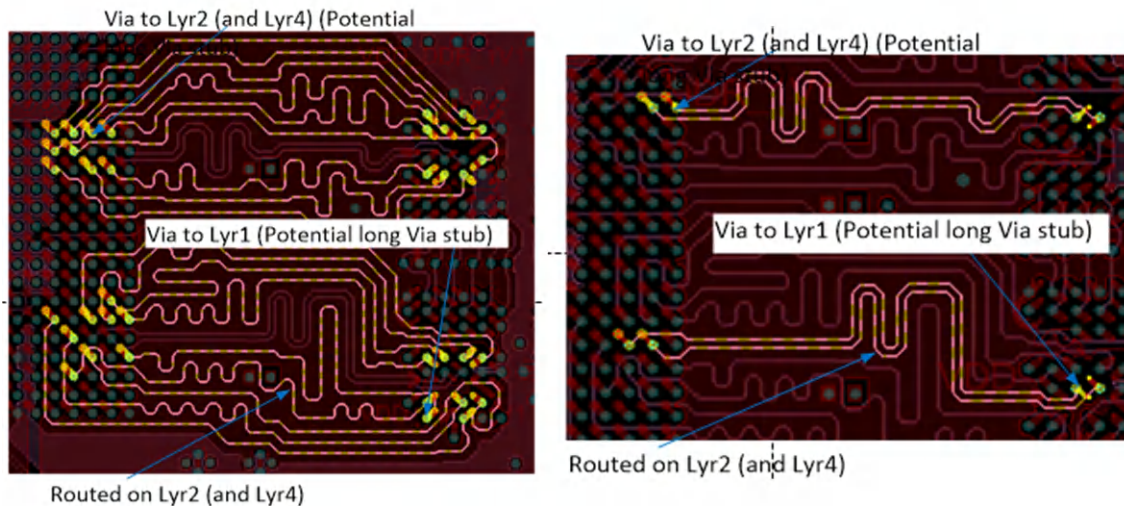


图 3-9. LPDDR4 数据字节和 DQS 布线示例

表 3-6. LPDDR4-4266 层影响性能 (在焊盘上读取)

布线层	过孔类型	背钻	EW 裕量 (ps)	EH 裕量 (mV)
L1、L12	PTH	否	-7.10	56.72
L1、L12	PTH	是	-4.86	55.71
L1、L3	PTH	否	5.70	40.29
L1、L3	PTH	是	8.37	34.54

表 3-7. LPDDR4-4266 层影响性能 (在焊盘上写入)

布线层	过孔类型	背钻	EW 裕量 (ps)	EH 裕量 (mV)
L1、L12	PTH	否	17.42	39.22
L1、L12	PTH	是	20.04	41.93
L1、L3	PTH	否	27.66	41.37
L1、L3	PTH	是	27.76	48.63

3.6.3 模型验证

在仿真之前，建议对模型进行验证。介绍的一种验证方法是阻抗图 (或阻抗扫描)。提供了 10 层设计的阻抗扫描。

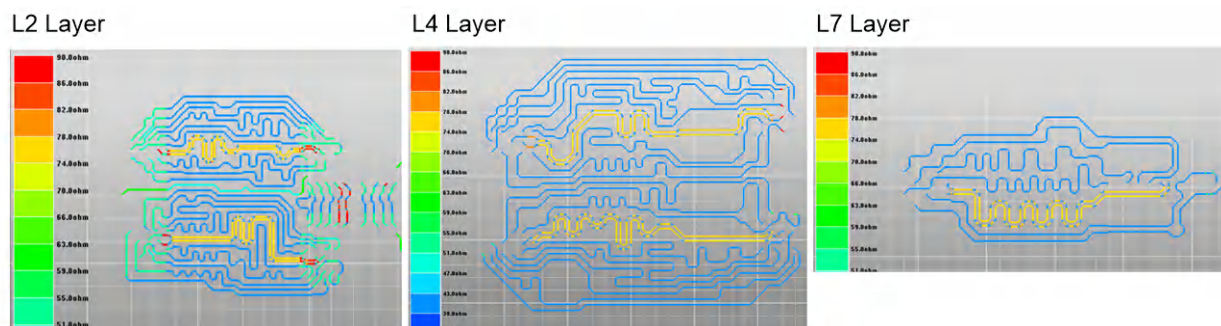


图 3-10. LPDDR4 布线阻抗扫描示例

表 3-8. LPDDR4 示例布线阻抗数据汇总

层	DDR 总线	DQ SE 阻抗 (Ω)	DQS/CLK 差分阻抗 (Ω)
L2	B1 和 B3	40.9	77.7
L2	CA	51.7	101.4
L4	B0 和 B2	41.1	77.7
L7	CA	41.1	77.7

对于 CK 和 CA 信号，目标是使分支段阻抗等于馈送布线阻抗的两倍。请注意，PCB 限制可实现的阻抗是很正常的。仿真将向您展示折衷是否可以接受。

表 3-9. LPDDR4 示例布线阻抗 CA 汇总

板	CA 馈送阻抗 (Ω)	CA 分支阻抗 (Ω)	CA 分支目标 (Ω)	阻抗不匹配 (Ω)
初始设计	49.1	59.6	98 (49x2)	38.6
最终设计	41.1	51.7	82 (41x2)	30.5

仿真结果显示了通过将阻抗与其目标更接近地匹配而实现的改进。

表 3-10. 改进布线阻抗后的 LPDDR4 示例仿真结果

板	总眼图宽度裕度 (ps)	总眼图高度裕度 (ps)	最小回铃裕度 H (mV)	最小回铃裕度 L (mV)
初始设计	58.00	14.00	69.59	18.18
最终设计	124.68	48.08	89.43	25.49

3.6.4 仿真结果

为 LPDDR4 接口提供了 10 层设计的仿真结果。必须满足这些仿真目标，以确保设计将在所需的性能水平上运行。

需要在 DRAM 引脚/BGA 上验证 CA 仿真。其中包括：

- 高/低电平下的最小回铃裕量 (JEDEC)
- Vix_CK 比率 (JEDEC)
- 与眼图模板相关的抖动/噪声容限 (JEDEC)
- 峰-峰值电源噪声

At DRAM Pin: Jitter/Noise Eye Margins Vix_CA Ratio

Package	Board	Total EW Margin (ps)	Total EH Margin (mV)	Min Rback Margin H (mV)	Min Rback Margin L (mV)	Vix_CK_Ratio (%)
J7 SCK 1207	J7 370HR 10L Ref 121819 ACC, No BD, Slwave	182.04	68.50	89.43	25.50	16.81

Ring-back High/Low Margins

图 3-11. CA 的 LPDDR4 仿真结果

需要在 DRAM BGA 引脚和 DRAM 焊盘上验证数据写入仿真。其中包括：

- 高/低电平下的最小回铃裕量 (JEDEC)
- Vix_CK 比率 (JEDEC)
- 与眼图模板相关的抖动/噪声容限 (JEDEC)
- 峰-峰值电源噪声

At DRAM Pin: Jitter/Noise Eye Margins Vix_DQS Ratio

Pkg Byte	Board	Total EW Margin (ps)	Total EH Margin (mV)	Min Rback margin H (mV)	Min Rback Margin L (mV)	Vix_DQS_Ratio (%)
B0	J7 370HR 10L Ref 121819 B0, With BD	62.32	55.20	68.63	111.83	9.80
B1	J7 370HR 10L Ref 121819 B1, With BD	54.52	94.28	86.46	114.69	7.64
B2	J7 370HR 10L Ref 121819 B2, With BD	53.40	73.96	81.19	106.32	5.55
B3	J7 370HR 10L Ref 121819 B3, With BD	54.86	52.74	34.97	48.55	9.81

Ring-back High/Low Margins

图 3-12. 写入的 LPDDR4 仿真结果

需要在 SOC 上验证数据读取仿真。其中包括：

- 高/低电平下的最小回铃裕量
- 与眼图模板相关的抖动/噪声容限
- 峰-峰值电源噪声

Pkg Byte	Board	Total EW Margin (ps)	Total EH Margin (mV)	Min Rback Margin H (mV)	Min Rback Margin L (mV)	P-P VDDQ Noise (mV)
B0	J7 370HR 10L Ref 121819 B0, No BD	17.06	24.00	25.86	26.30	21.33
B1	J7 370HR 10L Ref 121819 B1, No BD	6.72	8.00	28.49	24.44	33.33
B2	J7 370HR 10L Ref 121819 B2, No BD	0.98	FAIL	19.40	17.18	28.97
B3	J7 370HR 10L Ref 121819 B3, No BD	FAIL	FAIL	11.05	20.26	15.87
B0	J7 370HR 10L Ref 121819 B0, With BD	19.02	26.00	27.84	30.10	26.12
B1	J7 370HR 10L Ref 121819 B1, With BD	6.24	8.00	30.79	27.25	39.98
B2	J7 370HR 10L Ref 121819 B2, With BD	5.24	6.00	27.95	28.83	40.24
B3	J7 370HR 10L Ref 121819 B3, With BD	4.60	6.00	35.41	34.52	25.21

图 3-13. 读取的 LPDDR4 仿真结果

读取的仿真结果包含两组数据，即黑色数据和绿色数据。黑色数据表示设计失败，因为几个字节未能满足眼图裕量。绿色数据是同一设计的仿真结果，但对过孔残桩应用了背钻。

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision D (November 2022) to Revision E (May 2023)	Page
• 更新了 节 1。.....	3
• 更新了整个文档中的表格、图和交叉参考的编号格式。.....	3
• 更新了 节 1.1。.....	3
• 更新了 节 1.24	3
• 更新了 节 1.34	4
• 更新了 节 1.44	4
• 更新了 节 1.4.25	5
• 更新了 节 2.17	7
• 更新了 节 2.37	7
• 更新了 节 3.6.225	25

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司